स्वाध्याय स्वमन्थन स्वावलम्बन

उ० प्र० राजर्षि टण्डन मुक्त विश्वविद्यालय

(उत्तर प्रदेश सरकार द्वारा निर्गत अधिनियम संख्या 10, 1999 द्वारा स्थापित)

इन्दिरा गाँधी राष्ट्रीय मुक्त विश्वविद्यालय

उत्तर प्रदेश राजर्षि टण्डन मुक्त विश्वविद्यालय

UGPHS-05

विद्युत परिपथ और इलेक्ट्रॉनिकी

प्रथम-खण्ड

नेटवर्क विश्लेषण और युक्तियाँ

शान्तिपुरम् (सेक्टर-एफ), फाफामऊ, इलाहाबाद - 211013

उत्तर प्रदेश
राजर्षि टण्डन मुक्त विश्वविद्यालय

UGPHS-05
विद्युत परिपथ और इलेक्ट्रॉनिकी

खंड

1

नेटवर्क विश्लेषण और युक्तियाँ

इकाई 1

परिपथ विश्लेषण 7

इकाई 2

प्रत्यावर्ती धारा और दिष्ट धारा परिपथ 38

इकाई 3

इलेक्ट्रॉन युक्तियाँ 75

पाठ्यक्रम की प्रस्तावना

हमारे जीवन के लगभग प्रत्येक क्षेत्र में - चाहे वह घर हो, फैक्टरी हो, कार्यालय हो, बैंक हो, दुकान हो या अस्पताल हो, इलेक्ट्रॉनिकी एक बहुत बड़ी भूमिका निभाती है। मनोरंजन, संचार, रक्षा, उद्योग, आयुर्विज्ञान, यंत्रीकरण आदि बहुत से क्षेत्रों में इलेक्ट्रॉनिकी का प्रयोग लगातार बढ़ता जा रहा है। टेक्नॉलॉजी में होने वाले हरेक विकास के साथ और मानव कार्यों और औद्योगिक प्रक्रमों में कंप्यूटरों की बढ़ती हुई मांग के साथ-साथ इलेक्ट्रॉनिकी का महत्व भी बढ़ता जा रहा है। यानी इलेक्ट्रॉनिकी एक ऐसा क्षेत्र है, जिसमें तेजी के साथ परिवर्तन हो रहा है। अत: इस विषय से संबंधित मूलभूत तथ्यों का ज्ञान बहुत ही ज़रूरी है।

स्नातक उपाधि कार्यक्रम के विद्यार्थियों के लिए "विद्युत परिपथ और इलेक्ट्रॉनिकी" भौतिकी का, 4 क्रेडिट का ऐच्छिक पाठ्यक्रम है। यह पाठ्यक्रम उन विद्यार्थियों के लिए है, जिन्होंने 10+2 स्तर पर भौतिकी का अध्ययन एक विषय के रूप में किया है। इस पाठ्यक्रम में निम्न चार प्रमुख क्षेत्रों के बारे में पाठ्य सामग्री दी गई है :

1. **नेटवर्क विश्लेषण और युक्तियाँ**

   इस विषय पर तीन इकाइयां हैं : इकाई 1 : परिपथ विश्लेषण, इकाई 2 : प्रत्यावर्ती और दिष्ट धारा परिपथ, इकाई 3 : इलेक्ट्रॉन युक्तियां।

2. **इलेक्ट्रॉनिक परिपथ**

   इसमें तीन इकाइयां हैं, इकाई 4 : प्रवर्धक, इकाई 5 : दोलित्र, इकाई 6 : पॉवर सप्लाई।

3. **रैखिक एकीकृत परिपथ**

   इसमें तीन इकाइयां हैं, इकाई 7 : संक्रियात्मक प्रवर्धक, इकाई 8 : संक्रियात्मक प्रवर्धक के अनुप्रयोग और इकाई 9 : रैखिक आई सी - प्रवर्धक और वोल्टता नियंत्रक।

4. **अंकीय इलेक्ट्रॉनिकी**

   इस विषय पर चार इकाइयां हैं, इकाई 10 : संख्या पद्धति और कोड, इकाई 11 : बूलीय बीजावली के मूल तथ्य और फ्लिप-फ्लॉप, इकाई 12 : रजिस्टर, गणित्र, स्मृति परिपथ और अनुरूप/अंकीय परिपथ और इकाई 13 : इलेक्ट्रॉनिक उपकरण।

   और अब पाठ्यक्रम सामग्री का अध्ययन करने के बारे में एक आखिरी बात।

अध्ययन निर्देशिका

किसी विषय को पढ़ने का सबसे अच्छा तरीका है - उस विषय से संबंधित प्रश्नों को हल करना। यहां हमने अनेक हल किए हुए उदाहरण, बोध प्रश्न और इकाई के अंत में प्रश्न दिए हैं। प्रत्येक इकाई के अंत में बोध प्रश्नों और अंत के प्रश्नों के उत्तर भी दिए गए हैं।

केसी विशेष इकाई के एक भाग का अध्ययन कर लेने के बाद आपको जांच करनी चाहिए कि आपने उस भाग में क्या-क्या सीखा है। इस भाग में दिए गए सभी बोध प्रश्नों को हल करने की कोशिश ज़रूर कीजिए। इनमें से किसी भी प्रश्न को आप छोड़िए मत। क्योंकि इन प्रश्नों की मदद से आप यह परख सकेंगे कि आपको क्या क्या समझ में आया और किस हद तक। और साथ ही इन प्रश्नों या अंत के प्रश्नों को हल करने से पहले आप इन प्रश्नों के उत्तर देखने के लालच से बचें।

अब इस पाठ्यक्रम के कुछ संकेतों के बारे में समझ लीजिए। चित्र/समीकरण/भाग x . y का अर्थ है इकाई x का चित्र/समीकरण/भाग y यानी चित्र 1.5, इकाई 1 का पांचवां चित्र है। भाग 2.7, इकाई 2 का सातवां भाग है, समीकरण 3.4, इकाई 3 का चौथा समीकरण है, आदि।

यह एक 4 क्रेडिट का पाठ्यक्रम है, जिसका अर्थ यह है कि इस पाठ्यक्रम के लिए आपको कुल 120 घंटे लगाने हैं। इसमें 80 घंटे आपको पाठ्यक्रम-सामग्री का अध्ययन करने और बोध प्रश्नों और अंत के प्रश्नों को हल करने के लिए देने चाहिए और शेष समय सत्रीय कार्यों और परामर्श सत्रों के लिए रखना चाहिए।

खंड 1 नेटवर्क विश्लेषण और युक्तियाँ

आपने अपने स्कूल के पाठ्यक्रम में सरल वैद्युत परिपथों को समझने के लिए ओम नियम और किरशॉफ़ नियम जैसे विभिन्न नियमों का अध्ययन किया है। लेकिन कभी-कभी ये परिपथ इतने जटिल होते हैं कि केवल इन नियमों की सहायता से इन्हें सरल नहीं किया जा सकता या इनका परिकलन इतना लंबा होता है कि उसमें बहुत समय लग जाता है। जैसे कि रेडियो, टेलीविज़न, कंप्यूटर आदि के परिपथों में अति जटिल परिपथ होते हैं और ऊपर बताए गए इन दो नियमों की सहायता से इनके किसी अवयव में प्रवाहित धारा की गणना करना काफ़ी कठिन होता है। इकाई 1 में हम कुछ विशेष प्रकार के नेटवर्कों और प्रमेयों के बार में चर्चा करेंगे, जो कि जटिल परिपथों को सरल परिपथों में परिवर्तित करने और फिर किसी भी अवयव में प्रवाहित धारा का परिकलन करने में काफ़ी उपयोगी होते हैं।

इकाई 2 में हम RLC अनुनादी परिपथों, फ़िल्टर, क्षीणकारी, आदि का अध्ययन करेंगे।

इकाई 3 में आप विभिन्न इलेक्ट्रॉनिक युक्तियों का अध्ययन करेंगे। इनमें से कुछ युक्तियों का अध्ययन आप पिछली कक्षाओं में कर चुके हैं। ये युक्तियां इलैक्ट्रॉनिक्स की नींव के बुनियादी स्तंभ हैं। अत: ट्रॉंज़िस्टर, FET, MOSFET, आदि जैसी उच्च युक्तियों और उनके अनुप्रयोगों का अध्ययन करने से पहले इन युक्तियों को अच्छी तरह से समझ लेना आवश्यक है।

हम आशा करते हैं कि इस विषय का अध्ययन करने में आपको आनन्द आएगा। हमारी शुभकामनाएँ आपके साथ हैं।

कुछ उपयोगी संदर्भ पुस्तकें नीचे दी गई हैं :

1. Electronic for Sciences : टी.आर. विश्वनाथन, जी.के. मेहता और राजारमन
2. Electronic Principles : ए.पी.माल्विनो
3. Introductory Electronics for Scientists and Engineers : आर.के. सिम्पसन
4. Digital Principles and Applications ए.पी. माल्विनों और डी.पी. लीच।

इकाई 1 परिपथ विश्लेषण

इकाई की रूपरेखा

1.1 प्रस्तावना
उद्देश्य
1.2 परिपथ अवयव
1.3 किरशॉफ नियम
1.4 सम्मिश्र प्रतिबाधा
1.5 धारा-वोल्टता स्रोत रूपांतरण
1.6 अध्यारोपण प्रमेय
अध्यारोपण प्रमेय का कथन
अध्यारोपण प्रमेय की उपपत्ति
1.7 पारस्परिकता प्रमेय
पारस्परिकता प्रमेय का कथन
पारस्परिकता प्रमेय की उपपत्ति
1.8 थेवेनिन प्रमेय
थेवेनिन प्रमेय का कथन
थेवेनिन प्रमेय की उपपत्ति
1.9 नॉर्टन प्रमेय
नॉर्टन प्रमेय का कथन
नॉर्टन प्रमेय की उपपत्ति
1.10 अधिकतम शक्ति स्थानांतरण प्रमेय
अधिकतम शक्ति स्थानांतरण प्रमेय का कथन और उपपत्ति
1.11 सारांश
1.12 अंत में कुछ प्रश्न
1.13 हल और उत्तर
1.14 शब्दावली

1.1 प्रस्तावना

इलेक्ट्रॉनिकी के क्षेत्र में हुए विकास को इस शताब्दी की एक महान उपलब्धि माना जा सकता है। इस शताब्दी के प्रारंभ में सिर्फ स्थूल स्फुलिंग ट्रांसमीटरों और रोम ससूचकों का अविष्कार किया गया था। उसके बाद अधिक परिष्कृत निर्वात-नलिका युग से होते हुए पिछले कई दशकों से हम ठोस-अवस्था युग में प्रवेश कर चुके हैं, जहा हमें अनेक अद्भुत प्रगतियाँ देखने को मिलती रही हैं और इनका सिलसिला अभी भी जारी है।

इलेक्ट्रॉनिकी के क्षेत्र में हुई उपलब्धियों को समझने के लिए हमें पहले उन नियमों और युक्तियों का अध्ययन करना होगा, जो कि इलेक्ट्रॉनिकी के आधार स्तंभ हैं। इसके लिए यह ज़रूरी है कि सबसे पहले हम वोल्टता, धारा, शक्ति और इलेक्ट्रॉनिक परिपथ के अवयवों पर चर्चा करें। साधारण रूप में यह माना जा सकता है कि वैद्युत परिपथ में तीन भाग होते हैं : (i) ऊर्जा-स्रोत जैसे - बैटरी या ज़नित्र (ii) लोड या अभिगम (sink) जैसे - लैम्प या मोटर और (iii) संबंधन तार। इस परिपथ का उद्देश्य ऊर्जा को स्रोत से लोड में स्थानांतरित करना होता है। इस उदाहरण की सहायता से हम वैद्युत नेटवर्क की परिभाषा इस तरह दे सकते हैं - यह मुख्यत: दो या अधिक सरल परिपथ अवयवों, जैसे - वोल्टता स्रोत, प्रतिरोधक, प्रेरक या संधारित्र का अंतर्संबंध होता है। यदि परिपथ में कम से कम एक संवृत्त पथ (closed path) हो, तो इस परिपथ को वैद्युत परिपथ (electric circuit) कहा जाता है। इस इकाई में हम उन आधारभूत नियमों का अध्ययन करेंगे, जो स्रोत से लोड में ऊर्जा के स्थानांतरण को नियंत्रित करते हैं। साथ ही साथ किसी दिए हुए वैद्युत परिपथ की, जो किसी भी आधुनिक इलैक्ट्रॉनिक उपकरण

का आधार होता है, कार्य प्रणाली को समझने के लिए हम कुछ महत्वपूर्ण प्रमेयों और सरलीकरणों का भी अध्ययन करेंगे।

उद्देश्य

इस इकाई को पढने के बाद आप

- वोल्टता और धारा स्रोतों की संकल्पनाओं की व्याख्या कर सकेंगे,
- दिए हुए नेटवर्क को सरल करने के लिए किरशॉफ नियम, थेवेनिन और नार्टन प्रमेय को लागू कर सकेंगे,
- अध्यारोपण, पारस्परिकता और अधिकतम शक्ति स्थानांतरण प्रमेयों के कथन दे सकेंगे और किसी दिए हुए नेटवर्क पर उन्हें लागू कर सकेंगे।

1.2 परिपथ अवयव

एक नेटवर्क, अवयवों का ऐसा संबंधन होता है, जो किसी ख़ास काम के लिए बनाया जाता है। परिपथ विश्लेषण में हमारी रुचि ऐसे वैद्युत नेटवर्कों में होती है, जिनमें प्रतिरोधक, प्रेरक और संधारित्र जैसे निष्क्रिय अवयव (passive elements) वोल्टता और धारा के स्रोतों के साथ उपयुक्त ढंग से जुड़े होते है। ये अवयव और स्रोत वास्तविक अवयवों और स्रोतों के आदर्शीकरण (idealisation) होते हैं। इस आदर्शीकरण की सहायता से हम नेटवर्क का प्रभावी विश्लेषण कर सकते हैं। नेटवर्क विश्लेषण में बुनियादी तौर पर हमें दिए हुए नेटवर्क का विश्लेषण करना होता है और विभिन्न अवयवों के आर-पार वोल्टता और उसमें प्रवाहित धारा ज्ञात करनी होती है। नेटवर्क के अवयवों को प्रायः चार वर्गों में वर्गीकृत किया जा सकता है:

(i) सक्रिय या निष्क्रिय
(ii) एकपक्षीय या द्विपक्षीय
(iii) रैखिक या अरैखिक
(iv) स्थानीकृत (lumped) या बंटित (distributed)

सक्रिय (active) या निष्क्रिय (passive) : ऊर्जा स्रोत, जैसे कि वोल्टता या धारा स्रोत, सक्रिय अवयव होते हैं जिनमें किसी बाह्य युक्ति (device) को शक्ति प्रदान करने की क्षमता होती है। इलेक्ट्रॉनिक परिपथों में ऊर्जा स्रोतों के अतिरिक्त ऐसे अनेक अन्य घटकों का प्रयोग होता है, जो कि सक्रिय अवयवों के वर्ग के अंतर्गत आते हैं। इन घटकों को दो वर्गों में वर्गीकृत किया जा सकता है : नलिका (निर्वात नलिका और गैस नलिका दोनों ही) और अर्धचालक युक्तियाँ (semi-conductor devices) जिनके अंतर्गत संधि डायोड (junction diode), क्षेत्र प्रभाव ट्रांजिस्टर (FET), यू.जे.टी. (UJT), एस.सी.आर. (SCR), जेनर डायोड आदि आते हैं।

निष्क्रिय अवयव (passive elements) वे अवयव होते हैं, जिनमें केवल शक्ति प्राप्त करने की क्षमता होती है जैसे प्रतिरोधक (resistor), प्रेरक (inductor) और संधारित्र (capacitor)। प्रेरक और संधारित्र जैसे कुछ निष्क्रिय अवयवों में परिमित मात्रा में ऊर्जा भंडारित करने और बाद में किसी बाह्य अवयव को ऊर्जा लौटाने की क्षमता होती है।

द्विपक्षीय (bilateral) या एक-पक्षीय (unilateral) : हम जानते हैं कि निष्क्रिय अवयवों के वैद्युत अभिलक्षणों की व्याख्या धारा-वोल्टता वक्र से अच्छी तरह से की जाती है। द्विपक्षीय अवयवों में वोल्टता धारा संबंध एक-सा ही बना रहता है, भले ही विद्युत धारा किसी भी दिशा में प्रवाहित हो रही हो, जैसे कि प्रतिरोधक में। इसके विपरीत एक-पक्षीय अवयव में धारा की दो संभव दिशाओं में, वोल्टता और धारा के बीच अलग-अलग संबंध होता है, जैसे कि डायोडों में।

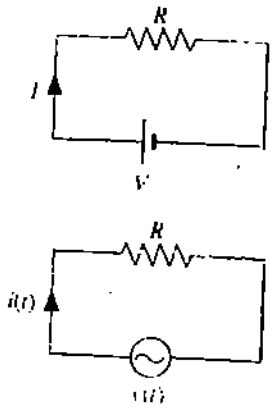
रैखिक (linear) या अरैखिक (non-linear) : किसी अवयव को रैखिक तब कहा जाता है, जबकि वह रैखिक वोल्टता-धारा संबंध को संतुष्ट करता हो, यानी अगर अवयव में प्रवाहित हो रही धारा में एक गुणक से वृद्धि कर दी जाए, तो उस अवयव की वोल्टता में भी उसी गुणक से वृद्धि हो जाती है। उदाहरण के लिए, प्रतिरोधक में *V-I* संबंध होता है : $V = IR$ जो कि रैखिक होता है। उन सभी अवयवों को, जो संबंध को संतुष्ट नहीं करते, अरैखिक अवयव (non-linear element) कहा जाता है, जैसे डायोड। डायोड का *V-I* संबंध यह होता है :

$$I = I_o [e^{\eta V} - 1]$$

जो कि स्पष्टत: अरैखिक है।

स्थानीकृत (lumped) या बंटित (distributed)

उन अवयवों को जो अलग-अलग स्थित होते हैं, स्थानीकृत अवयव (lumped elements) कहा जाता है, जैसे - प्रतिरोधक, संधारित्र अथवा प्रेरक। इसके विपरीत बंटित अवयव वे अवयव होते हैं, जिन्हें विश्लेषण की दृष्टि से अलग-अलग नहीं माना जा सकता। उदाहरण के लिए, संचरण लाइन (transmission line) जिसका प्रतिरोध, प्रेरण और धारिता, उसकी पूरी लंबाई में बंटित होते हैं।



चित्र 1.1 : प्रतिरोधक का *V - I* संबंध

V-I संबंध

(क) **प्रतिरोधक** : देखिए चित्र 1.1

(i) $V = IR \Rightarrow I = GV$
जहाँ $G = 1/R$ = चालकत्व (conductance)
और V तथा I काल-स्वतंत्र वोल्टता और धारा हैं।

(ii) $v(t) = i(t)\, R.$
जहाँ $v(t)$ और $i(t)$ कालाश्रित वोल्टता और धारा हैं।

(ख) **प्रेरक** : देखिए चित्र 1.2.
प्रेरक के लिए अभिवाह (flux) होता है

$$\phi \propto i$$

$$\Rightarrow \phi = \propto L\, i$$

जहाँ L स्व-प्रेरकत्व (self inductance) का गुणांक है। ऊपर दिए गए व्यंजक को समय के सापेक्ष अवकलित करने पर हमें मिलता है :

$$\frac{d\phi}{dt} = L \frac{di}{dt}$$

क्योंकि लेन्ज़ नियम के अनुसार विभव, अभिवाह की परिवर्तन-दर के बराबर होता है,

$$\therefore V = L \frac{di}{dt}$$

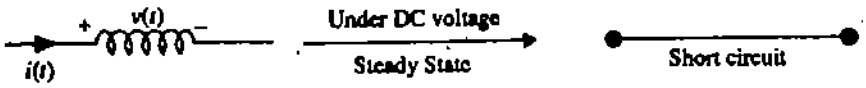
(i) काल-स्वतंत्र वोल्टता और धारा के लिए

$$\frac{di}{dt} = 0$$

$$\therefore V(t) = 0$$

यानी अपरिवर्ती अवस्था के प्रतिबंधों के अधीन (लंबी अवधि के बाद) डी.सी. (D.C.) वोल्टताओं और

धाराओं के लिए प्रेरक पर वोल्टता शून्य होगी, जिससे यह पता चलता है कि यह एक लघु पथ (short circuit) की तरह व्यवहार करेगा।



चित्र 1.2 : प्रेरक का V-I संबंध।

(ii) कालाश्रित वोल्टता और धारा के लिए संबंध होता है :

$$V(t) = L \frac{di(t)}{dt}$$

(ग) **संधारित्र** : देखिए चित्र 1.3.

संधारित्र के लिए $Q \propto V$

$$\Rightarrow Q = CV$$

जहाँ C को संधारित्र की धारिता कहा जाता है।

समय के सापेक्ष इसे अवकलित करने पर हमें मिलता है :

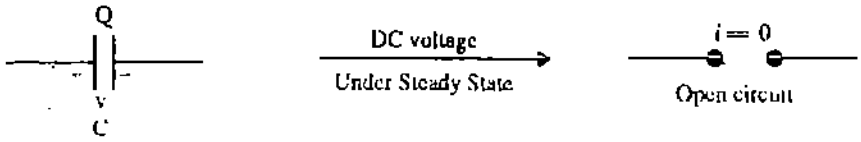
$$i = \frac{dQ}{dt} = C \frac{dV}{dt}$$

(i) समय से स्वतंत्र धारा और वोल्टता के लिए (अर्थात डी सी के लिए)

$$\frac{dV}{dt} = 0$$

$$\therefore i(t) = 0$$

इससे यह पता चलता है कि समय से स्वतंत्र धारा और वोल्टता के लिए (लंबी अवधि के बाद), अपरिवर्ती अवस्था में संधारित्र एक खुले परिपथ (open circuit) की तरह व्यवहार करेगा, क्योंकि $i = 0$ है।



चित्र 1.3 : संधारित्र के लिए V-I संबंध।

(ii) कालाश्रित (time dependent) धारा और वोल्टताओं के लिए धारा-वोल्टता संबंध होता है :

$$i(t) = C \frac{dV(t)}{dt}$$

(घ) **ऊर्जा स्रोत** : ऊर्जा स्रोत दो प्रकार के होते हैं:

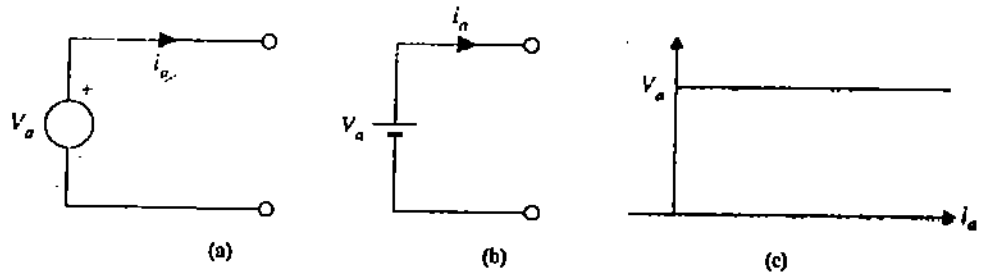
(i) स्वतंत्र ऊर्जा स्रोत

(ii) आश्रित ऊर्जा स्रोत

(i) **स्वतंत्र ऊर्जा स्रोत** :

जैसा कि आप जानते हैं, स्वतंत्र ऊर्जा स्रोत दो प्रकार के होते हैं : वोल्टता स्रोत और धारा स्रोत। स्वतंत्र वोल्टता या धारा स्रोत वे स्रोत होते हैं, जिनके लिए वोल्टता और धारा नियत होती है और जिन पर परिपथ के अन्य घटकों का प्रभाव नहीं होता।

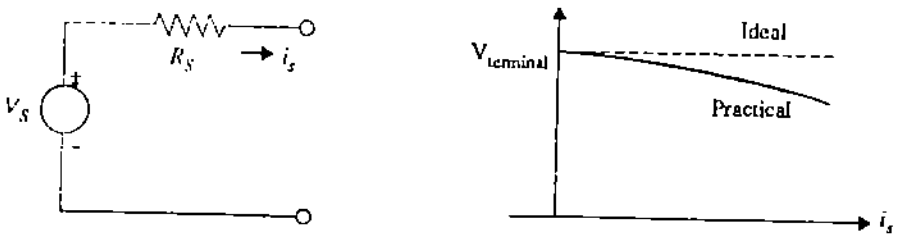
आदर्श वोल्टता स्रोत एक दो-टर्मिनल वाला अवयव होता है, जिसमें वोल्टता V_a, इसके टर्मिनलों से प्रवाहित हो रही धारा i_a से पूरी तरह से स्वतंत्र होती है। आदर्श वोल्टता स्रोत के निरूपण को चित्र 1.4 में दिखाया गया है।



चित्र 1.4 : आदर्श वोल्टता स्रोत।

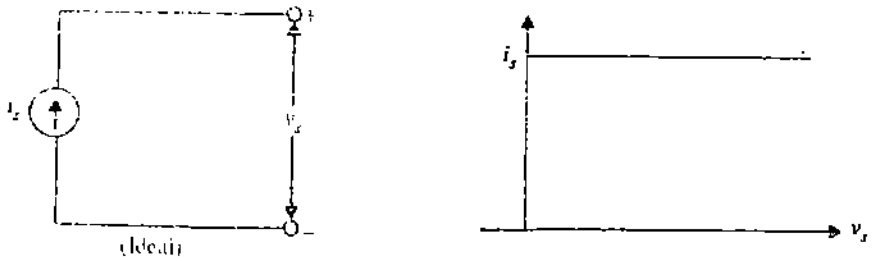
यदि किसी समय पर हम चित्र 1.4 में दिखाए गए आदर्श वोल्टता के V - I अभिलक्षण वक्र को देखें तो हम पाएंगे कि धारा मान i_a के सापेक्ष टर्मिनल वोल्टता का मान V_a अचर होता है। परन्तु, व्यावहारिक वोल्टता स्रोत में इसका आंतरिक प्रतिरोध, स्रोत के साथ श्रेणी क्रम में लगा होता है, जैसा कि चित्र 1.5 में दिखाया गया है और इसमें प्रवाहित हो रही धारा में वृद्धि होने पर इसकी टर्मिनल वोल्टता कम होती जाती है। टर्मिनल वोल्टता, स्रोत धारा पर निर्भर करती है, क्योंकि

$$V_{\text{टर्मिनल}} = V_s - i_s R$$



चित्र 1.5 : व्यावहारिक वोल्टता स्रोत।

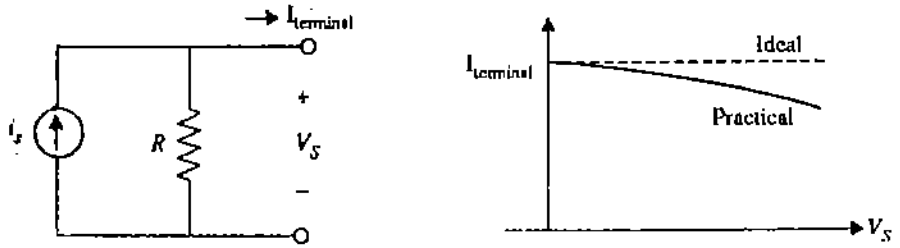
आदर्श स्वतंत्र धारा स्रोत एक दो-टर्मिनल अवयव होता है जिसमें धारा i_s इसके टर्मिनलों की वोल्टता V_s से पूर्णतः स्वतंत्र होती है। आदर्श धारा स्रोत के निरूपण को चित्र 1.6 में दिखाया गया है।



चित्र 1.6 : आदर्श धारा स्रोत।

व्यावहारिक धारा स्रोतों में आंतरिक प्रतिरोध, स्रोत के साथ समांतर में संबंधित होता है, जैसा कि चित्र 1.7 में दिखाया गया है।

$$I_{terminal} = i_S - \left(\frac{V_S}{R}\right)$$



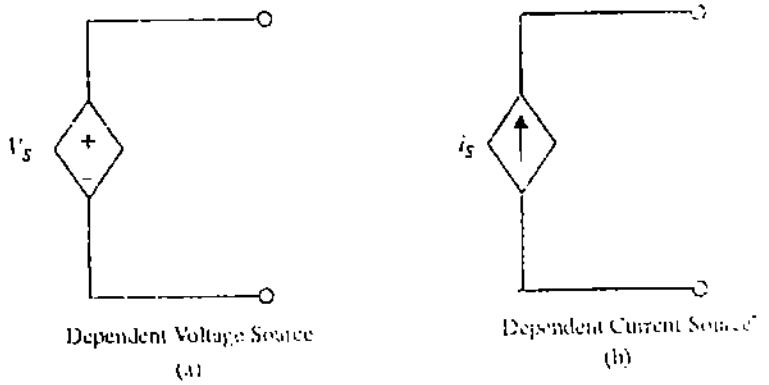
चित्र 1.7 : व्यावहारिक धारा स्रोत।

इस स्थिति में टर्मिनलों के आर-पार वोल्टता में वृद्धि होने पर धारा की मात्रा में कमी आती जाती है। टर्मिनल धारा यह होती है:

$$I_{\text{टर्मिनल}} = i_s - \left(\frac{V_s}{R}\right)$$

(ii) आश्रित स्रोत :

आश्रित स्रोतों (वोल्टता या धारा) में स्रोत वोल्टता या धारा नियत नहीं होती, अपितु परिपथ के किसी अन्य स्थान पर उपस्थित वोल्टता या धारा पर आश्रित होती है। ये स्रोत मुख्यत: ट्रांजिस्टरों जैसी सक्रिय युक्तियों के तुल्य परिपथों के विश्लेषण में प्रयुक्त होते हैं। आश्रित परिपथ वोल्टता और धारा स्रोतों के प्रतीक चित्र 1.8 में दिखाए गए हैं।



चित्र 1.8 : (क) आश्रित वोल्टता स्रोत (ख) आश्रित धारा स्रोत।

1.3 किरशॉफ़ नियम

किरशॉफ़ का धारा नियम और किरशॉफ़ का वोल्टता नियम ऐसे दो मूलभूत नियम हैं, जो कि वैद्युत नेटवर्कों पर लागू होते हैं। ये नियम ही परिपथ विश्लेषण के आधार हैं। आप इन नियमों को स्कूल में पढ़ चुके हैं; फिर भी यहाँ हम उन पर पुन: चर्चा करेंगे क्योंकि परिपथ विश्लेषण (circuit analysis) के लिए ये बहुत महत्वपूर्ण होते हैं।

किरशॉफ़ का धारा नियम (Kirchoff's Current Law-KCL)

इस नियम का कथन यह है : आसंधि (node) या संधि (junction) पर धाराओं का बीजीय योगफल शून्य के बराबर होता है। किरशॉफ के धारा-नियम का वैकल्पिक रूप यह है :

आसंधि मे प्रवेश कर रही धाराओं का बीजीय योगफल = 0

आसंधि से निकल रही धाराओं का बीजीय योगफल = 0

या आसंधि में प्रवेश कर रही धाराओं का बीजीय योगफल = आसंधि से निकल रही धाराओं का योगफल।

किरशॉफ़ का धारा नियम लागू करने के लिए हमें धाराओं के रूढ चिह्न स्थापित करने की आवश्यकता होती है, क्योंकि हमें इन धाराओं का बीजीय योगफल लेना होता है।

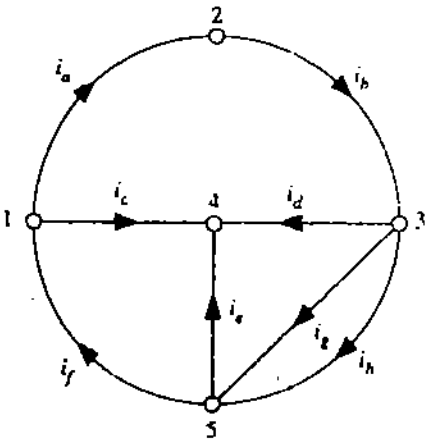
रूढ़ चिह्न : संधि या आसंधि पर प्रवेश कर रही सभी धाराओं को धनात्मक (+) और निकल रही सभी धाराओं को ऋणात्मक (–) माना जाता है।

उदाहरण 1

चित्र 1.9 में विभिन्न आसंधियों के लिए (जिन पर धाराऐं अंकित हैं) किरशॉफ का धारा नियम लिखिए।

हल

स्पष्ट है कि 1,2,3,4,5 आसंधियों को निरूपित करते हैं। अब हम सभी आसंधियों के लिए किरशॉफ का धारा नियम लिखेंगे।



चित्र 1.9 : उदाहरण 1

आसंधि 1 पर, $-i_a - i_c + i_f = 0$ (ऊपर बताए गए रूढ-चिह्न का प्रयोग करके)

आसंधि 2 पर, $i_a - i_b = 0$

आसंधि 3 पर, $-i_b - i_d - i_g - i_h = 0$,

आसंधि 4 पर, $i_c + i_d + i_e = 0$

आसंधि 5 पर, $i_h + i_g - i_e - i_f = 0$

यहाँ आप यह देख सकते हैं कि आसंधि-5 पर किरशॉफ़ के धारा-नियम को समीकरण 1 से 4 तक की अन्य सभी आसंधियों पर किरशॉफ़ के धारा-नियमों (KCL) के समीकरणों को जोड़कर प्राप्त किया जा सकता है। इस प्रश्न से हमें निम्नलिखित बातें देखने को मिलती हैं :

(i) केवल एक आसंधि को छोड़कर अन्य सभी आसंधियों के लिए KCL लिखना पर्याप्त होता है।

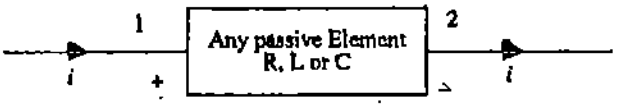
(ii) छोड़ी गई आसंधि के लिए KCL स्वतंत्र नहीं होता, क्योंकि इसे अन्य आसंधियों के लिए लिखे गए KCL से प्राप्त किया जा सकता है।

याद रखिए : n आसंधि वाले नेटवर्क में $(n-1)$ आसंधियों के लिए KCL लिख देना पर्याप्त होता है।

किरशॉफ़ का वोल्टता नियम

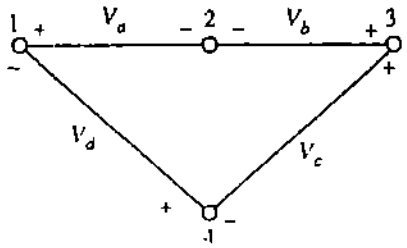
इस नियम का कथन यह है : एक संवृत्त नेटवर्क (closed network) में वोल्टताओं (उचित चिह्न युक्त) का बीजीय योगफल शून्य होता है। इस नियम को लागू करने के लिए हमें इस संवृत्त नेटवर्क की

सभी वोल्टताओं के परिमाण और ध्रुवताएँ जानना आवश्यक होता है। इसे लागू करने के लिए हम इस रूढ़ चिह्न का प्रयोग करते हैं कि किसी भी निष्क्रिय अवयव (R, L या C) के लिए धारा जिस टर्मिनल में प्रवेश कर रही हो, उसका विभव धनात्मक (+) माना जाएगा और धारा जिस टर्मिनल से निकल रही हो, उसका विभव ऋणात्मक (–) माना जाएगा (देखिए चित्र 1.10)।



चित्र 1.10 : KVL का रूढ़ चिह्न।

एक उदाहरण के रूप में, यहाँ हम चित्र 1.11 में दिखाए गए नेटवर्क पर, जहाँ मानों के साथ वोल्टता ध्रुवता अंकित किए गए हैं, KVL लागू करेंगे।



चित्र 1.11

KVL लागू करने पर हमें मिलता है :

$$V_a + (+V_b) + (+V_c) + (-V_d) = 0$$

यहाँ हमने V_a का प्रयोग संदर्भ वोल्टता के रूप में किया है।

याद रखिए :

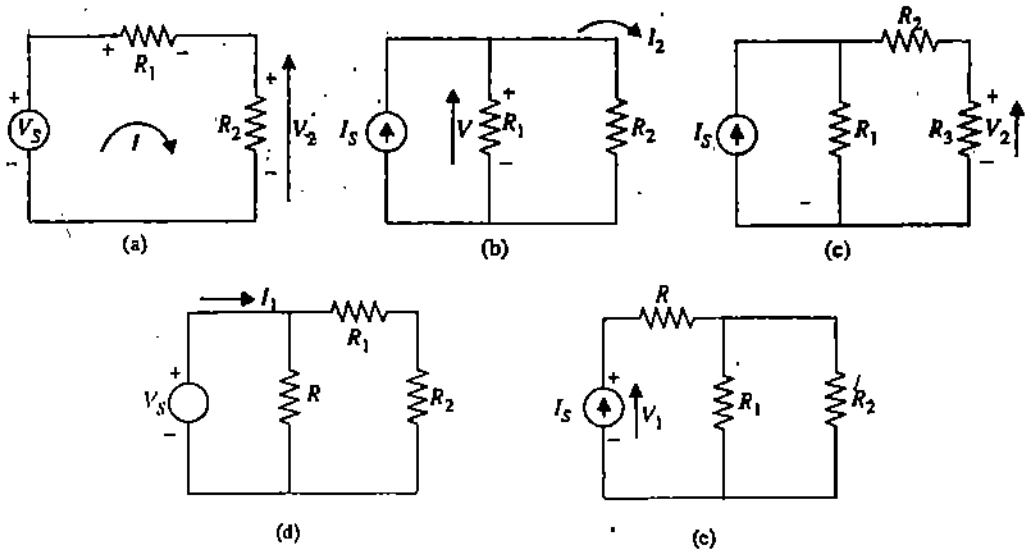
1. एक बार संदर्भ वोल्टता चुन लेने के बाद नेटवर्क के अन्य भागों में जाने के लिए सदा ही उस वोल्टता के धनात्मक टर्मिनल से बाहर निकलिए। कभी-कभी यह दक्षिणावर्त (clockwise) हो सकता है और कभी-कभी यह वामावर्त (anti-clockwise) भी हो सकता है। इस बारे में आपको चिन्ता करने की आवश्यकता नहीं है।
2. वोल्टता का उचित चिह्न निर्धारित करने के लिए आपको निम्नलिखित प्रक्रिया अपनानी होगी संदर्भ विभव के धनात्मक टर्मिनल से निकलते समय यदि आपको सबसे पहले अगले अवयव का धनात्मक टर्मिनल मिलता हो, तो इस टर्मिनल को ऋणात्मक मान लीजिए और यदि अगले अवयव का टर्मिनल ऋणात्मक मिलता हो, तो इस टर्मिनल को धनात्मक मानलीजिए।

KCL, KVL पर आधारित सरलीकरण

परिपथ विश्लेषण में सामान्यत: KCL और KVL पर आधारित सरलीकरण यह होता है

1. श्रेणीक्रम में जुड़े अवयवों में समान धारा प्रवाहित होती है।
2. समांतर क्रम में जुड़े अवयवों के आर-पार समान वोल्टता होती है।
3. वोल्टता स्रोत V_s से समान्तर में जुड़े प्रतिरोधक R की वोल्टता V_s होती है, अत: इस प्रतिरोधक अवयव में धारा V_s/R होती है।
4. एक धारा स्रोत I_s से श्रेणी में जुड़े अवयव में धारा I_s प्रवाहित होती है, जिससे कि इस प्रकार के प्रतिरोधक अवयव की वोल्टता $V = I_s R$ होती है।

उदाहरण 2 : चित्र 1.12 में दिए गए परिपथों में से प्रत्येक में दिखाए गए चर का मान ज्ञात कीजिए।



चित्र 1.12

हल

(क) क्योंकि R_1 और R_2 श्रेणी में संबंधित हैं, इसलिए इनमें समान धारा I प्रवाहित हो रही है। KVL लागू करने पर हमें मिलता है :

$$V_s - R_1 I - R_2 I = 0$$

$$\Rightarrow V_s = (R_1 + R_2)\, I \qquad (1)$$

और $$V_2 = R_2 I \qquad (2)$$

(1) और (2) को हल करने पर :

$$V_2 = V_s \frac{(R_2)}{(R_1 + R_2)}$$

यह **'वोल्टता विभाजक'** (voltage divider) क्रिया है।

(ख) क्योंकि R_1 और R_2 समांतर क्रम में जुड़े हैं, इसलिए इन पर समान वोल्टता होगी। KCL लागू करने पर हमें मिलता है,

$$I_s = \frac{V}{R_1} + \frac{V}{R_2} \qquad (3)$$

और $$I_s = \frac{V}{R_2} \qquad (4)$$

(3) और (4) को हल करने पर :

$$I_2 = I_s \frac{R_1}{(R_1 + R_2)}$$

इस परिणाम को **"धारा विभाजक" (current divider)** क्रिया कहा जाता है।

(ग) ध्यान दीजिए कि यहाँ R_2 और R_3 श्रेणी में संबंधित हैं, जिससे कि R_1 के साथ $R_2 + R_3$ समांतर में संबंधित होता है। अत: धारा-विभाजक नियम को लागू करके $(R_2 + R_3)$ में प्रवाहित धारा प्राप्त की जा सकती है और इस धारा का मान होता है :

$$I = I_s \frac{R_1}{(R_1 + R_2 + R_3)}$$

और $V_2 = R_3 I$

$$= I_s \frac{R_1 R_3}{(R_1 + R_2 + R_3)}$$

(घ) इसका परिपथ भी ठीक वैसा ही है, जैसा कि (क) का परिपथ है। अंतर केवल यही है कि इसमें V_s पर प्रतिरोधक R लगा है और R में धारा $\frac{V_s}{R}$ प्रवाहित हो रही है। अत: अब V_s से ली गई धारा होगी :

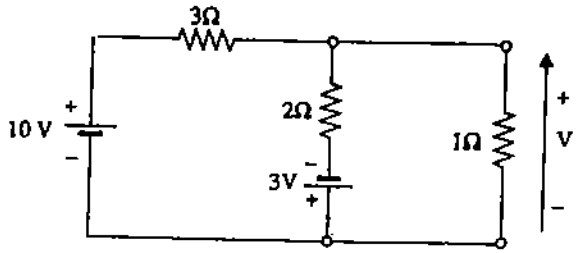
$$I_1 = \frac{V_s}{R} + \frac{V_s}{R_1 + R_2}$$

(ड.) इसका परिपथ भी ठीक वैसा ही है, जैसा कि (ख) का परिपथ है, अंतर केवल यही है कि यहाँ I_s के साथ प्रतिरोधक R श्रेणीक्रम में जुड़ा है तथा R_1 और R_2 समांतर क्रम में जुड़े हैं :

$$\therefore V_1 = I_s R + I_s \frac{R_1 R_2}{R_1 + R_2}$$

बोध प्रश्न 1

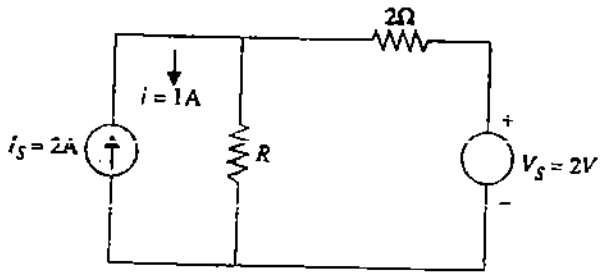
चित्र 1.13 में दिखाए गए परिपथ के लिए V ज्ञात कीजिए।



चित्र 1.13 :

बोध प्रश्न 2

चित्र 1.14 में दिखाए गए परिपथ का R ज्ञात कीजिए, जिससे कि $i = 1A$ हो।



चित्र 1.14 :

1.4 सम्मिश्र प्रतिबाधा

अभी तक हमारी चर्चा प्रतिरोधी परिपथों तक ही सीमित रही है। मुक्त इलेक्ट्रॉन की गति का विरोध करने के कारण प्रतिरोध से धारा-प्रवाह में बाधा पहुँचती है। प्रत्येक अवयव में कुछ न कुछ प्रतिरोध अवश्य होता है। उदाहरण के लिए, प्रेरकत्व और धारिता में भी कुछ प्रतिरोध होता है। प्रतिरोधी अवयव में वोल्टता और धारा के बीच कोई कलांतर (phase difference) नहीं होता जबकि प्रेरक परिपथ में वोल्टता, धारा से आगे होती है और धारिता परिपथ में धारा, वोल्टता से आगे होती है। नेटवर्क की सम्मिश्र प्रतिबाधा यह होती है :

$$Z = R + jX$$

जहाँ Z = सम्मिश्र प्रतिबाधा

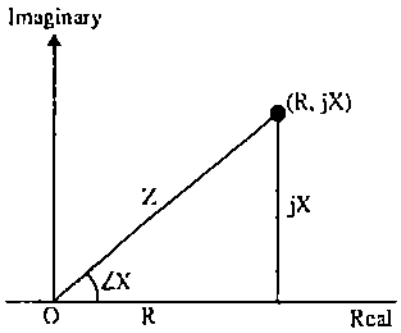
R = प्रतिरोध

X = प्रतिघात (reactance)

$$|Z| = \sqrt{ZZ^*} = \sqrt{R^2 + X^2}$$

$$\text{और } \angle Z = \frac{X}{R} = \frac{\text{अधिकल्पित भाग (imaginary part)}}{\text{वास्तविक भाग (real part)}}$$

(जैसाकि चित्र 1.15 में दिखाया गया है)



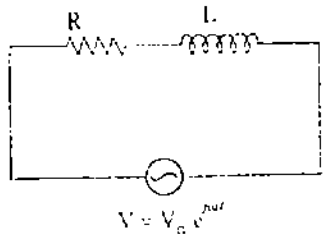
चित्र 1.15

उदाहरण 3 : RL नेटवर्क में, जैसा कि चित्र 1.16 में दिखाया गया है।

$$Z = R + j\omega L$$

$$|Z| = \sqrt{R^2 + \omega^2 L^2}$$

$$\angle Z = \frac{\omega L}{R}$$

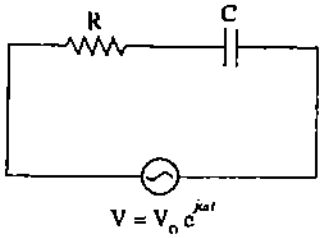


चित्र 1.16 : RL नेटवर्क।

उदाहरण 4 : RC नेटवर्क में, जैसा कि चित्र 1.17 में दिखाया गया है,

$$Z = R + \frac{1}{j\omega C} = R - \frac{j}{\omega C}$$

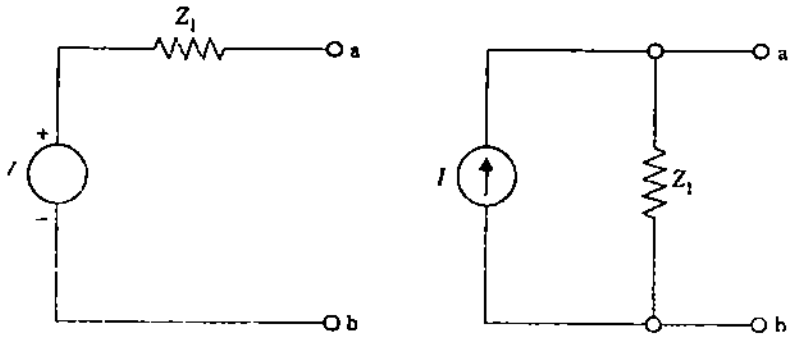
$$|Z| = \sqrt{R + \frac{1}{\omega^2 C^2}} \quad \text{और} \quad \angle Z = -\frac{1}{\omega CR}$$



चित्र 1.17 : *RC* नेटवर्क।

1.5 धारा-वोल्टता स्रोत रूपांतरण

पहले हम यह पढ़ चुके हैं कि स्वतंत्र ऊर्जा स्रोत या तो वोल्टता प्रकार का होता है या धारा प्रकार का। प्रकृति में कोई भी व्यावहारिक स्रोत आदर्श नहीं होता। हम व्यावहारिक वोल्टता स्रोत को एक श्रेणी प्रतिबाधा (सामान्यतः, एक प्रतिरोध) वाले एक आदर्श वोल्टता स्रोत से निरूपित कर सकते हैं, जैसा कि चित्र 1.18क में दिखाया गया है। इसी तरह हम, एक व्यावहारिक धारा स्रोत का सन्निकटन शंट प्रतिबाधा वाले एक आदर्श धारा स्रोत से कर सकते हैं (चित्र 1.18ख)।



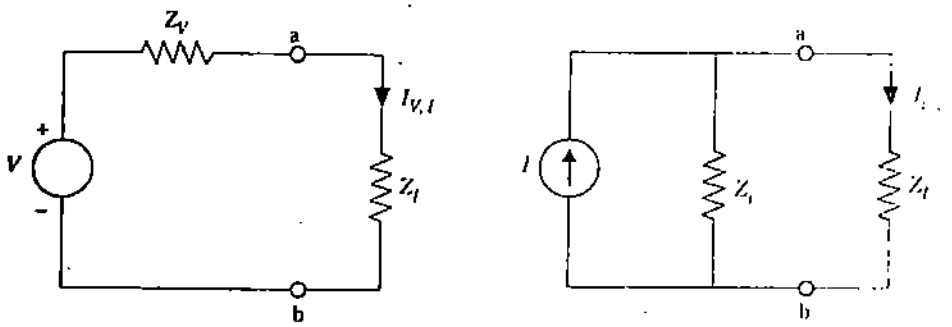
चित्र 1.18 : (क) वोल्टता स्रोत और (ख) धारा स्रोत का व्यावहारिक रूप।

इन निरूपणों से यह पता चलता है कि वोल्टता-स्रोत के लिए निर्गम धारा (output current) में वृद्धि होने पर (लोड प्रतिबाधा में कमी आने के कारण) टर्मिनल वोल्टता कम होती जाती है और धारा स्रोत के लिए लोड प्रतिरोध में वृद्धि होने पर निर्गम धारा में कमी आती जाती है।

नेटवर्क विश्लेषण से संबंधित अनेक समस्याओं में देखा गया है कि वोल्टता स्रोत का तुल्य धारा स्रोत में रूपांतरण या इसका उल्टा, यानी धारा स्रोत का तुल्य वोल्टता स्रोत में रूपांतरण कर देने से समस्या काफ़ी सरल बन जाती है। इस भाग में हम व्यावहारिक वोल्टता और धारा स्रोतों की तुल्यता (equivalence) के प्रतिबंध व्युत्पन्न करेंगे।

इस संबंध में चित्र 1.19 क देखें जहाँ वोल्टता स्रोत को एक लोड Z_l से जुड़ा हुआ दिखाया गया है। लोड को दी गई धारा होती है :

$$I_{v,l} = \frac{V}{Z_V + Z_l} \tag{1.1}$$



चित्र 1.19 : लोड Z_l सहित (क) वोल्टता स्रोत तथा (ख) धारा स्रोत।

अब, यदि हम समान लोड Z_l को धारा स्रोत से जोड़ दें, जैसा कि चित्र 1.19ख में दिखाया गया है, तो लोड को दी गई धारा होती है :

$$I_{i,l} = \frac{Z_i}{Z_i + Z_l} I \tag{1.2}$$

यदि दो ऊर्जा स्रोत बराबर हों, तो Z_l को दी गई धारा भी बराबर होगी अर्थात् $I_{v,l} = I_{i,l}$ अतः समीकरणों (1.1) और (1.2) से

$$\frac{V}{Z_v + Z_l} = \frac{Z_i I}{Z_i + Z_l} \tag{1.3}$$

समीकरण (1.3) तभी संतुष्ट होगा यदि

$$I = \frac{V}{Z_i} \tag{1.4}$$

और $Z_v = Z_i$

रूपांतरण नियम का कथन

वोल्टता V और श्रेणी प्रतिबाधा Z_v वाला अचर वोल्टता स्रोत, धारा $I = V/Z_v$ और शंट प्रतिबाधा Z_v के अचर धारा स्रोत के तुल्य होता है।

1.6 अध्यारोपण प्रमेय

अध्यारोपण (superposition) का आधारभूत नियम यह है : यदि तंत्र में उत्पन्न प्रभाव, कारण के अनुलोमानुपाती (directly proportional) हो, तो संयुक्त रूप से कार्य कर रहे अनेक कारणों की वजह से तंत्र में उत्पन्न समग्र प्रभाव को अध्यारोपित करके (जोड़ करके) प्राप्त किया जा सकता है। यहाँ इस बात की ओर ध्यान देना आवश्यक है कि ऊपर दिया गया नियम अनेक इंजीनियरिंग तंत्रों, जैसे - प्रसारण तंत्र, श्रव्य तंत्र (audio system) आदि की नींव होता है। उदाहरण के लिए, जब कोई बड़ा ऑर्केस्ट्रा बज रहा हो, तो हम चाहते हैं कि तंत्र की कुल अनुक्रिया अलग-अलग बजाए जा रहे प्रत्येक वाद्य-यंत्र से उत्पन्न अनुक्रियाओं के मिले-जुले प्रभाव से प्राप्त हो। दूसरे शब्दों में यह कहा जा सकता है कि तंत्र की उत्तम तद्रूपता (fidelity) का होना अध्यारोपण नियम की वैधता पर निर्भर करता है।

क्योंकि अध्यारोपण नियम को केवल रैखिक नेटवर्कों और तंत्रों पर ही लागू किया जा सकता है, इसलिए अध्यारोपण प्रमेय के औपचारिक कथन और उसकी उपपत्ति पर विचार करने से पहले हमारे लिए यह आवश्यक है कि हम शब्द "रैखिक" (linear) के अर्थ को अच्छी तरह से समझ लें।

हम किसी युक्ति को रैखिक युक्ति तब कहते है, जब वह निम्न रूप के समीकरण से अभिलक्षित होता है :

$$y = mx \qquad (1.5)$$

जहाँ m एक अचर है। उदाहरण के लिए, तार लपेट कर बनाया गया प्रेरक एक रैखिक युक्ति (linear device) है और इसके चर v और i हैं। समीकरण (1.5) से इस बात का भी पता चलता है कि y, x के समानुपाती है। आपको यहाँ स्पष्ट रूप से देख लेना चाहिए कि व्यापक अध्यारोपण नियम आनुपातिकता (proportionality) पर निर्भर करता है। एक नेटवर्क/तंत्र को जिसमें केवल रैखिक युक्तियाँ (अवयव) होती हैं, रैखिक नेटवर्क/तंत्र कहा जाता है।

1.6.1 अध्यारोपण प्रमेय का कथन

अनेक स्रोतों वाले (जिनमें प्रारंभिक प्रतिबंधों से उत्पन्न तुल्य स्रोत भी सम्मिलित हैं) रैखिक नेटवर्क में नेटवर्क के किसी बिन्दु पर समग्र अनुक्रिया अलग-अलग लिए गए प्रत्येक स्रोत की अपनी-अपनी अनुक्रियाओं के योगफल के बराबर होती है, जबकि अन्य किसी स्रोत से काम न लिया जा रहा हो।

टिप्पणी :

(1) यहाँ हम यह पाते हैं कि प्रमेय से मुख्यत: इस बात का पता चलता है कि एक रैखिक परिपथ में कुल अनुक्रिया एक एक करके लिए गए अलग-अलग स्रोतों की आंशिक अनुक्रियाओं का एक उचित संकलन (proper summation) होता है।

(2) शब्द "स्रोत" के अंतर्गत सभी वोल्टता और धारा स्रोत तथा नेटवर्क के प्रारंभिक प्रतिबंधों से बना तुल्य स्रोत भी आता है।

(3) हम (क) वोल्टता स्रोतों का लघु-पथन करके तथा उनके स्थान पर उनकी श्रेणी प्रतिबाधाओं का प्रयोग करके और (ख) धारा स्रोतों का खुला परिपथन (open circuiting) करके तथा उनके स्थान पर उनके शंट प्रतिबाधाओं का प्रयोग करके स्रोत को निष्क्रिय बना देते हैं।

(4) रैखिक नेटवर्क के अंतर्गत स्वतंत्र स्रोत, रैखिक आश्रित स्रोत और निष्क्रिय अवयव जैसे - प्रतिरोधक, प्रेरक, संधारित्र और ट्रांसफार्मर आते हैं। साथ ही ये घटक समय के साथ या तो परिवर्तनशील या निश्चर (invariable) हो सकते हैं।

(5) हम यहाँ पाते हैं कि अध्यारोपण प्रमेय का मुख्य लाभ यह है कि बहुत बड़ी संख्या में परिपथ समीकरणों को स्थापित किए बिना ही इसकी सहायता से नेटवर्क का हल प्राप्त किया जा सकता है। ऐसा करना इसलिए संभव है क्योंकि एक बार में केवल एक स्रोत को ही लिया जाता है।

(6) अध्यारोपण प्रमेय इतना स्पष्ट लगता है कि लोगों की प्रवृत्ति इसे वहाँ भी लागू करने की होती है, जहाँ इसे लागू नहीं किया जा सकता।

1.6.2 अध्यारोपण प्रमेय की उपपत्ति

आइए, हम एक रैखिक नेटवर्क N लें जिसमें L स्वतंत्र पाश हों। पाश-समीकरण ये हैं:

$$\begin{aligned}
Z_{11} I_1 + Z_{12} I_2 + \ \ldots\ + Z_{1L} I_L &= E_1 \\
Z_{21} I_1 + Z_{22} I_2 + \ \ldots\ + Z_{2L} I_L &= E_2 \\
\ldots\quad \ldots\quad \ldots\quad \ldots & \qquad (1.6) \\
Z_{L1} I_1 + Z_{L2} I_2 + \ \ldots\ + Z_{LL} I_L &= E_L
\end{aligned}$$

समीकरण (1.6) का हल इस रूप का होता है

$$\begin{aligned} I_1 &= Y_{11}E_1 + Y_{12}E_2 + \ldots + Y_{1l}E_l \\ I_2 &= Y_{21}E_1 + Y_{22}E_2 + \ldots + Y_{2l}E_l \\ \ldots & \quad \ldots \quad \ldots \\ I_l &= Y_{l1}E_1 + Y_{l2}E_2 + \ldots + Y_{ll}E_l \end{aligned} \qquad (1.7)$$

अब यह अध्यारोपण प्रमेय लागू करते हैं।

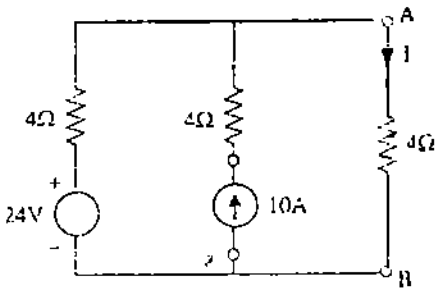
सबसे पहले हम यह मान लेते हैं कि E_1 को छोड़कर अन्य सभी E शून्य होते हैं। इससे पाश 1 में $Y_{11}E_1$ के रूप में, पाश 2 में $Y_{21}E_1$ के रूप में, आदि आदि धारा प्राप्त होगी। इसी प्रकार, जब E_2 को छोड़कर अन्य सभी स्रोतों को निष्क्रिय बना दिया जाता है, तब पाश 1 में धारा $Y_{12}E_2$, पाश 2 में धारा $Y_{22}E_2$ आदि, आदि होती है। बारी-बारी से यह प्रक्रिया शेष स्रोतों E_3, E_4, आदि पर दोहराई जाती है। अध्यारोपण नियम को लागू करने पर अलग-अलग अनुक्रियाओं को एक-साथ जोड़ने पर परिणामी अनुक्रिया प्राप्त होती है। उदाहरण के लिए, प्रथम पाश के लिए हमें मिलता है :

$$I_1 = Y_{11}E_1 + Y_{12}E_2 + \ldots + Y_{1l}E_l.$$

परन्तु, यह परिणाम वही है, जो युगपत् समीकरण (1.7) को हल करने पर प्राप्त हुआ है। संधि विधि पर आधारित इसी प्रकार की उपपत्ति दी जा सकती है।

बोध प्रश्न 3

अध्यारोपण प्रमेय की सहायता से चित्र 1.20 की शाखा AB में धारा (I) ज्ञात कीजिए।



चित्र 1.20

1.7 पारस्परिकता प्रमेय

पारस्परिकता की परिघटना प्रकृति में सामान्यतः देखने को मिलती रहती है। वैद्युत परिपथ के अतिरिक्त यांत्रिकी, ध्वनिकी आदि में भी यह परिघटना हमें देखने को मिलती है। जब यह किसी भौतिक तंत्र पर लागू होती है, तब हम उत्तेजन और अनुक्रिया बिन्दुओं में परस्पर अदला-बदली कर सकते हैं और इस अदला-बदली से एक दिए हुए उत्तेजन (exitation) के लिए तंत्र की अनुक्रिया में परिवर्तन नहीं होता। तंत्रों के विश्लेषण तथा अभिकल्पना (design) में और मापन के क्षेत्र में भी इसकी व्यापक उपयोगिता है। इसे और अच्छी तरह से समझने के लिए, आइए, हम दो उपभोक्ताओं X और Y के बीच लगी टेलीफोन लाइन का उदाहरण लें। यदि टेलीफोन परिपथ में अनुमेय अवयव (permissible elements) हों, तो पारस्परिकता-प्रमेय की सहायता से हम यह मान सकते हैं कि X से Y तक संचरण, ठीक Y से X तक संचरण के जैसा होता है। व्यवहार में इससे लाइन को डिज़ाइन करने और उसका परीक्षण करना काफ़ी सरल हो जाता है।

1.7.1 पारस्परिकता प्रमेय का कथन

पारस्परिकता प्रमेय का कथन यह है : यदि हम अनुसंगी नेटवर्क (receiprocal network) के दो पाश A और B लें और यदि पाश A में आदर्श वोल्टता स्रोत E से पाश B में धारा I उत्पन्न होती हो, तो पाश B का एक वैसा ही स्रोत, पाश A में समान धारा I उत्पन्न करेगा।

इसका द्वैत (dual) भी सही है : यदि हम एक व्युत्क्रम नेटवर्क N के दो आसंधि-युग्म (node pair) AA' और BB' लें और यदि आसंधि युग्म AA' पर BB' का एक आदर्श धारा स्रोत लागू करने पर आसंधि युग्म BB' पर वोल्टता V उत्पन्न होती हो, तो BB' पर एक वैसा ही धारा स्रोत लागू करने पर AA' पर समान वोल्टता V उत्पन्न होगी।

टिप्पणी

(i) व्युत्क्रम नेटवर्क में रैखिक, समय-निश्चर, द्विपक्षीय, निष्क्रिय अवयव होते हैं। इसे प्रतिरोधकों, संधारित्रों, प्रेरकों (जिनमें युग्मित प्रेरक भी सम्मिलित हैं) और ट्रॉंसफार्मर पर लागू किया जा सकता है। लेकिन आश्रित और स्वतंत्र दोनों ही स्रोत अनुमेय नहीं होते। और, यहाँ हम प्रारंभिक प्रतिबंधों को शून्य मानकर केवल शून्य-अवस्था अनुक्रिया पर ही विचार कर रहें है। इस अर्थ में अध्यारोपण प्रमेय की अपेक्षा यह प्रमेय अधिक प्रतिबंधित होता है।

(ii) क्योंकि अध्यारोपण प्रमेय अधिकांश लोगों को अधिक स्पष्ट प्रतीत होता है, अत: वह अधिक स्वीकार्य होता है। जैसा कि हमने पहले ही बताया है, हमें इस बात की बहुत सावधानी बरतनी चाहिए की गलत स्थितियों पर हम इसे लागू न करें।

1.7.2 पारस्परिकता प्रमेय की उपपत्ति

आइए हम एक नेटवर्क N लें, जिसमें केवल एक ऊर्जा स्रोत है, जो वोल्टता E_1 उत्पन्न करता है। हम उस पाश को, जिसमें स्रोत उपस्थित है, पाश 1 और उस पाश को जिसमें अनुक्रिया ज्ञात करनी है, पाश 2 मान सकते हैं। समीकरण (1.7) के दूसरे समीकरण से हमें मिलता है :

$$I_2 = Y_{21} E_1 \tag{1.8}$$

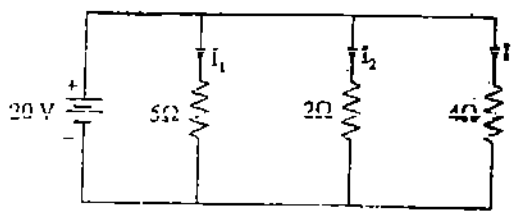
अब हम E_1 को शून्य करते हैं और पाश 2 में एक वोल्टता स्रोत E_2 रखते हैं। अब, समीकरण (1.7) के पहले समीकरण से हमें मिलता है :

$$I_1 = Y_{12} E_2 \tag{1.9}$$

यदि दोनों स्रोत अभिन्न हों, अर्थात् $E_1 = E_2$ तो I_1 भी I_2 के बराबर होगा जबकि $Y_{12} = Y_{21}$ क्योंकि सभी रैखिक, द्विपक्षीय नेटवर्कों में $Y_{21} = Y_{12}$ होता है, अत: हमने केवल एक स्रोत वाले नेटवर्कों के लिए पारस्परिकता प्रमेय को सिद्ध कर दिया है। अध्यारोपण प्रमेय की तरह, इस प्रमेय को सिद्ध करने के लिए यहाँ भी संधि-विधि का भी प्रयोग किया जा सकता है।

बोध प्रश्न 4

चित्र 1.21 के परिपथ में 4-ओम प्रतिरोधक में प्रवाहित धारा ज्ञात कीजिए। पारस्परिकता-प्रमेय स्थापित कीजिए।



चित्र 1.21

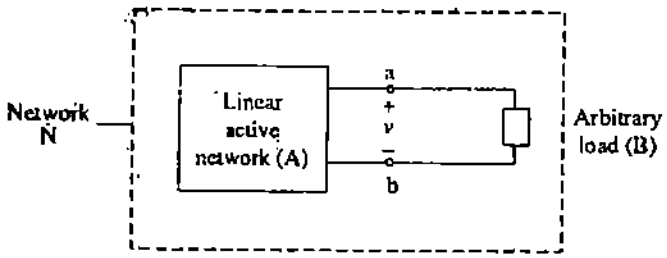
और उद्दीपन और अनुक्रिया बिन्दुओं में परस्पर अदला-बदली कर देने पर 5-ओम प्रतिरोधक में प्रवाहित धारा में हुआ परिवर्तन ज्ञात कीजिए।

1.8 थेवेनिन प्रमेय

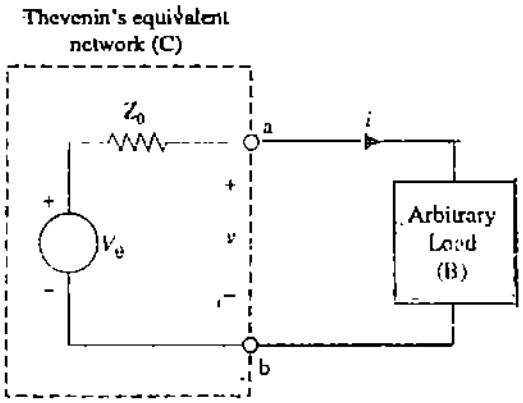
थेवेनिन प्रमेय परिपथ सिद्धांत का एक अति महत्वपूर्ण प्रमेय है। इससे हमें एक जटिल नेटवर्क में अनुक्रिया का परिकलन करने की एक शक्तिशाली तकनीक प्राप्त होती है। विशेष रूप से जब नेटवर्क के एक भाग (जिसे सामान्यत: लोड कहा जाता है) में परिवर्तन हो रहा हो और शेष भाग नियत बने रहते हों। इसके अतिरिक्त इसकी सहायता से किसी भी रैखिक नेटवर्क को तब अच्छी तरह से समझा जा सकता है, जब हम उन टर्मिनलों से, जिनसे लोड जुड़ा हुआ है, नेटवर्क को देख सकते हैं।

1.8.1 थेवेनिन प्रमेय का कथन

किसी दो टर्मिनल रैखिक सक्रिय नेटवर्क को एक प्रतिबाधा के साथ श्रेणी में जुड़े हुए वोल्टता स्रोत द्वारा प्रतिस्थापित किया जा सकता है। वोल्टता स्रोत का विद्युतवाहक बल (V) टर्मिनलों पर खुले परिपथ की वोल्टता के बराबर होता है और प्रतिबाधा (Z) टर्मिनलों पर वह प्रतिबाधा होती है, जबकि नेटवर्क के सभी जनित्रों के स्थान पर उनकी आंतरिक प्रतिबाधाओं को लिया गया हो।



चित्र 1.22 : मूल नेटवर्क।



चित्र 1.23 : चित्र 1.22 का थेवेनिन तुल्य।

व्याख्या और टिप्पणी

आइए, हम चित्र 1.22 में दिखाया गया नेटवर्क N लें। इसमें दो भाग होते हैं : एक रैखिक सक्रिय नेटवर्क A और एक स्वेच्छ नेटवर्क B, जिसे लोड कहा जाता है। यहाँ हम यह मान लेते हैं कि दो नेटवर्कों के बीच केवल लोड धारा (I) के माध्यम से ही अन्योन्यक्रिया (interaction) होती है अर्थात् कोई भी चुंबकीय युग्मन या आश्रित स्रोत द्वारा A और B के बीच युग्मन (coupling) नहीं होता। थेवेनिन प्रमेय के अनुसार हम सक्रिय नेटवर्क A के स्थान पर थेवेनिन तुल्य जनित्र और श्रेणी प्रतिबाधा ले सकते हैं।

इस जनित्र की वोल्टता (V_0), a–b पर खुले परिपथ की वोल्टता होती है जबकि लोड का संबंधन हटा लिया गया हो। यह प्रारंभिक प्रतिबंधों समेत A में ऊर्जा स्रोतों के कारण होता है। यह वोल्टता वह होती

है, जो कि VTVM, a–b पर मापता है। तुल्य श्रेणी प्रतिबाधा (Z_0), a–b पर प्रतिबाधा होती है, जबकि वोल्टता स्रोतों का लघु परिपथन करके, धारा-स्रोतों का खुला परिपथन करके और प्रारंभिक प्रतिबंधों को शून्य करके, सभी स्वतंत्र स्रोतों को शून्य कर दिया गया हो। आश्रित स्रोतों को अपरिवर्तित रखा जाता है। (वस्तुत: a–b पर प्रतिबाधा सेतु से इस प्रतिबाधा Z_0 का मापन हो जाता है।) चित्र 1.22 के थेवेनिन तुल्य को चित्र 1.23 में दिखाया गया है। यदि लोड B में केवल एक प्रभावी प्रतिबाधा Z_t हो, तो लोड धारा होती है:

$$I_t = \frac{V_0}{Z_0 + Z_t} \tag{1.10}$$

हमें निम्नलिखित बातों पर विशेष ध्यान देना चाहिए :

(i) नेटवर्क A को केवल रैखिक होना है, इसमें समय-परिवर्ती अवयव भी सम्मिलित हो सकते हैं।

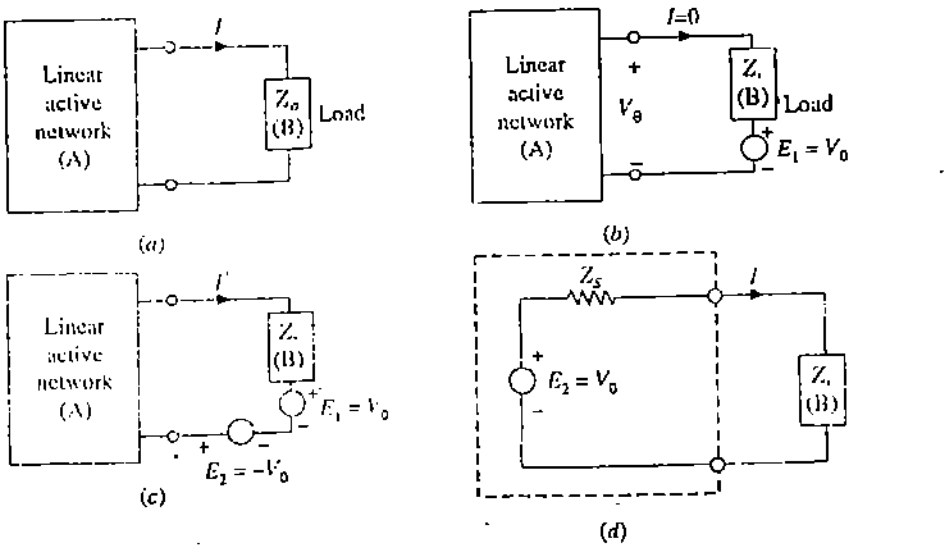
(ii) निम्न बातों को छोड़कर हम लोड पर कोई प्रतिबंध नहीं लगाते :

(क) लोड धारा को छोड़कर A के साथ इसका कोई युग्मन नहीं होता और

(ख) पूर्ण नेटवर्क का एक अद्वितीय हल होता है।

1.8.2 थेवेनिन प्रमेय की उपपत्ति

आइए, हम चित्र 1.24 का परिपथ लें, जहाँ सक्रिय नेटवर्क A (जिसमें खुले परिपथ की वोल्टता V_0 है), निष्क्रिय लोड B में एक धारा ले जा रहा है। यहाँ हम लोड धारा को I मान लेते है और लोड द्वारा प्रस्तुत प्रभावी प्रतिबाधा Z_0 मान लेते हैं।



चित्र 1.24 : थेवेनिन प्रमेय की उपपत्ति में आवश्यक परिपथ।

इसके बाद लोड के साथ श्रेणी में एक वोल्टता स्रोत लगा दिया जाता है जैसा कि चित्र 1.24 में दिखाया गया है। इसे इस तरह समायोजित किया जाता है कि धारा I शून्य हो जाती है। ऐसे प्रतिबंध के अधीन व्यावहारिक दृष्टि से नेटवर्क खुला परिपथ प्रतिबंध के अधीन हो जाता है और आवश्यक संतुलन वोल्टता $E_1 = V_0$ हो जाती है।

अब हम E_1 के विपरीत परन्तु परिमाण में बराबर एक अन्य वोल्टता स्रोत E_2 लेते हैं अर्थात् $E_2 = V_0$ इससे धारा I' प्रवाहित होने लगती है। क्योंकि E_1 और E_2 का योग, यानी नेट वोल्टता शून्य होती है, इसलिए चित्र 1.24 (क) और 1.24 (ग) के परिपथ तुल्य होते हैं, और $I' = I$ है। इससे इस बात क

पता चलता है कि केवल E_2 से उत्पन्न धारा (जबकि A में स्रोतों को निष्क्रिय बना दिया गया हो और इसके स्थान पर इसकी प्रतिबाधा Z_0 को ले लिया गया हो) यह होती है :

$$I = \frac{E_1}{Z_\theta + Z_0} = \frac{V_\theta}{Z_0 + Z_0} \qquad (1.11)$$

इस प्रक्रिया को चित्र 1.24 घ में दिखाया गया है, जहाँ नेटवर्क A के स्थान पर वोल्टता V_θ वाले एक वोल्टता जनित्र और एक श्रेणी प्रतिबाधा Z_0 का प्रयोग किया गया है। इस तरह, निष्क्रिय लोड के लिए थेवेनिन-प्रमेय सिद्ध हो जाता है।

यदि लोड सक्रिय हो, तब भी थेवेनिन प्रमेय मान्य होता है। इसकी उपपत्ति भी निष्क्रिय लोड से संबंधित उपपत्ति की तरह है। अंतर केवल यह है कि इसमें हमें वोल्टता स्रोत E_1 को लागू करना होता है, जिससे कि V_θ और बाह्य नेटवर्क से उत्पन्न वोल्टता के संयुक्त प्रभाव को संतुलित कर ले और परिणामी लोड धारा को शून्य कर दे। इससे इस बात का पता चलता है कि E_2 नेटवर्कों A और B के खुले परिपथ की वोल्टताओं का या तो योगफल या अंतर (जबकि V_θ और बाह्य नेटवर्क से उत्पन्न वोल्टता एक-दूसरे के विपरीत हों) होता है।

इससे यह भी पता चलता है कि थेवेनिन का तुल्य नेटवर्क अर्थात् V_0 और Z_0 समान होता है, चाहे लोड सक्रिय हो या निष्क्रिय हो। इस तरह, हम यह पाते हैं कि किसी भी स्वेच्छ लोड के लिए थेवेनिन प्रमेय मान्य होता है।

1.9 नॉर्टन प्रमेय

नॉर्टन प्रमेय से थेवेनिन प्रमेय का द्वैत प्राप्त होता है। वास्तव में अंतर केवल यही है कि इसमें, थेवेनिन के तुल्य जनित्र और श्रेणी प्रतिबाधा के स्थान पर एक तुल्य धारा जनित्र और एक शंट प्रवेश्यता (admittance) का प्रयोग किया जाता है। यह प्रतिस्थापन स्रोत रूपांतरण के अनुसार होता है। रूपांतरित नेटवर्क को नॉर्टन का तुल्य नेटवर्क कहते हैं। नॉर्टन के तुल्य नेटवर्क को प्राप्त करने के लिए विभिन्न चरण चित्र 1.26 में दिखाए गए हैं। अब हम प्रमेय का औपचारिक कथन देंगे।

1.9.1 नॉर्टन प्रमेय का कथन

एक दो टर्मिनल वाले सक्रिय नेटवर्क को I_0 मान वाले धारा स्रोत और शंट प्रवेश्यता Y_θ से प्रतिस्थापित किया जा सकता है।

धारा I_θ टर्मिनलों ab के बीच की लघु पथन धारा है और $Y_0 (= 1/Z_0)$ टर्मिनलों पर देखी गई प्रवेश्यता है जबकि सक्रिय नेटवर्क के स्रोतों को, जिनमें प्रतिबंधों से उत्पन्न स्रोत भी सम्मिलित हैं, निष्क्रिय बना दिया गया हो और उनके स्थान पर उनकी आंतरिक प्रतिबाधाएँ ली गई हों।

नॉर्टन के तुल्य परिपथ को निम्नलिखित संबंधों के साथ थेवेनिन के तुल्य परिपथ से प्राप्त किया जाता है :

$$I_0 = \frac{V_0}{Z_\theta}$$

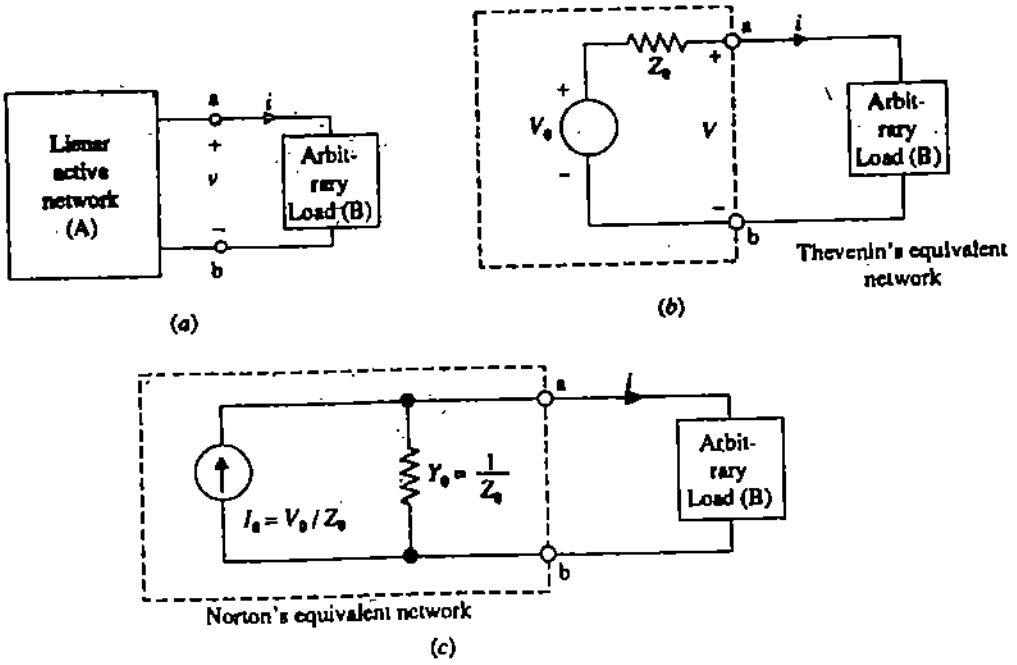
और

$$Y_0 = \frac{1}{Z_\theta} \qquad (1.12)$$

कभी-कभी इन दो प्रमेयों को एक प्रमेय मान लिया जाता है और उसे थेवेनिन-नॉर्टन तुल्य नेटवर्क प्रमेय कहा जाता है।

1.9.2 नॉर्टन-प्रमेय की उपपत्ति

नॉर्टन प्रमेय को स्वतंत्र रूप से सिद्ध किया जा सकता है। लेकिन यहाँ हम थेवेनिन प्रमेय के परिणामों और स्रोत रूपांतरण को लागू करके इस प्रमेय को सिद्ध करेंगे। चित्र 1.25 का नेटवर्क N लीजिए।



चित्र 1.25 : (क) मूल नेटवर्क N (ख) सक्रिय नेटवर्क A के स्थान पर थेवेनिन का तुल्य नेटवर्क लेना (ग) सक्रिय नेटवर्क के स्थान पर नॉर्टन का तुल्य नेटवर्क लेना।

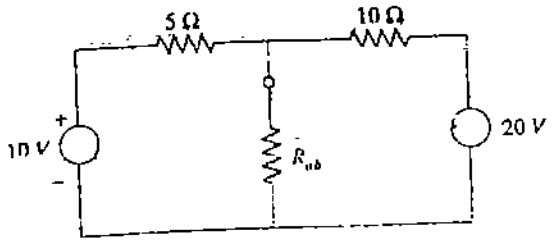
इसका थेवेनिन-तुल्य नेटवर्क उसी प्रकार प्राप्त किया जाता है जैसा कि भाग 1.8 में बताया गया है और परिणामी परिपथ को चित्र 1.25 (ख) में दिखाया गया है। तब हम थेवेनिन के तुल्य नेटवर्क को एक धारा स्रोत में रूपांतरित करते हैं। शंट प्रतिबाधा के साथ परिणामी धारा जनित्र को चित्र 1.25 (ग) में बिन्दुकित रेखाओं के अंदर दिखाया गया है और यह समीकरण (1.12) को संतुष्ट करता है।

अब, थेवेनिन प्रमेय को सिद्ध करने के लिए लागू की गई प्रक्रिया के समान प्रक्रिया लागू करके नॉर्टन प्रमेय को स्वतंत्र रूप से सिद्ध कीजिए।

बोध प्रश्न 5

चित्र 1.26 में दिखाए गए परिपथ के लिए शाखा a–b में प्रवाहित धारा ज्ञात कीजिए जबकि R_{ab} के निम्नलिखित मान हों :

(i) 1Ω (ii) 5Ω



चित्र 1.26 :

1.10 अधिकतम शक्ति स्थानांतरण प्रमेय

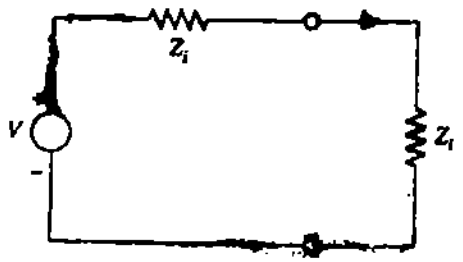
अधिकतम शक्ति को लोड में स्थानांतरित करने की समस्या, इलेक्ट्रॉनिकी और संचार इंजीनियरों के लिए काफ़ी महत्वपूर्ण है। हम एक व्यापक तंत्र दर्शा चुके हैं, जहाँ V ऊर्जा स्रोत है, Z_s संबंधित स्रोत प्रतिबाधा है और Z_l वह लोड है, जिसमें शक्ति स्थानांतरित करती है। वास्तव में, जटिल तंत्रों में V और Z_s स्रोत पक्ष पर थेवेनिन के तुल्य नेटवर्क को निरूपित करते हैं। जिन व्यापक तंत्रों में अधिकतम शक्ति स्थानांतरण का काफ़ी महत्व है, उनके कुछ उदाहरण हैं : प्रसारण तंत्र, रेडार और अंतरिक्ष संचार।

1.10.1 अधिकतम शक्ति स्थानातंरण प्रमेय का कथन और उपपत्ति

अधिकतम शक्ति स्थानांतरण की अनुकूलतम (optimum) लोड प्रतिबाधा Z_{lm} स्रोत प्रतिबाधा Z_s के सम्मिश्र संयुग्मी (complex conjugate) के बराबर होती है, अर्थात्

$$Z_{lm} = Z_s^*$$

स्रोत V की कोणीय आवृत्ति ω पर चित्र 1.27 पर दिखाए गए तंत्र की स्थायी अवस्था क्रिया लीजिए। आसानी के लिए यहाँ हम $Z_l(j)$ के स्थान पर Z_l और $Z_s(j)$ के स्थान पर Z_s लिखेंगे।



चित्र 1.27 : व्यापक तंत्र का निरूपण।

और, यह भी मान लीजिए कि

$$Z_s = R_s + j X_s$$

और

$$Z_l = R_l + j X_l \tag{1.14}$$

जहाँ R_s और R_l, Z_s और Z_l के वास्तविक भाग हैं और X_s और X_l, Z_s और Z_l के अधिकल्पित भाग (imaginary part) हैं। लोड को दी गई औसत शक्ति होती है :

$$P = [I_s]^2 R_l \tag{1.15}$$

यहाँ लोड धारा यह होती है

$$I_s = \frac{V_s}{Z_s + Z_l} \tag{1.16}$$

जहाँ V_s और I_s r.m.s. मान हैं।

समीकरण (1.15) में I_s का प्रतिस्थापन करने पर हमें मिलता है :

$$P = |V_s|^2 \frac{R_l}{(Z_s + Z_l)^2}$$

$$= |V_s|^2 \frac{R_i}{(R_s + R_i)^2 + (X_s + X_i)^2} \quad (1.17)$$

इस प्रक्रिया में हमें V_s, R_s और X_s दिए गए हैं और हमें ऐसे R_i और X_i का चयन करना है, जिससे कि लोड को किया गया शक्ति-स्थानांतरण अधिकतम हो। आइए, हम समीकरण (1.17) के हर पर ध्यान दें। पहले हम प्रतिघाती पद (reactive term) लेंगे। यहाँ यह स्पष्ट है कि पद $(X_s + X_i)^2$ शून्य हो जाएगा जबकि $X_i = -X_s$। इससे यह अर्थ निकलता है कि यदि X_s प्रेरणिक (inductive) है, तो X_i धारितात्मक (capacitive) अवश्य होगा। इस चयन से समीकरण (1.17) यह हो जाता है :

$$P = |V_s|^2 \frac{R_i}{(R_s + R_i)^2} \quad (1.18)$$

अब समीकरण (1.18) का अधिकतमीकरण करने के लिए हम R_i के सापेक्ष P का आंशिक अवकलज (partial derivative) पता करते हैं और इसे शून्य के बराबर रखते हैं, यानी

$$\frac{\partial P}{\partial R_i} = 0$$

समीकरण (1.18) का प्रयोग करने पर हमें मिलता है :

$$\frac{\partial P}{\partial R_i} = |V_s|^2 \frac{(R_i + R_s)^2 - 2\,(R_i + R_s)\,R_i}{(R_i + R_s)^4} = 0$$

ऊपर के व्यंजक का सरलीकरण करने पर हमें मिलता है :

$$R_i = R_s$$

अतः अधिकतम शक्ति के स्थानांतरण का प्रतिबंध होता है :

$$R_i = R_s \quad \text{और} \quad X_i = -X_s \quad (1.19\text{क})$$

$$\text{या} \quad Z_{in} = R_s - jX_s = Z_s^* \quad (1.19\text{ख})$$

1.11 सारांश

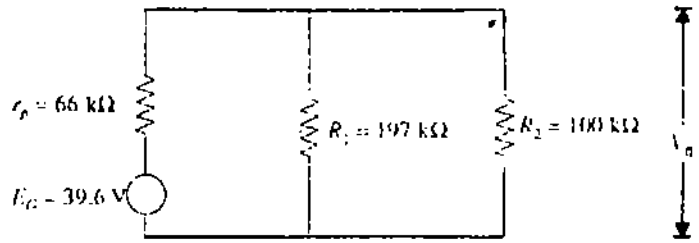
- किरशॉफ के नियमों का कथन यह है :
  (i) एक वैद्युत नेटवर्क में एक संधि बिन्दु पर धारा का बीजीय योगफल शून्य होता है।
  (ii) एक संवृत्त पाश में प्रत्येक परिपथ घटक पर विभवांतरों का बीजीय योगफल शून्य होता है।
- अध्यारोपण प्रमेय केवल रैखिक नेटवर्कों के लिए मान्य होता है। यह तब उपयोगी होता है, जबकि नेटवर्क में अनेक ऊर्जा-स्रोत हों, क्योंकि इससे प्रत्येक स्रोत के प्रभाव पर अलग-अलग विचार किया जा सकता है। प्रमेय का कथन यह है : एक रैखिक नेटवर्क में समग्र अनुक्रिया, जिसमें प्रारंभिक प्रतिबंधों के तुल्य सम्मिलित हैं, अलग-अलग लिए गए प्रत्येक स्रोत की अलग-अलग अनुक्रिया के योगफल के बराबर होती है।
- पारस्परिकता प्रमेय का कथन यह है : किसी भी निष्क्रिय रैखिक, द्विपक्षीय नेटवर्क में, जिसमें द्विपक्षीय रैखिक प्रतिबाधा और विद्युत वाहक बल के स्रोत सम्मिलित हैं, एक पाश की वोल्टता V और एक अन्य पाश की धारा I में अनुपात वही होता है, जो कि उस स्थिति में प्राप्त अनुपात होता है, जबकि E और I की स्थिति में अदला-बदली की जाए।
- थेवेनिन प्रमेय का कथन यह है : नियत प्रतिरोध और विद्युत वाहक बल के अचर स्रोतों वाले किसी भी दो - टर्मिनल नेटवर्क में निर्गत टर्मिनल से जुड़े लोड प्रतिरोधक में प्रवाहित हो रही धारा, उस स्थिति में उसी प्रतिरोधक में उपस्थित धारा के बराबर होती है, जबकि प्रतिरोधक (क) को एक

सरल वोल्टता स्रोत के साथ जिसकी वोल्टता खुली परिपथ वाले नेटवर्क के टर्मिनलों पर मापी गई हो, श्रेणी में जोड़ा गया हो और (ख) एक सरल प्रतिरोध के साथ जिसका परिमाण नेटवर्क के टर्मिनलों से देखे जाने पर नेटवर्क के प्रतिरोध परिमाण होता है, जबकि सभी वोल्टता स्रोतों के स्थान पर उनके आंतरिक प्रतिरोधों को लिया गया हो, श्रेणी में जोड़ा गया हो।

- नॉर्टन प्रमेय का कथन यह है : किसी भी दो-टर्मिनल वाले रैखिक नेटवर्क को, जिसमें ऊर्जा-स्रोत और प्रतिबाधाएँ सम्मिलित हैं, प्रवेश्यता Y के साथ समांतर में जुड़े धारा-स्रोत I वाले एक तुल्य परिपथ से प्रतिस्थापित किया जा सकता है।
- अधिकतम शक्ति स्थानांतरण प्रमेय का कथन यह है : लोड (अनुकूलतम लोड) को अधिकतम शक्ति के संचरण का प्रतिबंध यह है कि लोड प्रतिबाधा, स्रोत प्रतिबाधा का सम्मिश्र संयुग्मी होगा, अर्थात् $Z = Z_s^*$।

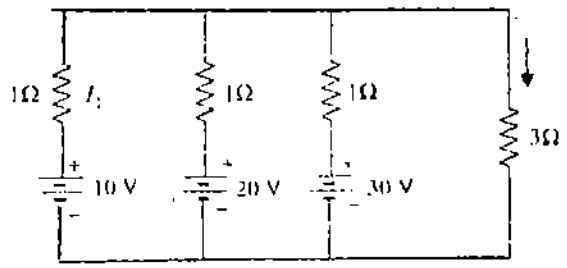
1.12 अंत में कुछ प्रश्न

1. चित्र 1.28 में एक इलेक्ट्रॉनिक एम्प्लीफ़ॉयर का तुल्य परिपथ दिखाया गया है। इसकी निर्गम वोल्टता परिकलित कीजिए।



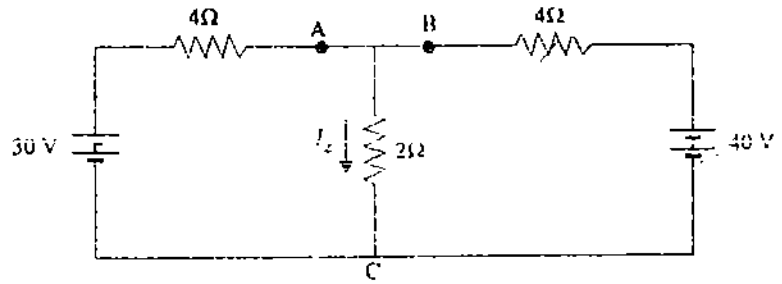
चित्र 1.28

2. अध्यारोपण प्रमेय की सहायता से चित्र 1.29 में दिखाए गए नेटवर्क में धारा ज्ञात कीजिए।



चित्र 1.29

3. नॉर्टन प्रमेय की सहायता से शाखा धारा के लिए चित्र 1.30 में दिखाए गए नेटवर्क को हल कीजिए।



चित्र 1.30

4. 10 ओम के प्रतिरोध वाले एकसमान तार को वृत्त के रूप में मोड़ दिया गया है और परिधि पर एक चौथाई दूरी पर स्थित दो बिन्दुओं को 1 ओम के आंतरिक प्रतिरोध और 3 V के विद्युत वाहक बल वाली बैटरी से जोड़ दिया गया है। परिपथ के अलग-अलग भाग में प्रवाहित धारा ज्ञात कीजिए।

1.13 हल और उत्तर

बोध प्रश्न

1. आसंधि 1 पर KCL लिखने पर मिलता है :

$$\frac{10-V}{3}=\frac{V+3}{2}+\frac{V}{1}$$

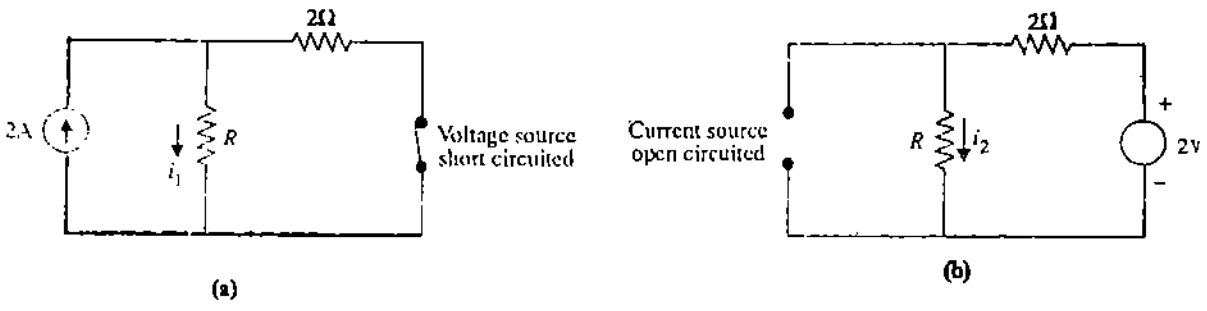
इसे हल करने पर $V=1$ प्राप्त होता है।

2. धारा-स्रोत से उत्पन्न धारा i_1 ज्ञात करने के लिए हम वोल्टता स्रोत का लघु परिपथन करते हैं। संगत परिपथ को चित्र 1.31(क) में दिखाया गया है और धारा i_1 है :

$$i_1=\frac{2}{2+R}\times 2=\frac{4}{2+R}.$$

वोल्टता स्रोत से उत्पन्न धारा i_2 ज्ञात करने के लिए धारा स्रोत के स्थान पर खुले परिपथ का प्रयोग करते हैं। संगत परिपथ को चित्र 1.31(ख) में दिखाया गया है और धारा i_2 है :

$$i_2=\frac{2}{2+R}$$



चित्र 1.31

अध्यारोपण प्रमेय लागू करने पर हमें मिलता है :

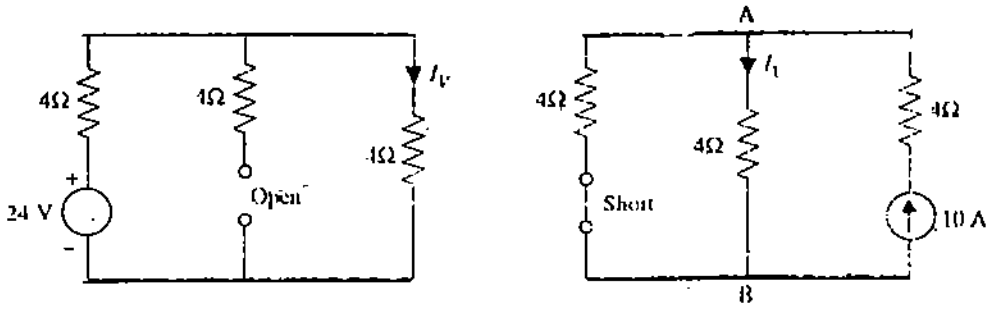
$$i_1+i_2=i=1.$$

$$\Rightarrow \frac{4}{2+R}+\frac{2}{2+R}=1.$$

$$\Rightarrow \frac{6}{2+R}=1.$$

$$\Rightarrow 6=2+R$$

$$\Rightarrow R=4\,\Omega.$$



चित्र 1.32 : (क) धारा स्रोत को निष्क्रिय बनाने तथा (ख) वोल्टता स्रोत को निष्क्रिय बनाने के बाद प्राप्त हुआ परिपथ।

आइए, हम वोल्टता स्रोत से उत्पन्न अनुक्रिया पर विचार करें, जबकि खुला परिपथन करके स्रोत को निष्क्रिय बना दिया गया हो। परिणामी परिपथ को चित्र 1.32(क) में दिखाया गया है। वोल्टता-स्रोत से उत्पन्न धारा I_v यह होती है :

$$I_v = \frac{24}{4+4} = 3\text{A}.$$

केवल धारा स्रोत से उत्पन्न अनुक्रिया को ज्ञात करने के लिए हम वोल्टता स्रोत का लघु परिपथन करते हैं। संगत परिपथ को चित्र 1.32(ख) में दिखाया गया है और AB में धारा यह होती है :

$$I_i = 10\ \frac{4}{4+4} = 5\text{A}.$$

अब, अध्यारोपण नियम लागू करने पर हमें मिलता है :

$$I = I_v + I_i = 8\text{A}.$$

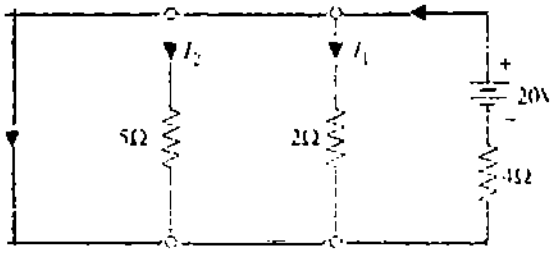
(हम चाहेंगे कि आप इस परिणाम का सत्यापन आसंधि विश्लेषण से करें।)

4. शाखा धारा I, I_1 और I_2 ये हैं :

$$I = \frac{20}{4} = 5\text{A}.$$

$$I_1 = \frac{20}{4} = 10\text{A}.$$

और $$I_2 = \frac{20}{5} = 4\text{A}.$$



चित्र 1.33

पारस्परिकता प्रमेय का सत्यापन करने के लिए हम मूल स्रोत के स्थान पर एक लघु परिपथन का प्रयोग करते हैं और 4-ओम प्रतिरोधक वाली शाखा में एक तुल्य स्रोत लगा देते हैं। परिणामी परिपथ को चित्र 1.33 में दिखाया गया है। बैटरी से प्राप्त हुई कुल धारा होती है :

$$I_T = \frac{20}{4} = 5\text{A}.$$

अब, सभी धाराएँ लघु-परिपथन से होकर जाएंगी, अर्थात्

$$I' = 5\text{A}.$$

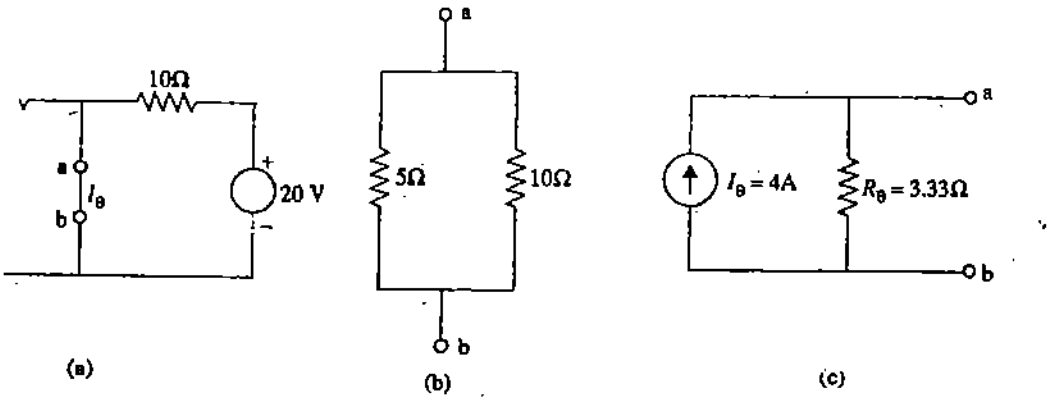
और $I_1 = I_2 = 0\text{A}$.

क्योंकि $I' = I = 5\text{A}$, अत: पारस्परिकता प्रमेय सत्यापित हो जाता है और, 5-ओम और 2-ओम प्रतिरोधकों में प्रवाहित हो रही धाराएँ 4A और 10A से परिवर्तित होकर क्रमश: शून्य एम्पीयर (प्रत्येक) हो जाती हैं।

5. हम नॉर्टन प्रमेय की सहायता से इस प्रश्न को हल करेंगे। प्रतिरोधक R_{ab} को लोड मान लिया गया है और हमें शेष परिपथ का नॉर्टन-तुल्य ज्ञात करना है।

बिन्दुओं a और b के बीच रखे एक लघु परिपथ में प्रवाहित हो रही धारा ज्ञात करके धारा I_6 प्राप्त की जाती है। अत: चित्र 1.34(क) से हमें मिलता है :

$$I_\theta = I_{ab} = \frac{10}{5} + \frac{20}{10} = 4\text{A}.$$



चित्र 1.34 : बोध प्रश्न 5 के विश्लेषण में विभिन्न चरणों पर परिणामी परिपथ।

इसके बाद हम वोल्टता स्रोतों के स्थान पर लघु-परिपथों को रखकर इन्हें निष्क्रिय बना लेने के बाद टर्मिनलों a–b पर प्रतिरोध R_θ परिकलित करते हैं। परिणामी परिपथों को चित्र 1.34(ख) में दिखाया गया है। अब,

$$R_\theta = R_{ab} = \frac{5 \times 10}{15} = 3.33 \text{ ओम}$$

लोड के साथ नॉर्टन के तुल्य नेटवर्क को चित्र 1.34(ग) में दिखाया गया है। शाखा a–b में धारा यह होती है:

$$I_{ab} = I_\theta \frac{R_\theta}{R_\theta + R_{ab}}$$

(i) जब $R_{ab} = 1$ ओम

तब $I_{ab} = \frac{4 \times 3.33}{3.33 + 1.0} = \frac{4 \times 3.33}{4.33} = 3.076\text{A}.$

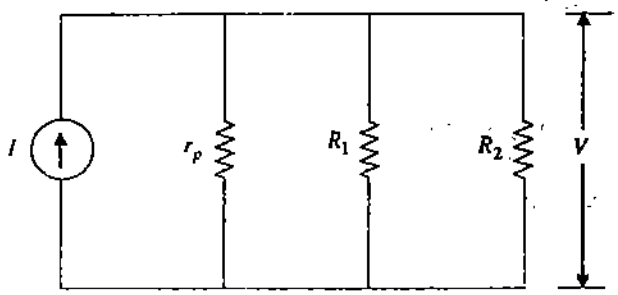
(ii) जब $R_{ab} = 5$ ओम

तब $I_{ab} = \frac{4 \times 3.33}{3.33 + 5.0} = \frac{4 \times 3.33}{8.33} = 1.6\text{A}$

अंत में कुछ प्रश्न

1. इस प्रश्न में हमें एम्प्लीफ़ायर के निर्गम पर वोल्टता परिकलित करनी है। पहले चरण में हम-

वोल्टता स्रोत I_p और श्रेणी प्रतिरोधक r_p के स्थान पर एक तुल्य धारा अनित्र का प्रयोग करते हैं? जैसा कि चित्र 1.35 में दिखाया गया है। तुल्य स्रोत की धारा यह होती है :



चित्र 1.35

$$I = \frac{E_p}{r_p} = \frac{39.6}{66 \times 10^3} \text{ A}$$

$$= 0.6 \text{ mA}$$

क्योंकि स्रोत रूपांतरण के बाद तीन प्रतिरोध संमातर क्रम में हो जाते हैं, इसलिए तुल्य प्रतिरोध होता है :

$$\frac{1}{R_{eq}} = \frac{1}{r_p} + \frac{1}{R_1} + \frac{1}{R_2}$$

मानों को प्रतिस्थापित करने और सरल करने पर हमें मिलता है

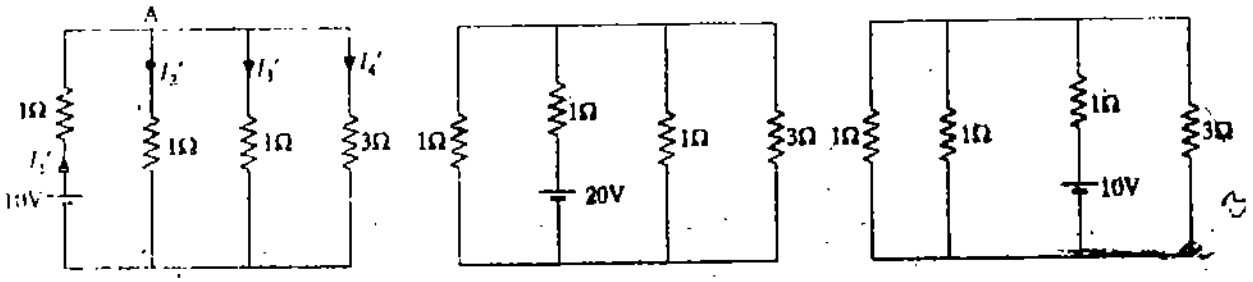
$$R_{eq} = 31.2 \text{ k}\Omega.$$

निर्गत वोल्टता होती है :

$$V_0 = 0.6 \times 10^{-3} \times 31.2 \times 10^{-3} \text{ V}$$

अर्थात् $V_0 = 18.72 \text{ V}$

2. तीन विद्युत वाहक बलों के लिए अध्यारोपण प्रमेय है :



चित्र 1.36 (क) : पहला वि.वा.ब., (ख) : दूसरा वि.वा.ब., (ग) : तीसरा वि.वा.ब.।

बिन्दुओं A और B के बीच प्रतिरोध होता है :

$$\frac{1}{R_{AB}} = \frac{1}{1} + \frac{1}{1} + \frac{1}{3} = 2.33$$

$$R_{AB} = 0.492 \text{ }\Omega.$$

चित्र 1.36 (क) में 10V बैटरी पर तुल्य प्रतिरोध होता है :

$$R_T = 1 + R_{AB} = 1 + 0.429 = 1.429 \text{ }\Omega.$$

ओम-नियम लागू करके हम धारा परिकलित कर सकते हैं :

$$I'_1 = \frac{10}{R_T} = \frac{10}{1.429} = 7\text{A}.$$

AB पर वोल्टता पात होता है :

$$V_{AB} = I_1' R_{AB} = 7.00 \times 0.429 = 3\text{V}.$$

चित्र 1.36(क) में शाखा धाराएं हैं :

$$I_2' = \frac{3}{1} = 3\text{A}$$

$$I_3' = \frac{3}{1} = 3\text{A}$$

$$I_4' = \frac{3}{3} = 1\text{A}.$$

इसी प्रकार हम चित्र 1.36(ख) में शाखा धारा परिकलित कर सकते हैं :

$$I_1'' = 6\text{A}$$

$$I_2'' = 14\text{A}$$

$$I_3'' = 6\text{A}$$

$$I_4'' = 2\text{A}.$$

और इसी प्रकार चित्र 1.36(ग) में शाखा धारा परिकलित की जा सकती है :

$$I_1''' = 12\text{A}$$

$$I_2''' = 12\text{A}$$

$$I_3''' = 30\text{A}$$

$$I_4''' = 6\text{A}.$$

ऊपर के समीकरणों से हमें मिलता है :

$$I_1 = I'_1 - I_1'' - I_1''' = 7 - 6 - 12 = -11\text{A}$$

$$I_2 = I_2' - I_2'' - I_2''' = -3 + 14 - 12 = -1\text{A}$$

$$I_3 = I_3' - I_3'' - I_3''' = -3 - 6 + 30 = 21\text{A}$$

$$I_4 = I_4' - I_4'' - I_4''' = 1 + 2 + 6 = 9\text{A}.$$

3. नॉर्टन तुल्य चित्र 1.37 से प्राप्त होता है :

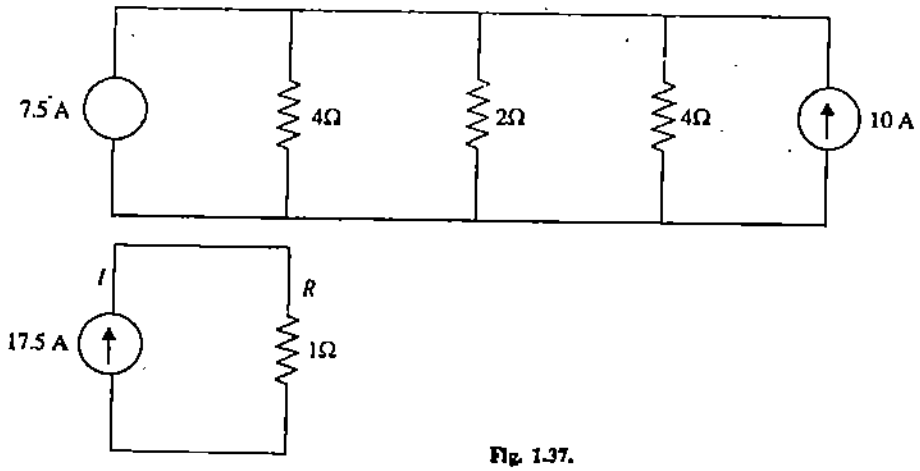


Fig. 1.37.

$$I_1 = \frac{12.5}{4} = 3.125\,A$$

चित्र 1.37

$I = 7.5 + 10 = 17.5A$

$\frac{1}{R} = \frac{1}{4} + \frac{1}{2} + \frac{1}{4} = 1, \quad \therefore R = 1\,\Omega.$

$I_2 = 7.5/2A = 8.75A.$

C से A तक वोल्टता पात $30 - 17.5 = 12.5V$ होता है। तब,

$(30 - 17.5)\,V = 12.5V$

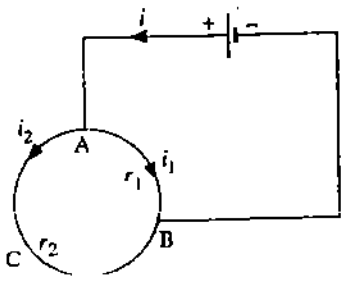
$I_1 = \frac{12.5}{4} = 3.125A.$

और C से B तक वोल्टता पात $40 - 17.5 = 22.5V$ होता है। तब I_3 होता है :

$I_3 = \frac{22.5}{4} = 5.625A.$

4. चित्र 1.38 देखिए। तार ABC का कुल प्रतिरोध = 10 ओम। भाग AB का प्रतिरोध $r_1 = 10 \times 1/4 = 2.5\Omega$ और भाग ABC का प्रतिरोध $r_2 = 10 \times 3/4 = 7.5\Omega$.

ये दो प्रतिरोध r_1 और r_2 समांतर में हैं।



चित्र 1.38

अतः इनका परिणामी प्रतिरोध R होता है।

$$\frac{1}{R} = \frac{1}{r_1} + \frac{1}{r_2} = \frac{1}{2.5} + \frac{1}{7.5}$$

$$= \frac{10}{2.5 \times 7.5} = \frac{8}{15}$$

$\therefore R = \frac{15}{8}$ ओम

बैटरी का आंतरिक प्रतिरोध

$r_3 = 1$ ओम

परिपथ में कुल प्रतिरोध

$R_T = R + r_3$

$R_T = \frac{15}{8} + 1 = \frac{23}{8}$ ओम

कुल धारा $i = \frac{V}{R_T} = \frac{3 \times 8}{23} = \frac{24}{23}$ A.

मान लीजिए भाग AB और भाग ACB में धाराएँ क्रमशः i_1 और i_2 हैं। A और B में विभवांतर $V_A - V_B$ है।

$\therefore V_A - V_B = r_1 \times i_1 = r_2 \times i_2$

$\therefore 2.5\, i_1 = 7.5\, i_2$ या $i_1 = 3\, i_2$.

परन्तु $i_1 + i_2 = i = \frac{24}{23}$ A.

$\therefore 3\, i_2 + i_2 = \frac{24}{23}$

या $i_2 = \frac{24}{23} \times \frac{1}{4} = \frac{6}{23}$ A.

$i_1 = 3 i_2 = \frac{18}{23}$ A.

1.14 शब्दावली

अध्यारोपण	-	superposition
आसंधि	-	node
निष्क्रिय	-	passive
पारस्परिकता	-	reciprocity
प्रतिघात	-	reactance
प्रतिबाधा	-	impedance
प्रवेश्यता	-	admittance
संधि	-	junction
संवृत्त पथ	-	closed path
सक्रिय	-	active
सम्मिश्र	-	complex
स्थानीकृत	-	lumped

इकाई 2 प्रत्यावर्ती धारा और दिष्ट धारा परिपथ

इकाई की रूपरेखा

2.1 प्रस्तावना
उद्देश्य
2.2 सम्मिश्र प्रतिबाधा पर फिर एक नज़र
2.3 अनुनादी परिपथ
श्रेणी अनुनादी परिपथ
श्रेणी अनुनादी परिपथ की प्रतिबाधा और कला-कोण
श्रेणी अनुनादी परिपथ में वोल्टता और धारा
RLC परिपथ के लिए बैंड की चौड़ाई
पार्श्व अनुनाद
पार्श्व अनुनादी परिपथ का Q गुणांक
2.4 प्रतिबाधा सुमेलन
2.5 निष्क्रिय फ़िल्टरों का सिद्धांत
अचर k निम्न आवृत्ति पारक फ़िल्टर
अचर k उच्च आवृत्ति पारक फ़िल्टर
बैंड पारक फ़िल्टर
2.6 क्षीणकारी
T-प्रकार के क्षीणकारी
Z-प्रकार के क्षीणकारी
लैटिस क्षीणकारी
2.7 सारांश
2.8 अंत में कुछ प्रश्न
2.9 हल और उत्तर
2.10 शब्दावली

2.1 प्रस्तावना

इस इकाई में आप निष्क्रिय अवयवों के कुछ परिपथों के व्यावहारिक अनुप्रयोगों के बारे में पढ़ेंगे। इन परिपथों में सबसे महत्वपूर्ण परिपथ है - अनुनादी परिपथ (resonant circuit)। एक अपेक्षित आवृत्ति पर श्रेणी अनुनादी (series resonant) परिपथों का प्रयोग निम्न प्रतिबाधा उत्पन्न करने के लिए किया जाता है और पार्श्व अनुनादी (parallel resonant) परिपथों का प्रयोग उच्च प्रतिबाधा उत्पन्न करने के लिए किया जाता है। अपने दैनिक जीवन में हम यह पाते हैं कि ट्रांज़िस्टर-रेडियो का केवल नॉब घुमाकर ही हम अपने मनचाहे केन्द्र से कार्यक्रम सुन सकते हैं। ऐसा कैसे होता है? ऐसा फ़िल्टरों के कारण संभव होता है, जो कि व्यापक परिसर की आवृत्तियों वाले सिगनल (स्रोत) से अपेक्षित आवृत्तियों का चयन करने में सहायक होता है। परिपथ (प्रतिघाती अवयवों) में शक्ति की हानि हुए बिना, अपेक्षित आवृत्तियों पर, निर्गम पर शक्ति को कम करने या शून्य करने के लिए हम क्षीणकारियों का प्रयोग करते हैं। आप अधिकतम शक्ति स्थानांतरण प्रमेय में यह पढ़ चुके हैं कि स्रोत से अधिकतम शक्ति लोड में तब स्थानांतरित होती है, जबकि कुछ प्रतिबाधा प्रतिबंध संतुष्ट होते हैं (सुमेलित प्रतिबाधा)। सदा ही एक ऐसे स्रोत और एक ऐसे लोड का होना संभव नहीं होता, जिसे दी गई शक्ति, सुमेलित प्रतिबाधा (matched impedance) प्रतिबंधों को संतुष्ट करती हो। इस प्रतिबंध को विशेष प्रतिबाधा सुमेलन परिपथ का प्रयोग करके संतुष्ट किया जाता है जिससे कि स्रोत को इसके निर्गम पर एक सुमेलित प्रतिबाधा दिखाई पड़ती है और लोड को जिसे शक्ति दी गई है, इसके निवेश पर एक सुमेलित प्रतिबाधा दिखाई पड़ती है। अनुनादी परिपथ (resonant circuit), फ़िल्टर, क्षीणकारी (attenuator) और प्रतिबाधा सुमेलन परिपथों (impedance matching circuits) का व्यापक अनुप्रयोग विविध यंत्रों में, दूरमापन (telemetering) उपकरण आदि में होता है, जहाँ सीमित परिसर की आवृत्तियों का संचरण या क्षीणन आवश्यक होता है। क्योंकि इस इकाई में दी गई संकल्पनाओं का संचार के क्षेत्र में व्यापक अनुप्रयोग होता है, अतः ये सभी बहुत अधिक महत्वपूर्ण हैं।

उद्देश्य

इस इकाई को पढ़ने के बाद आप

- सम्मिश्र प्रतिबाधा की व्याख्या कर सकेंगे,
- श्रेणी और पार्श्व में संबंधित अनुनादी परिपथों में अनुनादी परिघटना का विवरण दे सकेंगे,
- प्रतिबाधा सुमेलन की संकल्पना की व्याख्या कर सकेंगे,
- निम्न पारक, उच्च पारक और बैंड पारक फिल्टरों के अभिलक्षणों और उनके डिजाइनों की व्याख्या कर सकेंगे, और
- क्षीणकारी का विवरण दे सकेंगे।

2.2 सम्मिश्र प्रतिबाधा पर फिर एक नज़र

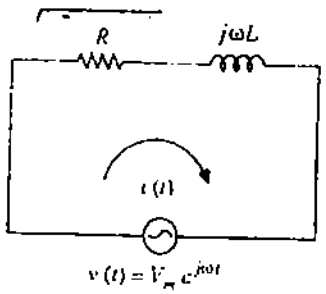
आप स्कूली पाठ्यक्रम में यह पढ़ चुके हैं कि प्रतिरोधक अवयव में वोल्टता और धारा के बीच कोई कलांतर (phase difference) नहीं होता, शुद्ध प्रेरकों में वोल्टता, धारा से $\pi/2$ कला से आगे होती है और शुद्ध संधारित्रों में वोल्टता, धारा से $\pi/2$ कला से पीछे होती है। लगभग सभी वैद्युत परिपथ धारा के प्रवाह में प्रतिबाधा पहुँचाते हैं। प्रेरणिक प्रतिघात, धारिता प्रतिघात और प्रतिरोध का सदिश योग (vector sum) प्रतिबाधा होता है।

चित्र 2.1 में दिखाया गया RL श्रेणी परिपथ लीजिए। अगर इस परिपथ पर हम एक वास्तविक संकेत — $V_m \cos \omega t$ लागू करें, तो अनुक्रिया $I_m \cos \omega t$ हो सकती है। इसी तरह अगर हम इसी परिपथ पर अधिकल्पित संकेत (imaginary function) $jV_m \sin \omega t$ लागू करें, तो अनुक्रिया $j I_m \sin \omega t$ होगी। अगर हम एक सम्मिश्र संकेत (complex function), जो कि वास्तविक संकेत और अधिकल्पित संकेत का संयोजन होता है, लागू करें तो हमें सम्मिश्र अनुक्रिया प्राप्त होगी। सम्मिश्र संकेत $V_m e^{j\omega t} = V_m (\cos \omega t + j \sin \omega t)$ होता है। चित्र 2.1 में दिखाए गए परिपथ पर KVL (किरशॉफ़ का वोल्टता नियम) लागू करने पर हमें मिलता है :

$$V_m e^{j\omega t} = R\, i(t) + L\left(\frac{di}{dt}\right)$$

यह अचर गुणांक वाला प्रथम कोटि का रैखिक अवकल समीकरण है और इसे आसानी से हल किया जा सकता है। इसे हल करने का सबसे आसान तरीका यह है कि $i(t)$ के लिए एक हल मान लिया जाए, जैसे कि

$$i(t) = I_m e^{j\omega t}$$



चित्र 2.1 : श्रेणी *RL* नेटवर्क।

यदि यह अवकल समीकरण का हल हो, तो इसे उस समीकरण को पूरी तरह से संतुष्ट करना चाहिए। प्रतिस्थापन करने पर हमें मिलता है :

$$V_m e^{j\omega t} = R I_m e^{j\omega t} + L I_m j\omega e^{j\omega t}$$

$$\Rightarrow V_m = (R + j\omega L) I_m$$

$$\Rightarrow I_m = \frac{V_m}{(R + j\omega L)}$$

$$\therefore\ i(t) = I_m\, e^{j\omega t} = \frac{V_m}{(R + j\omega L)}\, e^{j\omega t}$$

प्रतिबाधा की परिभाषा वोल्टता और धारा के अनुपात के रूप में दी जाती है:

$$Z = \frac{v(t)}{i(t)} = \frac{V_m\, e^{j\omega t}}{I_m\, e^{j\omega t}} = R + j\omega L$$

सम्मिश्र प्रतिबाधा (Z) परिपथ के अवयवों द्वारा ac धारा का किया गया कुल विरोध होता है और इसे सम्मिश्र समतल पर प्रदर्शित किया जा सकता है। Z के व्यंजक में प्रतिरोध R प्रतिबाधा का वास्तविक भाग है और प्रतिघात X प्रतिबाधा का अधिकल्पित भाग है। R और X के परिणामी को सम्मिश्र प्रतिबाधा कहा जाता है, जैसा कि चित्र 2.2 में दिखाया गया है। इसे प्रतिबाधा आरेख (impedance diagram) कहा जाता है। चित्र से यह स्पष्ट है

$$Z = \sqrt{R^2 + (\omega L)^2} \qquad \text{और कोण } \theta = \tan^{-1}\frac{\omega L}{R}$$

यहाँ प्रतिबाधा, प्रतिरोध और प्रेरणिक प्रतिघात (inductive reactance) का सदिश योग है

$$Z = R + j\omega L$$

$$= |Z| \angle Z$$

जहाँ $$|Z| = \sqrt{R^2 + \omega^2 L^2}$$

और $$\angle Z = e^{j\tan^{-1}\left(\frac{\omega L}{R}\right)}$$

इस परिणाम को इस प्रकार प्राप्त किया जा सकता है :

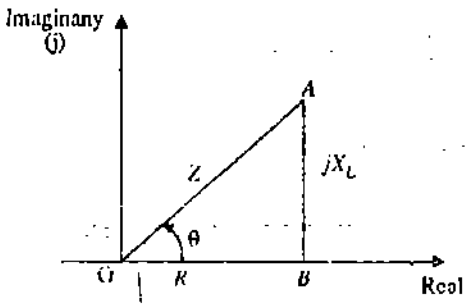
मान लीजिए $R = A\cos\theta$

और $\omega L = A\sin\theta$

वर्ग करने और जोड़ने पर

$$R^2 + \omega^2 L^2 = A^2(\cos^2\theta + \sin^2\theta)$$

$$A = \sqrt{R^2 + \omega^2 L^2}$$



चित्र 2.2 : *RL* नेटवर्क का प्रतिबाधा आरेख।

साथ ही $$\frac{A\sin\theta}{A\cos\theta} = \frac{\omega L}{R} \Rightarrow \theta = \tan^{-1}\left(\frac{\omega L}{R}\right)$$

स्पष्टत : $Z = A\ (\cos\theta + j\sin\theta) = A\angle\theta$

$$= \sqrt{R^2 + \omega^2 L^2} \qquad e^{j\tan^{-1}\left(\frac{\omega L}{R}\right)} = |Z|\angle Z$$

इसी तरह अगर हम RC श्रेणी परिपथ लें, जैसा कि चित्र 2.3 में दिखाया गया है और इस पर सम्मिश्र वोल्टता $v(t) = V_m e^{j\omega t}$ लागू करें, तो हमें नीचे दिखाई गई सम्मिश्र अनुक्रिया प्राप्त होती है

दिए परिपथ पर KVL लागू करने पर हमें मिलता है :

$$V_m e^{j\omega t} = R\, i(t) + \frac{1}{C}\int i(t)\, dt,$$

चूँकि संधारित्र का $v - i$ संबंध है :

$$i(t) = C\,\frac{d\,v_C(t)}{dt}$$

$$\Rightarrow\ v_C(t) = \frac{1}{C}\int i(t)\, dt$$

ऊपर दिए गए समीकरण का हम निम्नलिखित हल मान लेते हैं :

$$i(t) = I_m e^{j\omega t}$$

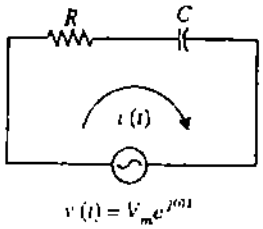
तब,

$$V_m e^{j\omega t} = R\, I_m e^{j\omega t} + \frac{1}{C} I_m \left(\frac{1}{j\omega}\right) e^{j\omega t} = \left(R\, I_m - \frac{j}{\omega C} I_m\right) e^{j\omega t}$$

$$\Rightarrow V_m = \left(R - \frac{j}{\omega C}\right)\ I_m \Rightarrow I_m = \frac{V_m}{(R - j/\omega C)}$$

$$\therefore i(t) = \frac{V_m}{(R - j/\omega C)} e^{j\omega t} = \frac{v(t)}{(R - j/\omega C)}$$

यहां प्रतिबाधा $Z = \dfrac{v(t)}{i(t)} = (R - j/\omega C)$ है।



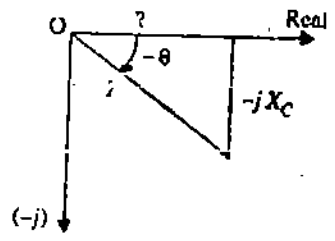
चित्र 2.3 : श्रेणी RC नेटवर्क।

यहाँ प्रतिबाधा Z में प्रतिरोध R, जो कि प्रतिबाधा का वास्तविक भाग है और धारिता प्रतिघात $X_C = \dfrac{1}{\omega C}$, जो कि प्रतिबाधा का अधिकल्पित भाग है, होता है। प्रतिबाधा आरेख को चित्र 2.4 में दिखाया गया है। इस आरेख से प्रतिबाधा यह होती है

$$|Z| = \sqrt{R^2 + X_C^2}$$

$$= \sqrt{R^2 + \frac{1}{\omega^2 C^2}}$$

और कोण $\theta = \tan^{-1}\dfrac{1}{\omega CR}$



चित्र 2.4 : श्रेणी RC नेटवर्क का प्रतिबाधा आरेख।

और, हम यह भी लिख सकते हैं :

$$Z = R - \frac{j}{\omega C}$$

$$= \sqrt{R^2 + \frac{1}{\omega^2 C^2}}\, e^{j\tan^{-1}\left(\frac{1}{-\omega CR}\right)}$$

उदाहरण 1 : एक परिपथ में, जिसमें 50 mH कुंडली के साथ श्रेणी में 1 kΩ प्रतिरोधक जुड़ा है, एक 10 V rms, 10 kHz वाला सिगनल लागू किया जाता है। प्रतिबाधा Z, धारा I, कला कोण θ, V_R और V_L ज्ञात कीजिए।

हल

$$R = 1\ \text{k}\Omega = 1000\ \Omega$$

$$X_L = \omega L = 2\pi fL$$

$$= 6.28 \times 10 \times 10^3 \times 50 \times 10^{-3}$$

$$= 3140\ \Omega$$

$$\therefore\ Z = R + j\omega L = 1000 + j\,3140$$

$$\therefore\ |Z| = \sqrt{(1000)^2 + (3140)^2} = 3295.4\ \Omega$$

धारा $I_{(\text{rms})} = \dfrac{V_{\text{rms}}}{Z} = \dfrac{10}{3295.4}\ \text{A} = 3.03\ \text{mA}$

कला कोण $(\theta) = \tan^{-1}\left(\dfrac{\omega L}{R}\right) = \tan^{-1}\dfrac{3140}{1000} = 72.33°.$

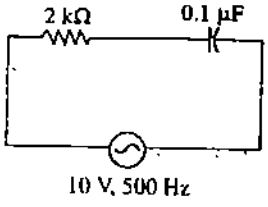
अनुनादी आवृत्ति (resonant frequency) पर प्रतिबाधा

$$V_R = I_{\text{rms}} R = 3.03 \times 10^{-3} \times 1000 = 3.03\ \text{V}.$$

$$V_L = I_{\text{rms}}(\omega L) = 3.02 \times 10^{-3} \times 3140 = 9.51\ \text{V}.$$

उदाहरण 2 : एक साइन तरंग जनित्र, एक 0.1 μF के संधारित्र के साथ श्रेणी में जुड़े एक 2 kΩ प्रतिरोधक को 500 Hz, 10 V_{rms} संकेत सप्लाई करता है, जैसा कि चित्र 2.5 में दिखाया गया है।

कुल प्रतिबाधा Z, धारा I, कला कोण θ, V_C तथा V_R ज्ञात कीजिए।



हल

$$X_C = \frac{1}{2\pi fC} = \frac{1}{2 \times 3.14 \times 14 \times 500 \times 0.1 \times 10^{-6}}$$

$$= 3184.7\ \Omega.$$

कुल प्रतिबाधा $Z = R + \dfrac{1}{j\omega C} = R - \dfrac{j}{2\pi fC} = R - j\,X_C$

$$= (2000 - j\,3184.7)\ \Omega.$$

$$\therefore\ |Z| = \sqrt{(2000)^2 + (3184.7)^2} = 3760.6\ \Omega.$$

कला कोण $(\theta) = \tan^{-1}\left(\dfrac{-1}{R\omega C}\right) = \tan^{-1}\left(\dfrac{-X_C}{R}\right)$

$$= -\tan^{-1}\left(\frac{3184.7}{2000}\right) = -57.87°$$

धारा $(I) = \dfrac{V_{\text{rms}}}{|Z|} = \dfrac{10}{3760.6}\ \text{A} = 2.66\text{mA}.$

धारिता वोल्टता $V_C = IX_C = 2.66 \times 10^{-6} \times 3184.7 = 8.47\text{V}$.

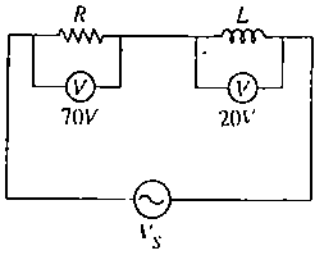
प्रतिरोधक वोल्टता $V_R = IR = 2.66 \times 10^{-3} \times 2000 = 5.32\text{V}$.

टिप्पणी : इस बात की ओर आपने अवश्य ध्यान दिया होगा कि V_C और V_R के अंकगणितीय योग से, लागू की गई वोल्टता प्राप्त नहीं होती। वस्तुत: लागू की गई कुल वोल्टता एक सम्मिश्र राशि होती है :

$$V_s = (5.32 - j\,8.47)\ \text{V} = 10\ \angle -57.87^\circ\ \text{V}.$$

बोध प्रश्न 1

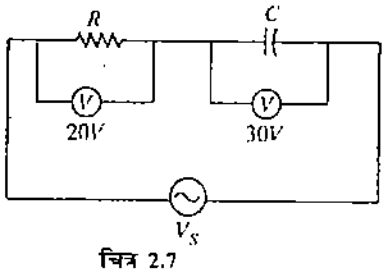
वोल्टता स्रोत और कला-कोण ज्ञात कीजिए जबकि प्रतिरोध पर वोल्टता 70 V हो और प्रेरणिक प्रतिघात पर वोल्टता 20 V हो, जैसा कि चित्र 2.6 में दिखाया गया है।



चित्र 2.6

बोध प्रश्न 2

स्रोत वोल्टता और कला कोण ज्ञात कीजिए जबकि प्रतिरोधक पर वोल्टता 20 V हो और संधारित्र पर वोल्टता 30 V हो, जैसा कि चित्र 2.7 में दिखाया गया है।



चित्र 2.7

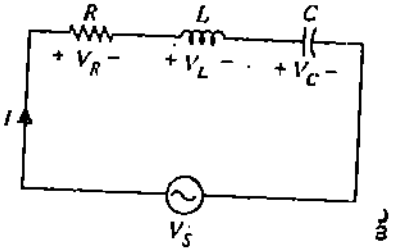
2.3 अनुनादी परिपथ

हम उस परिपथ को अनुनादी परिपथ (resonant circuit) कहते हैं, जब एक विशेष आवृत्ति पर, जिसे अनुनादी आवृत्ति (resonant frequency) कहा जाता है, धारिता प्रतिघात X_C और प्रेरणिक प्रतिघात X_L बराबर होते हैं अर्थात् $X_L = X_C$। बहुत से वैद्युत परिपथों में, अनुनाद एक महत्वपूर्ण परिघटना होती है। विशेष रूप से संचार के क्षेत्र में, अनुनाद का अध्ययन काफ़ी उपयोगी होता है। उदाहरण के लिए, एक रेडियो केन्द्र द्वारा संचरित आवृत्तियों में से एक आवृत्ति का चयन करने और किसी और केन्द्र से संचरित हो रही आवृत्तियों का निरसन करने की रेडियो रिसीवर की क्षमता, अनुनाद के सिद्धांत पर आधारित होती है। इस भाग में हम श्रेणी और पार्श्व अनुनादी परिपथ के अभिलाक्षणिक लक्षणों का अध्ययन करेंगे।

2.3.1 श्रेणी अनुनादी परिपथ

श्रेणी RLC परिपथ में, X_L और X_C के मानों के अनुसार, धारा लागू की गई वोल्टता से पीछे या आगे होती है। X_L के कारण कुल धारा लागू की गई वोल्टता से पीछे हो जाती है जबकि X_C के कारण कुल धारा लागू की गई वोल्टता से आगे हो जाती है। जब $X_L > X_C$ तब परिपथ मुख्यत: प्रेरणिक हो जाता है और जब

$X_C > X_L$ तब परिपथ मुख्यत: धारितात्मक हो जाता है। फिर भी, यदि श्रेणी RLC परिपथ के प्राचलों (parameters) में से किसी एक प्राचल में इस तरह परिवर्तन होता हो कि धारा और लागू की गई वोल्टता की कला एक हो जाती हो, तब इस स्थिति में परिपथ को "अनुनाद" (resonance) में माना जाता है। चित्र 2.8 में दिखाया गया श्रेणी RLC परिपथ लीजिए। श्रेणी RLC परिपथ की कुल प्रतिबाधा होती है :



चित्र 2.8 : श्रेणी RLC परिपथ।

$$Z = R + j\omega L + \frac{1}{j\omega C} = R + j\omega L - \frac{j}{\omega C}$$
$$= R + j X_L - jX_C = R + j (X_L - X_C)$$
$$= R + j\left(\omega L - \frac{1}{\omega C}\right)$$

परिपथ को अनुनादी तब माना जाता है जबकि धारा और लागू की गई वोल्टता की कलाएं एक ही हों। श्रेणी परिपथ में "अनुनाद" तब होता है, जबकि $X_L = X_C$. जिस आवृत्ति पर अनुनाद होता है, उसे "अनुनादी आवृत्ति" (resonant frequency) कहा जाता है। जब $X_L = X_C$, तब श्रेणी RLC परिपथ में प्रतिबाधा केवल प्रतिरोधी होती है। अनुनादी आवृत्ति (f_0) पर, धारिता और प्रेरकत्व (inductance) परिमाण में बराबर होते हैं। क्योंकि ये एक-दूसरे से 180° के कलांतर में होते हैं, इसलिए ये एक-दूसरे का निरसन कर देते हैं। परिणामस्वरूप, LC संयोजन पर वोल्टता शून्य मालूम पड़ती है। अनुनाद पर,

$$X_L = X_C$$

अर्थात् $\omega L = \frac{1}{\omega C}$

$$\Rightarrow 2\pi f_0 L = \frac{1}{2\pi f_0 C}$$

$$\Rightarrow f_0^2 = \frac{1}{4\pi^2 LC}$$

$$\Rightarrow f_0 = \frac{1}{2\pi\sqrt{LC}}$$

श्रेणी RLC परिपथ में, L और C को अचर रखकर और स्रोत की आवृत्ति में परिवर्तन करके अनुनाद उत्पन्न किया जा सकता है, अन्यथा एक नियत आवृत्ति पर या तो L में या C में परिवर्तन करके अनुनाद उत्पन्न किया जा सकता है।

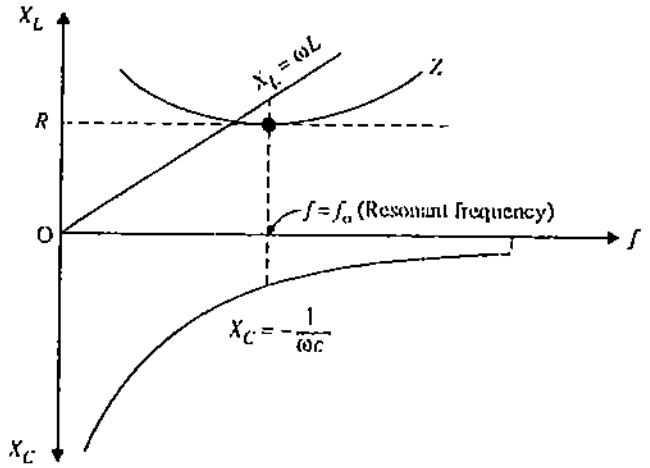
2.3.2 श्रेणी अनुनादी परिपथ की प्रतिबाधा और कला-कोण

जैसा कि हम पिछले भाग में देख चुके हैं, श्रेणी RLC परिपथ की प्रतिबाधा होती है:

$$Z = R + j\left(\omega L - \frac{1}{\omega C}\right)$$
$$= \sqrt{R^2 + \left(\omega L - \frac{1}{\omega C}\right)^2}\, e^{j\tan^{-1}\frac{\left(\omega L - \frac{1}{\omega C}\right)}{R}}$$

यहाँ $|Z| = \sqrt{R^2 + \left(\omega L - \frac{1}{\omega C}\right)^2} = \sqrt{R^2 + (X_L - X_C)^2}$

आवृत्ति के साथ X_L, X_C और Z में हो रहे परिवर्तन को चित्र 2.9 में दिखाया गया है। शून्य आवृत्ति पर

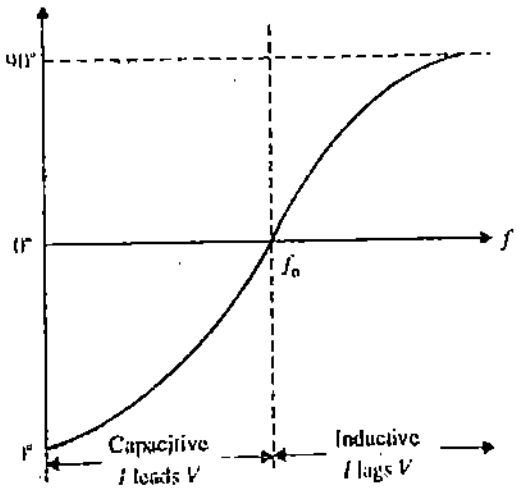


चित्र 2.9 : आवृत्ति के साथ X_L, X_C, Z में हो रहे परिवर्तन।

X_C और Z दोनों ही अनंततः वृहत (infinitely large) होते हैं और X_L शून्य होता है, क्योंकि शून्य आवृत्ति पर संधारित्र एक खुले परिपथ की तरह काम करता है। आवृत्ति में वृद्धि होने पर X_C में कमी आती जाती है और X_L में वृद्धि होने लगती है। क्योंकि अनुनादी आवृत्ति (f_0) से कम आवृत्तियों पर X_C, X_L से बड़ा होता है, X_C के साथ Z में भी कमी आती जाती है। अनुनादी आवृत्ति से अधिक आवृत्तियों पर X_L, X_C से बड़ा होता है, जिससे कि Z में वृद्धि होने लगती है। श्रेणी RLC परिपथ की कुल प्रतिबाधा से संबंधित कला कोण होता है :

$$\phi = \tan^{-1} \frac{(\omega L - \frac{1}{\omega C})}{R}$$

आवृत्ति के साथ कला-कोण में हो रहे परिवर्तन को चित्र 2.10 में दिखाया गया है। अनुनादी आवृत्ति से कम



चित्र 2.10 : आवृत्ति के साथ कला-कोण में हो रहा परिवर्तन।

आवृत्ति पर धारा, स्रोत वोल्टता से आगे होती है क्योंकि धारिता प्रतिघात (capacitive reactance) प्रेरणिक प्रतिघात (inductive reactance) से अधिक होता है। जैसे-जैसे आवृत्ति अनुनादी मान के निकट आती जाती है, वैसे-वैसे कला-कोण में कमी आती जाती है और अनुनाद पर कला-कोण 0° हो जाता है।

अनुनादी आवृत्ति से अधिक आवृतियों पर धारा, स्रोत वोल्टता से पीछे हो जाती है, क्योंकि प्रेरणिक प्रतिघात धारिता प्रतिघात से अधिक होता है। आवृत्ति में वृद्धि होने पर कला-कोण + 90° के निकट आने लगता है।

2.3.3 श्रेणी अनुनादी परिपथ में वोल्टता और धारा

हम जानते हैं कि श्रेणी RLC नेटवर्क में

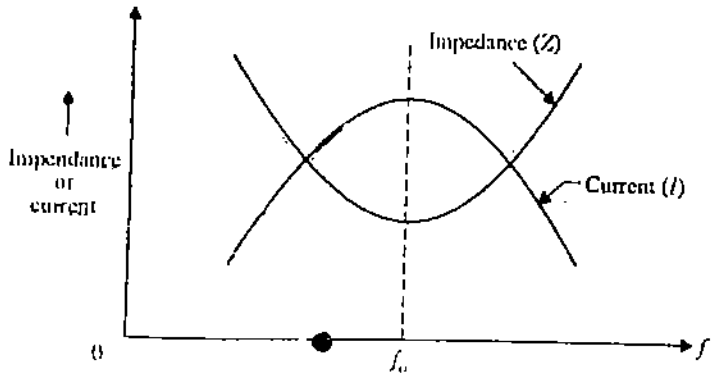
$$Z = R + j\left(\omega L - \frac{1}{\omega C}\right)$$

$$= \sqrt{R^2 + \left(\omega L - \frac{1}{\omega C}\right)^2}\, e^{j\tan^{-1}\left(\frac{\omega L - \frac{1}{\omega C}}{R}\right)}$$

$$|Z| = R^2 + \left(\omega L - \frac{1}{\omega C}\right)^2$$

$$I = \frac{V_0}{\sqrt{R^2 + \left(\omega L - \frac{1}{\omega C}\right)^2}}$$

जहाँ V_0 और I क्रमश: वोल्टता और धारा के आयाम हैं। आवृत्ति के साथ प्रतिबाधा और धारा में हो रहे परिवर्तन को चित्र 2.11 में दिखाया गया है। जैसा कि हम पिछले भागों में पढ़ चुके हैं, अनुनादी आवृत्ति पर धारिता प्रतिघात प्रेरणिक प्रतिघात के बराबर होता है, अत: प्रतिबाधा न्यूनतम होती है।

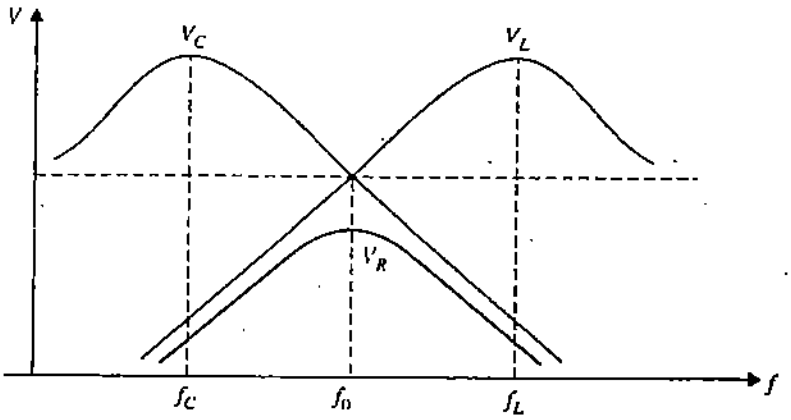


चित्र 2.11 : आवृत्ति के साथ प्रतिबाधा और धारा में हो रहा परिवर्तन।

न्यूनतम प्रतिबाधा होने के कारण परिपथ में अधिकतम धारा प्रवाहित होती है। इस धारा का मान होता है:

$$I_0 = \text{अनुनादी आवृत्ति पर धारा} = \frac{V_0}{R}$$

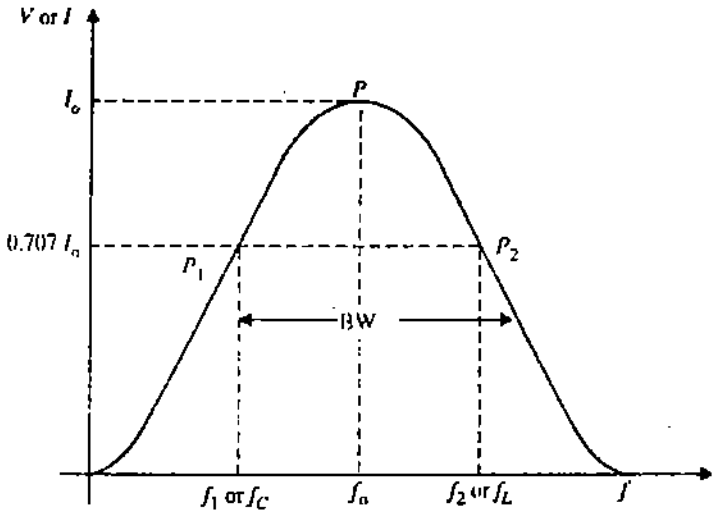
प्रतिरोध, प्रेरकत्व तथा धारिता पर हो रहे वोल्टता-पात में भी आवृत्ति के साथ परिवर्तन होता रहता है। $f = 0$ पर संधारित्र एक खुले परिपथ की तरह काम करता है और धारा को रोक देता है। अत: संधारित्र पर पूर्ण स्रोत वोल्टता आ जाती है। आवृत्ति में वृद्धि होने पर X_C में कमी आती जाती है और X_L में वृद्धि होती जाती है जिसके कारण कुल प्रतिघात $(X_C - X_L)$ में कमी आ जाती है। परिणामस्वरूप प्रतिबाधा में कमी आने लगती है और धारा में वृद्धि होने लगती है। धारा में वृद्धि होने पर प्रतिरोध, प्रेरकत्व और धारिता (V_R, V_L और V_C) पर हो रहे वोल्टता-पात में भी वृद्धि होती है। जब आवृत्ति, अनुनादी आवृत्ति (f_0) के बराबर हो जाती है, तब प्रतिबाधा, प्रतिरोध (R) के बराबर हो जाती है। तब धारा अपने अधिकतम मान तक पहुँच जाती है और V_R का भी अधिकतम मान हो जाता है। इस आवृत्ति पर धारिता और प्रेरकत्व पर वोल्टता-पात परिमाण में बराबर और कला में विपरीत हो जाते हैं। आवृत्ति में और अधिक वृद्धि होने पर X_L में भी वृद्धि होती है और X_C में कमी आती जाती है जिसके कारण कुल प्रतिघात $(X_L - X_C)$ में वृद्धि हो जाती है। परिणामस्वरूप, धारा में कमी आती जाती है। यदि आवृत्ति में और अधिक वृद्धि की जाए, तो धारा शून्य के निकट आती जाती है, V_C और V_R शून्य के निकट आते जाते हैं और V_L, V_0 के निकट आता जाता है। आवृत्ति के साथ विभिन्न वोल्टताओं की अनुक्रियाएँ चित्र 2.12 में दिखाई गई हैं।



चित्र 2.12 : आवृत्ति के साथ V_C, V_L और V_R में परिवर्तन।

2.3.4 RLC परिपथ के लिए बैंड की चौड़ाई

किसी भी तंत्र की बैंड चौड़ाई आवृत्तियों का वह परिसर (range) होता है, जिसमें धारा या निर्गत वोल्टता, अनुनादी आवृत्ति पर के अपने शिखर मान के 70.7% के बराबर होती है। चित्र 2.13 में एक श्रेणी *RLC* परिपथ की आवृत्ति अनुक्रिया दिखाई गई है। यहाँ आवृत्ति f_1 वह आवृत्ति होती है, जिस पर धारा अनुनादी मान पर की धारा की 0.707 गुनी होती है और इस आवृत्ति को निम्न अंतक आवृत्ति (lower cutoff frequency) कहा जाता है।



चित्र 2.13 : *RLC* नेटवर्क की आवृत्ति अनुक्रिया।

आवृत्ति f_2 वह आवृत्ति होती है, जिस पर धारा अनुनादी मान पर की धारा की 0.707 गुनी होती है और इस आवृत्ति को उपरि अंतक आवृत्ति (upper cut off frequency) कहा जाता है। बैंड की चौड़ाई (BW) को इस प्रकार परिभाषित किया जाता है :

$$BW = (f_2 - f_1)\ \text{Hz}$$

यदि P_1 पर धारा $0.707\ I_0$ हो, तो इस बिन्दु पर परिपथ की प्रतिबाधा $\sqrt{2}\,R$ होती है। अतः

$$\frac{1}{\omega_1 C} - \omega_1 L = R$$

इसी प्रकार, $\omega_2 L - \frac{1}{\omega_2 C} = R$

इन समीकरणों की तुलना करने पर हमें मिलता है

$$\frac{1}{\omega_1 C} - \omega_1 L = \omega_2 L - \frac{1}{\omega_2 C}$$

$$(\omega_1 + \omega_2) L = \frac{(\omega_1 + \omega_2)}{(\omega_1 \omega_2)} \frac{1}{C}$$

$$\Rightarrow \omega_1 \omega_2 = \frac{1}{LC}$$

हम जानते हैं कि $\omega_0^2 = \frac{1}{LC}$

इसलिए $\omega_0^2 = \omega_1 \omega_2$

R के लिए समीकरणों को जोड़ने पर हमें मिलता है :

$$\frac{1}{\omega_1 C} - \omega_1 L + \omega_2 L - \frac{1}{\omega_2 C} = 2R$$

$$\Rightarrow (\omega_2 - \omega_1) L + \frac{(\omega_1 + \omega_2)}{(\omega_1 \omega_2)} \frac{1}{C} = 2R$$

क्योंकि $\omega_0^2 = \frac{1}{LC} \Rightarrow C = \frac{1}{\omega_0^2 L}$

इन मानों को प्रतिस्थापित करने पर

$$\omega_2 - \omega_1 = \frac{R}{L}$$

$$\Rightarrow (f_2 - f_1) = \frac{R}{2\pi L}$$

BW (बैंड की चौड़ाई) $= \frac{R}{2\pi L}$

चित्र 2.13 से

$$(f_2 - f_1) = \frac{R}{2\pi L}$$

$$f_0 - f_1 = \frac{R}{4\pi L} \text{ और } f_2 - f_0 = \frac{R}{4\pi L}$$

निम्न आवृत्ति सीमा $f_1 = f_0 - \frac{R}{4\pi L}$

उपरि आवृत्ति सीमा $f_2 = f_0 + \frac{R}{4\pi L}$

(दोनो पक्षो को f_0 से भाग देकर) इन्हें व्यवस्थित करने पर

$$\frac{f_2 - f_1}{f_0} = \frac{R}{2\pi f_0 L}$$

यहाँ कुंडली (coil) का एक महत्वपूर्ण गुणधर्म परिभाषित होता है। यह कुंडली के प्रतिघात और उसके प्रतिरोध का अनुपात होता है। इस अनुपात को कुंडली के Q से परिभाषित किया जाता है, जिसे Q –गुणांक (Q – factor) या गुणता कारक (quality factor) या दक्षतांक (figure of merit) कहा जाता है और यह कुंडली की गुणता का एक संकेत होता है।

$$Q = \frac{X_L}{R} = \frac{2\pi f_0 L}{R}$$

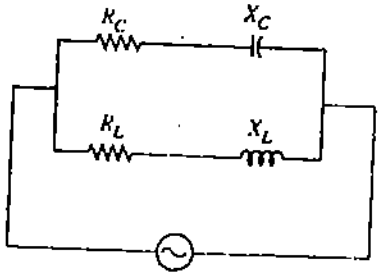
स्पष्टत: $\frac{1}{Q} = \frac{f_2 - f_1}{f_0} = \frac{\Delta f}{f_0}$

$$Q = \frac{f_0}{\Delta f} = \frac{\text{अनुनादी आवृत्ति}}{\text{बैंड की चौड़ाई}}$$

स्पष्ट है कि परिपथ Q का उच्च मान होने पर बैंड की चौड़ाई कम होती है और Q का निम्न मान होने पर बैंड की चौड़ाई ज्यादा होती है।

2.3.5 पार्श्व अनुनाद

चित्र 2.14 में एक पार्श्व RLC नेटवर्क दिखाया गया है। पार्श्व अनुनाद तब होता है, जबकि $X_C = X_L$ और जिस आवृत्ति पर यह अनुनाद होता है, उसे अनुनादी आवृत्ति (resonant frequency) कहा जाता है। जब $X_C = X_L$, तो दो शाखा धाराएँ (जबकि $R_C = R_L$) परिमाण में बराबर होती है और उनमें 180° का कलांतर होता है। अत: ये दो धाराएँ एक-दूसरे को निरस्त कर देती हैं और कुल धारा शून्य हो जाती है। चित्र 2.14 से कुल प्रवेश्यता (admittance) (Y) यह होती है :



चित्र 2.14 : पार्श्व RLC नेटवर्क।

$$Y = \frac{1}{R_L + j\omega L} + \frac{1}{\left(R_C - \frac{j}{\omega C}\right)}$$

$$= \frac{R_L - j\omega L}{(R_L^2 + \omega^2 L^2)} + \frac{R_C + j/\omega C}{\left(R_C^2 + \frac{1}{\omega^2 C^2}\right)}$$

$$= \frac{R_L}{R_L^2 + \omega^2 L^2} + \frac{R_C}{\left(R_C^2 + \frac{1}{\omega^2 C^2}\right)} + j\left\{\left[\frac{1/\omega C}{R_C^2 + \frac{1}{\omega^2 C^2}}\right] - \left[\frac{\omega L}{R_L^2 + \omega^2 L^2}\right]\right\}$$

अनुनाद ($\omega = \omega_0$) पर अधिकल्पित भाग (imaginary part) शून्य हो जाता है। अत:

$$\frac{\omega_0 L}{(R_L^2 + \omega_0^2 L^2)} = \frac{1/\omega_0 C}{\left(R_C^2 + \frac{1}{\omega_0^2 C^2}\right)}$$

$$\Rightarrow \omega_0 L \left[R_C^2 + \frac{1}{\omega_0^2 C^2}\right] = \frac{1}{\omega_0 C}\left[R_L^2 + \omega_0^2 L^2\right]$$

$$\Rightarrow \omega_0^2 \left[R_C^2 + \frac{1}{\omega_0^2 C^2}\right] = \frac{1}{LC}\left[R_L^2 + \omega_0^2 L^2\right]$$

$$\Rightarrow \omega_0^2 R_C^2 - \frac{\omega_0^2 L}{C} = \frac{R_L^2}{LC} - \frac{1}{C^2}$$

$$\Rightarrow \omega_0^2 \left[R_C^2 - \frac{L}{C}\right] = \frac{1}{LC}\left[R_L^2 - \frac{L}{C}\right]$$

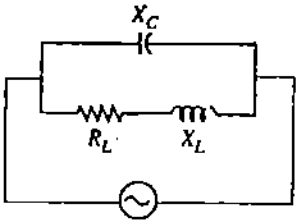
$$\Rightarrow \omega_0 = \sqrt{\frac{1}{LC}} \quad \sqrt{\frac{R_L^2 - L/C}{R_C^2 - L/C}}$$

यह अनुनाद की व्यापक स्थिति है। विशेष स्थिति में, जबकि $R_C = R_L$ तब हमें मिलता है :

$$\omega_0 = \sqrt{\frac{1}{LC}}$$

$$f_0 = \frac{1}{2\pi\sqrt{LC}}$$

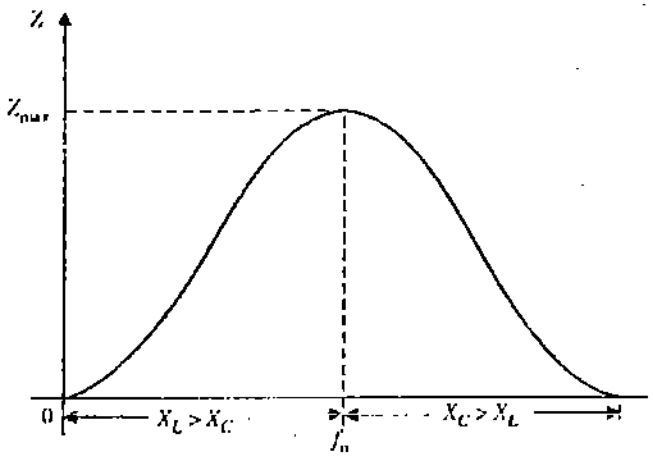
हम चाहेंगे कि आप चित्र 2.15 में दिखाए गए "टैंक परिपथ" के लिए अनुनादी आवृत्ति ज्ञात करें और दिखाएं कि इसका मान यह है :



चित्र 2.15 : टैंक परिपथ।

$$f_0 = \frac{1}{2\pi}\sqrt{\frac{1}{LC} - \frac{R_L^2}{L^2}}$$

प्रतिबाधा (प्रवेश्यता का व्युत्क्रम), जिसे व्युत्पन्न किया गया है, के व्यंजक से आप यह देखेंगे कि यह अनुनादी आवृत्ति पर अधिकतम होती है और इससे निम्न तथा उच्च आवृत्तियों पर यह कम होती जाती है, जैसा कि चित्र 2.16 में दिखाया गया है। निम्न आवृत्तियों पर X_L अति लघु होता है और X_C अति वृहत् होता है। अतः अनिवार्य रूप से कुल प्रतिबाधा प्रेरणिक होती है और प्रेरणिक प्रतिघात का तब तक प्रभुत्व बना रहता है, जब तक कि आवृत्ति अनुनादी आवृत्ति के बराबर नहीं हो जाती। इस बिन्दु पर $X_L = X_C$ और प्रतिबाधा का अधिकतम मान होता है। आवृत्ति के अनुनाद आवृत्ति से अधिक होने पर धारिता प्रतिघात का प्रभुत्व बन जाता है और प्रतिबाधा में कमी आने लगती है, जैसा कि चित्र 2.16 में दिखाया गया है।

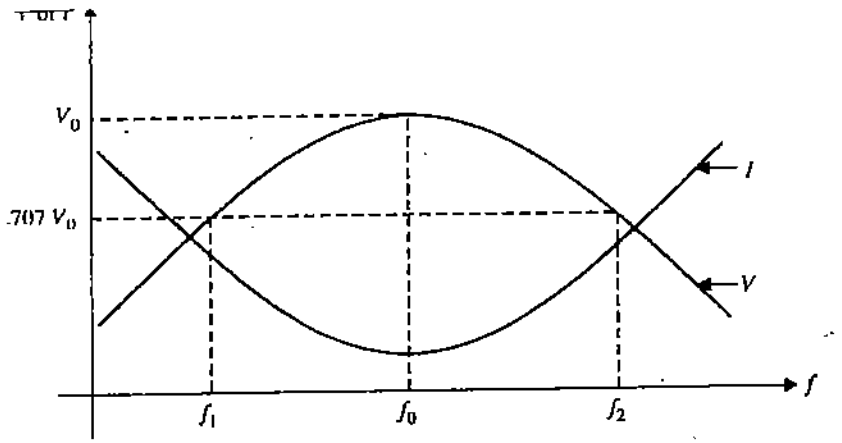


चित्र 2.16 : आवृत्ति के साथ प्रतिबाधा में परिवर्तन।

2.3.6 पार्श्व अनुनादी परिपथ का Q-कारक

आइए, हम चित्र 2.17 में दिखाया गया पार्श्व अनुनादी परिपथ लें। कुल प्रवेश्यता (Y) यह होती है :

$$Y = \frac{1}{R} + j\omega C + \frac{1}{j\omega L} = \frac{1}{R} + j\left(\omega C - \frac{1}{\omega L}\right)$$



चित्र 2.17 : पार्श्व अनुनादी परिपथ में आवृत्ति के साथ V या I में परिवर्तन।

अनुनादी आवृत्ति ($f=f_0$) पर अधिकल्पित भाग शून्य होता है, अर्थात्

$$\omega_0 C - \frac{1}{\omega_0 L} = 0$$

$$\Rightarrow \omega_0 = \frac{1}{\sqrt{LC}}$$

$$\Rightarrow f_0 = \frac{1}{2\pi\sqrt{LC}}$$

आवृत्ति के साथ वोल्टता और धारा में हो रहे परिवर्तन को चित्र 2.17 में दिखाया गया है। स्पष्ट है कि अनुनादी आवृत्ति पर धारा न्यूनतम होती है, क्योंकि पार्श्व अनुनादी परिपथ में प्रतिबाधा अधिकतम होती है।

बैंड की चौड़ाई (BW) = $f_2 - f_1$

पार्श्व परिपथ में निम्न अंतक आवृत्ति (cut off frequency) प्राप्त करने के लिए

$$\omega_1 C - \frac{1}{\omega_1 L} = -\frac{1}{R}$$

$$\omega_1^2 + \frac{\omega_1}{RC} - \frac{1}{LC} = 0$$

$$\omega_1 = -\frac{1}{2RC} + \sqrt{\left(\frac{1}{2RC}\right)^2 + \frac{1}{LC}}$$

इसी प्रकार उपरि अंतक आवृत्ति (f_2) प्राप्त करने के लिए

$$\omega_2 C - \frac{1}{\omega_2 L} = \frac{1}{R}$$

$$\Rightarrow \omega_2 = \frac{1}{2RC} + \sqrt{\left(\frac{1}{2RC}\right)^2 + \frac{1}{LC}}$$

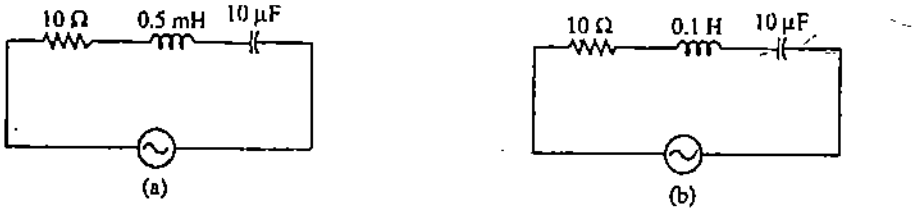
$$BW = \omega_2 - \omega_1 = \frac{1}{RC}$$

और $$f_2 - f_1 = \frac{1}{2\pi RC}$$

गुणता कारक $Q = \dfrac{f_0}{f_2 - f_1} = \dfrac{\omega_0}{\omega_2 - \omega_1}$

$$= \frac{\omega_0}{1/RC} = \omega_0 RC$$

उदाहरण 3 : चित्र 2.18(क) में दिखाए गए परिपथ की अनुनादी आवृत्ति ज्ञात कीजिए।



चित्र 2.18 (क) : उदाहरण 3 (ख) उदाहरण 4.

हल

अनुनादी आवृत्ति

$$f_0 = \frac{1}{2\pi\sqrt{LC}}$$

$$= \frac{1}{2\pi\sqrt{10 \times 10^{-6} \times 0.5 \times 10^{-3}}} = 2.25 \text{ kHz}$$

उदाहरण 4 : चित्र 2.18(ख) में दिखाए गए परिपथ के लिए अनुनादी आवृत्ति पर, अनुनादी आवृत्ति से 10 Hz अधिक आवृत्ति पर और अनुनादी आवृत्ति से 10 Hz कम आवृत्ति पर प्रतिबाधा ज्ञात कीजिए।

हल

अनुनादी आवृत्ति पर $X_C = X_L$ अतः श्रेणी RLC अनुनादी परिपथ में कुल प्रतिबाधा केवल प्रतिरोधात्मक होती है।

अनुनाद पर $Z = R = 10\,\Omega$.

अनुनादी आवृत्ति $(f_0) = \dfrac{1}{2\pi\sqrt{LC}} = \dfrac{1}{2\pi\sqrt{0.1 \times 10 \times 10}} = 159.2$ Hz

दिया हुआ है :

$$f_1 = f_0 - 10 \text{ Hz} = 159.2 - 10 = 149.2 \text{ Hz}$$

$$f_2 = f_0 + 10 \text{ Hz} = 159.2 + 10 = 169.2 \text{ Hz}$$

अब,

$$X_{C_1} = \frac{1}{\omega_1 C} = \frac{1}{2\pi f_1 C} = 106.6\,\Omega$$

$$X_{L_1} = \frac{1}{\omega_1 L} = 2\pi f_1 L = 93.75\,\Omega$$

और $$X_{C_2} = \frac{1}{\omega_2 C} = \frac{1}{2\pi f_2 C} = 94.06\,\Omega$$

$$X_{L_2} = \omega_2 L = 2\pi f_2 L = 106.31\,\Omega.$$

स्पष्ट है कि $f_1 = 149.2$ Hz पर प्रतिबाधा यह है

$$Z_1 = \sqrt{R^2 + (X_{L_1} - X_{C_1})^2}$$
$$= \sqrt{10^2 + (93.75 - 106.6)^2}$$
$$= 16.28\,\Omega$$

यहाँ $X_{C_1} > X_{L_1}$ अत: Z_1 धारितात्मक है

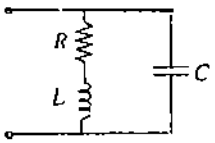
और $f_2 = 169.2$ Hz पर प्रतिबाधा यह है

$$Z_2 = \sqrt{R^2 + (X_{L_2} - X_{C_2})^2}$$
$$= \sqrt{10^2 + (106.31 - 94.06)^2} = 15.81\,\Omega.$$

स्पष्ट है कि इस आवृत्ति पर $X_{L_2} > X_{C_2}$, अत: प्रकृति में Z प्रेरणिक होता है।

बोध प्रश्न 3

चित्र 2.19 में दिखाए गए $Q = 5$ वाले परिपथ में 0.1 H का प्रेरकत्व, संधारित्र के साथ समांतर में जुड़ा है। 500 Hz की अनुनादी आवृत्ति पर धारिता और कुंडली प्रतिरोध का मान ज्ञात कीजिए।



चित्र 2.19 :

बोध प्रश्न 4

एक श्रेणी RLC परिपथ में लागू की गई 20V की वोल्टता के साथ 50Ω वाला प्रतिरोध, 0.2H वाला प्रेरकत्व और 10 μ F वाला संधारित्र जुड़ा है। अनुनादी आवृत्ति ज्ञात कीजिए। परिपथ का Q - कारक ज्ञात कीजिए। निम्न और उपरि अंतक आवृत्ति सीमाए परिकलित कीजिए और परिपथ की बैंड की चौड़ाई भी ज्ञात कीजिए।

2.4 प्रतिबाधा सुमेलन

आप अधिकतम शक्ति स्थानांतरण प्रमेय पढ़ चुके हैं, जिसमें यह बताया गया है कि स्रोत से लोड में अधिकतम शक्ति तभी स्थानांतरित होती है, जबकि लोड प्रतिरोध, स्रोत प्रतिरोध के बराबर होता है। यही कारण है कि परिपथों के बीच प्रतिबाधा सुमेलन का इतना अधिक महत्व है। एक उदाहरण के रूप में, श्रव्य निर्गम ट्रॉंसफॉर्मर (audio out put transformer) को श्रव्य शक्ति एम्पलीफायर की उच्च प्रतिबाधा और निर्गम के साथ, स्पीकर के निम्न निवेश प्रतिबाधा को सुमेलन करना चाहिए। परन्तु, अधिकतम शक्ति स्थानान्तरण हमेशा ही इच्छित नहीं होता क्योंकि शक्ति स्थानान्तरण केवल 50% की दक्षता पर होता है। अधिकांश स्थितियों में, अधिकतम वोल्टता स्थानातरण अपेक्षित होता है, जिसका अर्थ यह है कि असुमेलित प्रतिबाधाओं का होना आवश्यक होता है। यदि अधिकतम शक्ति स्थानांतरण अपेक्षित हो, तो लोड प्रतिरोध, स्रोत प्रतिरोध के बराबर होना चाहिए। अधिकतम शक्ति स्थानांतरण प्रमेय को सम्मिश्र प्रतिबाधा परिपथों पर लागू किया जा सकता है। **यदि स्रोत प्रतिबाधा सम्मिश्र हो, तो अधिकतम शक्ति स्थानांतरण तक होता है जब लोड प्रतिबाधा, स्रोत प्रतिबाधा की सम्मिश्र संयुग्मी (complex conjugate) हो।**

इसलिए पारक बैंड उन आवृत्तियों के बीच स्थित होता है, जिन पर $Z_1 = 0$ और $Z_1 = -4Z_2$ सभी आवृत्तियाँ जो f_c से अधिक हैं एक स्टाप या क्षीणन बैंड पर स्थित होती हैं। हम जानते हैं कि

$$\sinh\frac{\gamma}{2} = \sqrt{\frac{Z_1}{4Z_2}}$$

$$= \frac{j\omega\sqrt{LC}}{2}$$

LP फिल्टर के लिए, $f_c = \frac{1}{\pi\sqrt{LC}} \Rightarrow \sqrt{LC} = \frac{1}{f_c\pi}$

$$\therefore \sinh\frac{\gamma}{2} = \frac{j2\pi f}{2\pi f_c} = j\frac{f}{f_c}$$

हम जानते हैं कि पारक बैंड में

$$-1 < \frac{Z_1}{4Z_2} < 0$$

$$\Rightarrow \frac{f}{f_c} < 1.$$

और β = कला कोण $= 2\sin^{-1}\left(\frac{f}{f_c}\right); \alpha = 0$

क्षीणन बैंड में

$$\frac{Z_1}{4Z_2} < -1 \text{ अर्थात् } \frac{f}{f_c} > 1.$$

$$\therefore \alpha = 2\cosh^{-1}\left[\frac{Z_1}{4Z_2}\right] = 2\cosh^{-1}\left(\frac{f}{f_c}\right)$$

और $\beta = \pi.$

उदाहरण 6 : $500\,\Omega$ के अंतकृत (terminated) लोड प्रतिरोध से प्रचालित करने के लिए 2 kHz की अंतक आवृत्ति वाला निम्न आवृत्ति पारक फ़िल्टर डिज़ाइन कीजिए।

हल

हम जानते हैं कि अचर K, LP फ़िल्टर के लिए

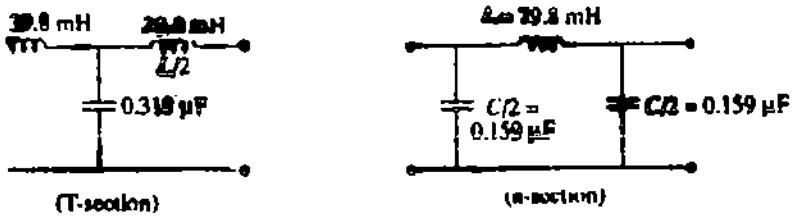
$$K = \sqrt{\frac{L}{C}} = 500\,\Omega \quad \text{(दिया हुआ है)}$$

$$f_c = 2000 \text{ Hz}$$

$$L = \frac{K}{\pi f_c} = 79.6 \text{ mH}$$

$$C = \frac{1}{\pi f_c K} = 0.318\,\mu\text{F}$$

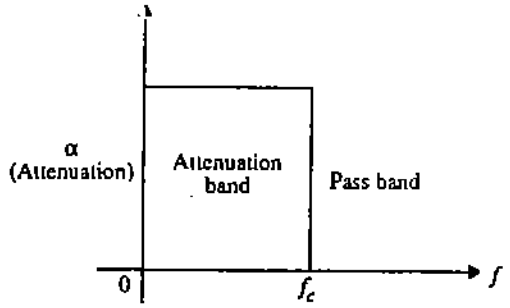
अचर $-K$. LP फ़िल्टर का T और π परिच्छेद चित्र 2.29 में दिखाया गया है।



चित्र 2.29 : निम्नपारक फ़िल्टर का T और π परिच्छेद।.

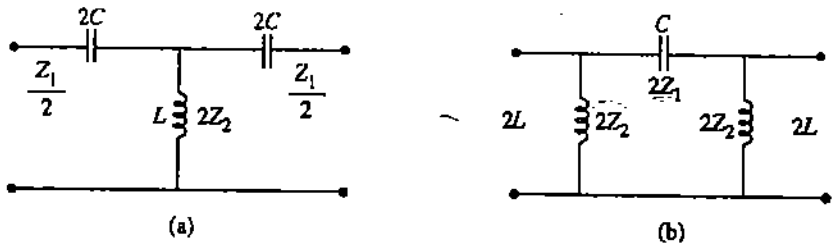
2.5.2 अचर K - उच्च आवृत्ति पारक फ़िल्टर

परिभाषा के अनुसार, उच्च आवृत्ति पारक (HP) फ़िल्टर एक अभिकल्पित अंतक आवृत्ति f_c से कम सभी आवृत्तियों का क्षीणन करता है और f_c से अधिक आवृत्तियों को जाने देता है। इस तरह, इस फ़िल्टर के पारक बैंड का आवृत्ति-परिसर f_c से ऊपर होता है और स्टॉप बैंड का आवृत्ति परिसर f_c से नीचे होता है। एक आदर्श HP फ़िल्टर का क्षीणन अभिलक्षणिक चित्र 2.30 में दिखाया गया है।



चित्र 2.30 : एक HP फ़िल्टर का आदर्श अभिलक्षणिक।

पिछले भाग में दिखाए गए नेटवर्क की श्रेणी और शंट-भुजाओं की अदला-बदली करके K - उच्च आवृत्ति पारक फ़िल्टर बनाए जा सकते है। प्रोटो-टाइप उच्च पारक फ़िल्टर चित्र 2.31 (क) और (ख) में दिखाए गए हैं, जहाँ $Z_1 = \frac{1}{j\omega C}$ और $Z_2 = j\omega L$ है।



चित्र 2.31 : (क) अचर K-प्रकार HP फ़िल्टर जिसमें T परिच्छेद का प्रयोग किया गया है, (ख) π परिच्छेद।

$$Z_1 Z_2 = \frac{L}{C} = K^2$$

$$\therefore K = \sqrt{\frac{L}{C}}$$

$Z_1 = 0$ और $Z_1 = -4 Z_2$ से अंतक आवृत्तियाँ प्राप्त हो जाती हैं।

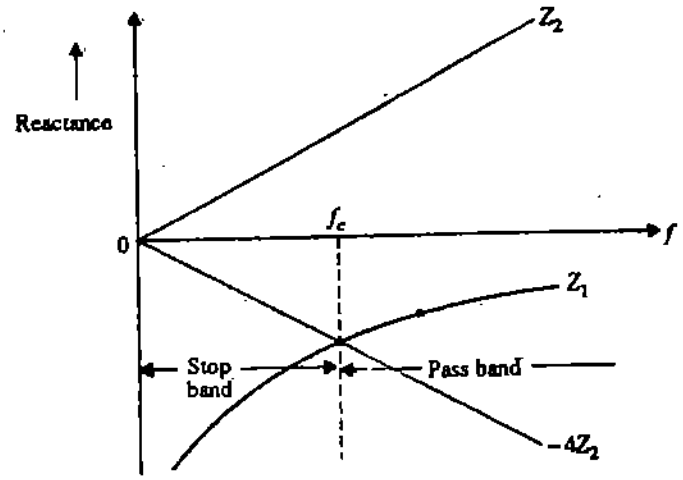
$$Z_1 = 0 \Rightarrow \frac{1}{j\omega C} = 0 \Rightarrow \omega \to \infty$$

$Z_1 = -4 Z_2$ से

$$\frac{-j}{\omega C} = -4 j\omega L$$

$$\Rightarrow f_c = \frac{1}{4\pi\sqrt{LC}}$$

आवृत्ति के साथ प्रतिघातों (Z_1 और Z_2) के परिवर्तन को चित्र 2.32 में दिखाया गया है। जैसा कि चित्र में देखा जा सकता है, फ़िल्टर $f = f_c$ और $f = \infty$ के बीच की सभी आवृत्तियों को संचरित करता है। ग्राफ़ में दिखाया गया बिन्दु f_c वह बिन्दु है, जिस पर $Z_1 = -4 Z_2$ हम जानते हैं कि



चित्र 2.32 : आवृत्ति के साथ प्रतिघातों में परिवर्तन।

$$\sinh\frac{\gamma}{2} = \sqrt{\frac{Z_1}{4Z_2}} = \sqrt{\frac{-1}{4\omega^2 LC}}$$

साथ ही

$$f_c = \frac{1}{4\pi\sqrt{LC}}$$

$$\therefore \sinh\frac{\gamma}{2} = j\frac{f_c}{f}$$

पारक बैंड में $-1 < \frac{Z_1}{4Z_2} < 0$, $\alpha = 0$ यानी वह प्रदेश जिसमें $\frac{f_c}{f} < 1$ एक पारक बैंड है,

जहाँ β = कला-विस्थापन $= 2\sin^{-1}\left(\frac{f_c}{f}\right)$

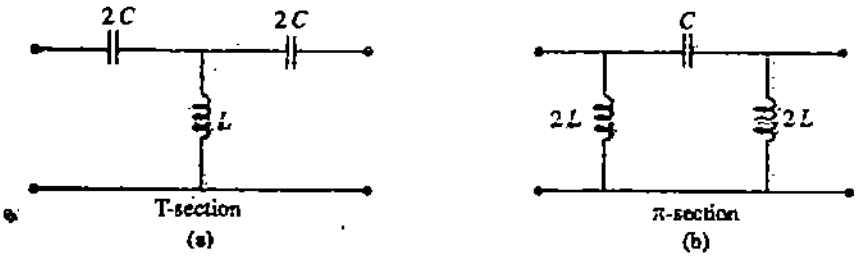
क्षीणन बैंड में $\frac{Z_1}{4Z_2} < -1 \Rightarrow \frac{f_c}{f} > 1$.

यहाँ $\alpha = 2\cosh^{-1}\left(\frac{Z_1}{4Z_2}\right) = 2\cos h^{-1}\left(\frac{f_c}{f}\right)$

और $\beta = -\pi$

उदाहरण 7 : 600 ohm के लोड प्रतिरोध के साथ 1 kHz की अंतक आवृत्ति वाला एक उच्च आवृत्ति पारक फिल्टर डिज़ाइन कीजिए।

हल



चित्र 2.33 :

यहाँ f_c = 1000 Hz और $K = 600\,\Omega$

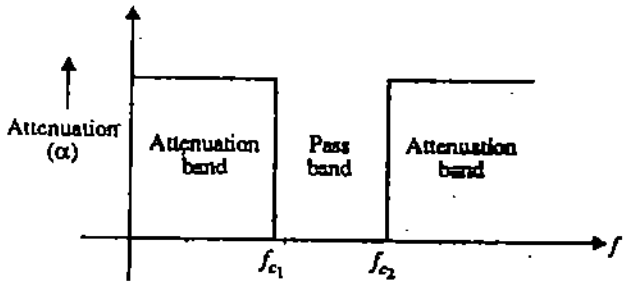
$$L = \frac{K}{4\pi f_c} = \frac{600}{4 \times \pi \times 1000} = 47.74 \text{ mH.}$$

$$C = \frac{1}{4\pi K f_c} = 0.133\ \mu\text{F.}$$

T और π परिच्छेद, चित्र 2.33 में दिखाए गए हैं।

2.5.3 बैंड पारक फ़िल्टर

परिभाषा के अनुसार बैंड पारक फ़िल्टर वह फ़िल्टर होता है, जो दो निर्धारित अंतक आवृत्तियों के बीच की आवृत्तियों को जाने देता है और अन्य सभी आवृत्तियों का क्षीणन कर देता है। चित्र 2.34 में एक बैंड पारक फ़िल्टर का आदर्श क्षीणन अभिलक्षणिक दिखाया गया है। एक निम्न आवृत्ति पारक फ़िल्टर के बाद एक उच्च आवृत्ति पारक फ़िल्टर का प्रयोग करके इस बैंड पारक फ़िल्टर को प्राप्त किया जा सकता है। फ़िल्टर की अंतक आवृत्ति HP फ़िल्टर की अंतक आवृत्ति से अधिक होती है जिससे कि यह फ़िल्टर इन दोनों आवृत्तियों के बीच की आवृत्तियों के बैंड को ही जाने देता है। लेकिन यह व्यावहारिक तौर पर बहुत अच्छा तरीका नहीं है। इससे बहुत बेहतर होता कि निम्न और उच्च पारक फ़िल्टरों के काम को एक ही परिच्छेद में संयोजित कर दिया जाए। ऐसा कैसे किया जाता है?



चित्र 2.34 : एक बैंड पारक फ़िल्टर का आदर्श क्षीणन अभिलक्षणिक।

इसके लिए चित्र 2.35 (क) और (ख) में दिखाया गया परिपथ लीजिए, जिसकी प्रत्येक भुजा में समान अनुनादी आवृत्ति वाला एक अनुनादी परिपथ होता है। यानी श्रेणी भुजा की अनुनादी आवृत्ति और शंट भुजा की अनुनादी आवृत्ति को बराबर कर दिया जाता है ताकि उससे बैंड पारक अभिलक्षणिक मिल सके।

स्पष्ट है कि समान अनुनादी आवृत्तियों के प्रतिबंध के लिए

$$L_1 C_1 = L_2 C_2$$

$$Z_1 = \text{श्रेणी भुजा की प्रतिबाधा} = j\left(\frac{\omega^2 L_1 C_1 - 1}{\omega C_1}\right)$$

$$Z_2 = \text{शंट भुजा की प्रतिबाधा} = \left(\frac{j\omega L_2}{1 - \omega^2 L_2 C_2}\right)$$

$$\therefore Z_1 Z_2 = \frac{L_2}{C_1}\left(\frac{\omega^2 L_1 C_1 - 1}{1 - \omega^2 L_2 C_2}\right)$$

क्योंकि $L_1 C_1 = L_2 C_2$

$$\therefore Z_1 Z_2 = \frac{L_2}{C_1} = \frac{L_1}{C_2} = K^2.$$

जहाँ K एक अचर है। अतः फ़िल्टर एक अचर K - प्रकार का फ़िल्टर है।

पारक बैंड : $-1 < \frac{Z_1}{4Z_2} < 0$ और अंतक आवृत्ति पर

$$Z_1 = -4Z_2$$

$$\Rightarrow Z_1^2 = -4Z_1Z_2 = -4K^2$$

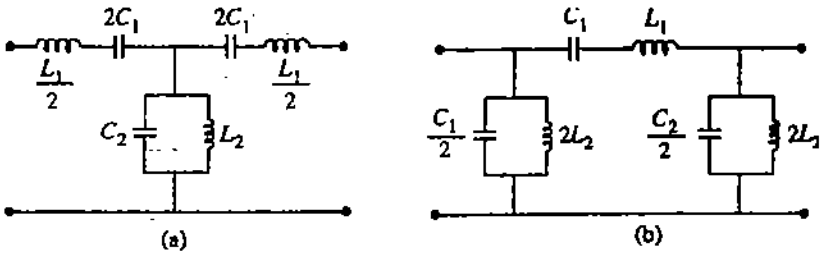
$$\Rightarrow Z_1 = \pm j2K.$$

अर्थात् निम्न अंतक आवृत्ति पर Z_1 का मान उपरि अंतक आवृत्ति पर Z_1 के ऋणात्मक मान के बराबर होता है।

यह दिखाया जा सकता है कि

f_0 = अनुनादी आवृत्ति

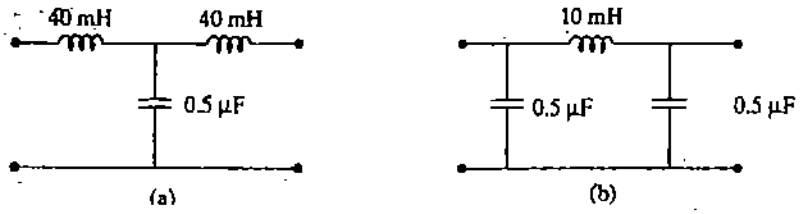
$$= \sqrt{f_1 f_2}$$



चित्र 2.35 : बैंड पास फिल्टर।

बोध प्रश्न 6

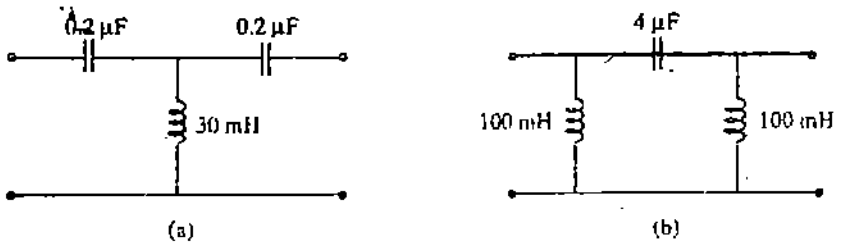
चित्र 2.36(क) और (ख) में दिखाए गए LP फिल्टर की अंतक आवृत्ति ज्ञात कीजिए।



चित्र 2.36

बोध प्रश्न 7

चित्र 2.37(क) और (ख) में दिखाए गए HP फिल्टर की अंतक आवृत्ति ज्ञात कीजिए।



चित्र 2.37

2.6 क्षीणकारी

क्षीणकारी (attenuator) एक दो-पोर्ट वाला प्रतिरोधक नेटवर्क होता है और इसका प्रयोग संकेत स्तर को एक दी हुई मात्रा द्वारा कम करने में किया जाता है। अनेक अनुप्रयोगों में, प्रतिबाधा-संबंध में कोई परिवर्तन लाए बिना श्रोत और सुमेलित लोड के बीच एक दी हुई मात्रा में ह्रास (loss) लाना आवश्यक होता है।

क्षीणकारी, सममित (symmetrical) या असममित (asymmetrical), नियत (fixed) या परिवर्ती (variable) हो सकते हैं। अचर क्षीणन वाले नियत क्षीणकारी को "पैड" (pad) कहा जाता है। परिवर्ती क्षीणकारियों का प्रयोग रेडियो प्रसारण में ध्वनि को नियंत्रित करने, पंखों आदि की चाल को नियंतित्र करने आदि में किया जाता है। प्रयोगशाला में परीक्षण परिपथों में वोल्टता या धारा का लघु मान प्राप्त करने के लिए भी क्षीणकारियों का प्रयोग किया जाता है। क्षीणन को सामान्यत: डेसिबेल (dB) में या नेपर (neper) में व्यक्त किया जाता है। एक नेटवर्क द्वारा dB में किया गया क्षीणन यह होता है :

$$\text{dB में क्षीणन} = 10 \log_{10} \text{dB} \left(\frac{P_1}{P_2}\right)$$

जहाँ P_1 निवेश शक्ति है और P_2 निर्गम शक्ति है।

यानी dB में क्षीणन $= 10 \log_{10} \left(\frac{I_1^2 R_0}{I_2^2 R_1}\right)$

$= 20 \log_{10} \left(\frac{I_1}{I_2}\right)$, जहाँ I_1 और I_2 क्रमश: पोर्ट 1 और पोर्ट 2 पर धाराएँ हैं।

$= 20 \log_{10} \left(\frac{V_1}{V_2}\right)$, जहाँ V_1 और V_2 क्रमश: पोर्ट 1 और पार्ट 2 पर वोल्टताएँ हैं।

यदि $\frac{V_1}{V_2} = \frac{I_1}{I_2} = N$,

तो $\frac{P_1}{P_2} = N^2$

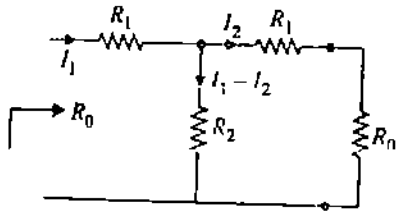
$\text{dB} = 20 \log_{10} N$

$\Rightarrow N = \text{anti log} \left(\frac{\text{dB}}{20}\right)$

अब, हम विभिन्न प्रकार के क्षीणकारियों, जैसे T और π और लैटिस क्षीणकारियों पर चर्चा करेंगे।

2.6.1 T - प्रकार के क्षीणकारी

चित्र 2.38 में T - प्रकार का सममित क्षीणकारी दिखाया गया है। क्षीणकारी को अभिलक्षणिक प्रतिरोध R_0 और क्षीणन के किन्हीं दिए हुए मानों के लिए डिज़ाइन करना पड़ता है।



चित्र 2.38 : T-प्रकार का क्षीणकारी।

चित्र में दिखाया गया नेटवर्क एक सममित प्रतिरोधक परिपथ है। अत: $Z_0 = R_0$ और $\gamma = \alpha$. नेटवर्क पर किरचॉफ़ - नियम को लागू करके डिज़ाइन समीकरण निकाला जा सकता है।

$$R_2(I_1 - I_2) = I_2\ (R_1 + R_0)$$

$$I_2(R_1 + R_2 + R_0) = I_1\ R_2$$

$$I_1/I_2 = N\,(R_1 + R_0 + R_2)\,/\,R_2$$

क्षीणकारी की अभिलक्षणिक प्रतिबाधा R_0 तब होती है, जब इसका समापन (termination) R_0 के लोड में होता है।

अत: $R_0 = R_1 + R_2 \parallel (R_1 + R_0)$

$$= R_1 + \frac{R_2\,(R_1 + R_0)}{R_1 + R_0 + R_2}$$

$$= R_1 + \frac{R_1 + R_0}{N}$$

$$\Rightarrow NR_0 = NR_1 + R_1 + R_0$$

$$\Rightarrow R_0(N-1) = (N+1)\,R_1$$

$$\Rightarrow R_1 = R_0\,\frac{(N-1)}{(N+1)}$$

और, $NR_2 = R_1 + R_0 + R_2 \quad \left[\text{क्योंकि } N = \dfrac{R_1 + R_0 + R_2}{R_2}\right]$

$$\Rightarrow (N-1)\,R_2 = (R_1 + R_0)$$

$$= R_0\left(\frac{N-1}{N+1}\right) + R_0$$

$$= \frac{2N\,R_0}{N+1}$$

$$\Rightarrow R_2 = \frac{2N\,R_0}{N^2 - 1}$$

R_1 और R_2 के व्यंजकों को सममित T - क्षीणकारी का डिज़ाइन समीकरण कहा जाता है।

उदाहरण 8 : 60 dB का क्षीणन प्राप्त करने और 100 Ω की प्रतिबाधा की लाइन में काम करने के लिए एक T - पैड क्षीणकारी डिज़ाइन कीजिए।

हल

हम जानते हैं कि

$$N = \frac{I_1}{I_2} = \text{anti log}\left(\frac{\text{dB}}{20}\right)$$

$$= \text{anti log}\left(\frac{60}{20}\right) = 1000$$

अब, श्रेणी भुजा (R_1, R_2) में प्रत्येक भुजा यह होती है

$$R_1 = \frac{R_0(N-1)}{(N+1)} = 100\ \frac{(1000-1)}{(1000+1)}$$

$$= 100 \times \frac{999}{1001} = 99\ \Omega.$$

$$R_2 = \frac{2N R_0}{N^2 - 1} = \frac{2 \times 1000 \times 100}{(1000)^2 - 1}$$

$$= 0.2\ \Omega.$$

2.6.2 π - प्रकार का क्षीणकारी

चित्र 2.39 में एक π – प्रकार के सममित क्षीणकारी का परिपथ दिखाया गया है। क्षीणकारी की श्रेणी और शंट भुजा को Z_0 और संचरण स्थिरांक γ के द्वारा निर्दिष्ट किया जा सकता है। यह नेटवर्क भी प्रतिरोधकों से बनता है और सममित होता है। अत: $Z_0 = R_0$ और $\gamma = \alpha$ मूल समीकरणों से

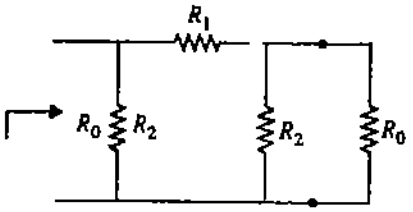


Fig. 2.39: Symmetrical π-type attenuator.

चित्र 2.39 : π-प्रकार का सममित क्षीणकारी।

$$R_1 = R_0 \sinh \alpha$$

$$R_2 = R_0 \coth (\alpha/2)$$

$$R_2 = R_0 \left[\frac{e^{\alpha} - e^{-\alpha}}{2}\right]$$

संचरण स्थिरांक की परिभाषा से

$$e^{\gamma} = \frac{I_1}{I_2} = N.$$

यहाँ $\gamma = \alpha \Rightarrow e^{\gamma} = N.$

इस संबंध का प्रयोग करने पर हमें मिलता है

$$R_1 = R_0 \left[\frac{N - 1/N}{2}\right] = \frac{R_0 (N^2 - 1)}{2N}$$

और $$R_2 = R_0 \coth (\alpha/2) = R_0 \frac{\cosh (\alpha/2)}{\sinh (\alpha/2)}$$

$$= R_0 \frac{e^{\alpha/2} + e^{-\alpha/2}}{e^{\alpha/2} + e^{-\alpha/2}}$$

$$= R_0 \frac{e^{\alpha} + 1}{e^{\alpha} + 1} = R_0 \frac{(N + 1)}{(N - 1)}$$

R_1 और R_2 के व्यंजकों को सममित π - क्षीणकारी का डिज़ाइन समीकरण कहा जाता है।

उदाहरण 9 : 40 dB का क्षीणन और 100 की अभिलक्षणिक प्रतिबाधा प्राप्त करने के लिए एक π - प्रकार का क्षीणकारी डिज़ाइन कीजिए।

हल

हम जानते हैं कि

$$N = \text{antilog}\left(\frac{\text{dB}}{20}\right)$$

$$= \text{antilog}\left(\frac{40}{20}\right)$$

$$= 100$$

$$\therefore R_1 = \frac{R_0 (N^2 - 1)}{2N} = 100 \times \frac{9999}{2 \times 100}$$

$$= 5000\,\Omega$$

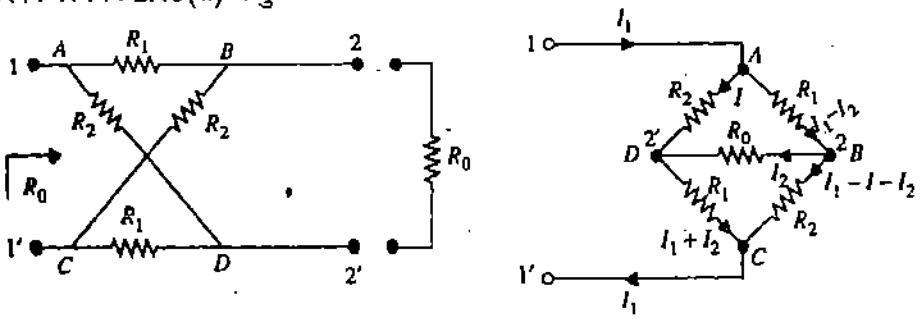
$$R_2 = R_0 \frac{N+1}{N-1} = 100 \times \frac{101}{99}$$

$$= 102\,\Omega$$

2.6.3 लैटिस क्षीणकारी

चित्र 2.40 (क) में एक सममित प्रतिरोध लैटिस दिखाया गया है। नेटवर्क की श्रेणी और विकर्ण भुजाओं को अभिलक्षणिक प्रतिबाधा Z_0 और संचरण स्थिरांक γ के द्वारा निर्दिष्ट किया जा सकता है। हम जानते हैं कि सममित नेटवर्क की अभिलक्षणिक प्रतिबाधा, नेटवर्क की खुले पथ और लघु पथ की प्रतिबाधाओं के गुणोत्तर माध्य के बराबर होती है।

खुले और लघु पथ की प्रतिबाधाओं, क्रमशः Z_{oc} और Z_{sc} का परिकलन करने के लिए चित्र 2.40(क) के परिपथ को चित्र 2.40(ख) में पुनः खींचा गया है।



चित्र 2.40 : (क) सममित लैटिस क्षीणकारी (ख) सममित लैटिस क्षीणकारी का पुनः खींचा गया परिपथ।

$$Z_{sc'} = \frac{2R_1 R_2}{R_1 + R_2}$$

$$Z_{oc'} = \frac{R_1 + R_2}{2}$$

अतः $$Z_0 = R_0 = \sqrt{Z_{oc'} Z_{sc'}} = \sqrt{\frac{R_1 + R_2}{2} \times \frac{2R_1 R_2}{R_1 + R_2}}$$

$$= \sqrt{R_1 R_2}$$

चित्र 2.40(ख) में किरशॉफ नियम लागू करने पर हमें मिलता है :

$$V_1 = I_1 R_0 = (I_1 - I) R_1 + I_2 R_0 + (I + I_2) R_1$$

$$I_1 R_0 = R_1 (I_1 + I_2) + I_2 R_0$$

$$I_1(R_0 - R_1) = I_2(R_1 + R_0)$$

$$\therefore \frac{I_1}{I_2} = \frac{R_1 + R_0}{R_0 - R_1} = \frac{1 + R_1/R_0}{1 - R_1/R_0}$$

$$N = e^{\alpha} = \frac{I_1}{I_2} = \left(1 + \frac{R_1}{R_0}\right) \Big/ \left(1 - \frac{R_1}{R_0}\right)$$

$$\therefore e^{\alpha} = \frac{1 + \sqrt{R_1/R_2}}{1 - \sqrt{R_1/R_2}} \qquad \left[R_0 = \sqrt{R_1 R_2} \text{ रखने पर}\right]$$

$\Rightarrow \alpha =$ संचरण स्थिरांक

$$= \log_e \frac{1 + \sqrt{R_1/R_2}}{1 - \sqrt{R_1/R_2}}$$

और $N = \dfrac{1 + \dfrac{R_1}{R_0}}{1 - \dfrac{R_1}{R_0}}$ से

$$R_1 = R_0\left(\frac{N-1}{N+1}\right)$$

और, $$R_2 = R_0\left(\frac{N+1}{N-1}\right)$$

उपरोक्त समीकरणों की लैटिस क्षीणकारी की डिज़ाइन समीकरण कहा जाता है।

उदाहरण 10 : $100\,\Omega$ की अभिलक्षणिक प्रतिबाधा और 20 dB का क्षीणन प्राप्त करने के लिए एक सममित लैटिस क्षीणकारी डिज़ाइन कीजिए।

हल

दिया हुआ है R_0 : $100\,\Omega$ और क्षीणन = 20 dB हम जानते हैं कि

$$N = \text{antilog}\left(\frac{\text{dB}}{20}\right)$$

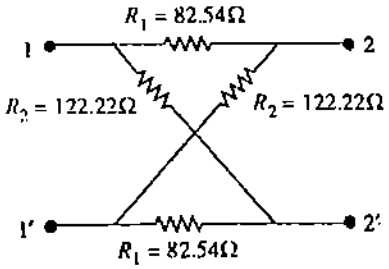
$$= \text{antilog}\left(\frac{20}{20}\right) = 10$$

सममित लैटिस नेटवर्क के डिज़ाइन समीकरण हैं

$$R_1 = R_0\left(\frac{N-1}{N+1}\right) = 100 \times \frac{10-1}{10+1} = \frac{900}{11} = 82.54\,\Omega.$$

$$R_2 = R_0\left(\frac{N+1}{N-1}\right) = 100 \times \frac{11}{9} = \frac{1100}{9} = 122.22\,\Omega.$$

परिणामी लैटिस क्षीणकारी को चित्र 2.41 में दिखाया गया है।



चित्र 2.41 :

बोध प्रश्न 8

20dB का क्षीणन प्राप्त करने और 800 Ω की लाइन में काम करने के लिए एक T- प्रकार का क्षीणकारी डिजाइन कीजिए।

बोध प्रश्न 9

20dB का क्षीणन और 500 Ω की अभिलक्षणिक प्रतिबाधा प्राप्त करने के लिए एवं T- प्रकार का क्षीणकारी डिजाइन कीजिए।

बोध प्रश्न 10

1000 Ω की अभिलक्षणिक प्रतिबाधा और 100 dB का क्षीणन प्राप्त करने के लिए एक सममित लैटिस क्षीणकारी डिजाइन कीजिए।

2.7 सारांश

- जिस आवृत्ति पर अनुनाद होता है, उसे अनुनादी आवृत्ति (resonant frequency) कहा जाता है।
- अनुनादी आवृत्ति पर धारिता प्रतिघात और प्रेरणिक प्रतिघात निम्नलिखित संबंध को संतुष्ट करते हैं :

$$X_L = X_C$$

- RLC श्रेणी परिपथ के लिए बैंड की चौड़ाई $\frac{R}{2\pi L}$ है।
- श्रेणी अनुनादी परिपथ का गुणता कारक (या दक्षतांक) यह होता है :

$$Q = \frac{X_L}{R}$$

- पार्श्व परिपथ का Q - कारक होता है

$$Q = \omega_0 RC$$

- अधिकतम शक्ति स्थानांतरण तब होता है, जब लोड प्रतिबाधा, स्रोत प्रतिबाधा के सम्मिश्र संयुग्मी के बराबर होती है।

  फिल्टरों (पारकों) का वर्गीकरण इस प्रकार किया जा सकता है : निम्न आवृत्ति पारक, उच्च आवृत्ति पारक और बैंड पारक फिल्टर।
- क्षीणकारी एक ऐसा नेटवर्क होता है, जिसका प्रयोग संकेत स्तर को एक दी हुई मात्रा द्वारा कम करने के लिए किया जाता है।

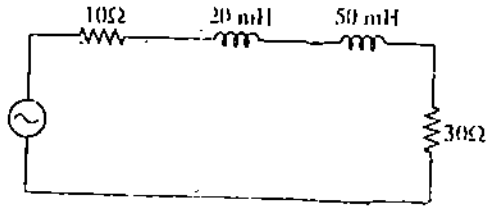
- एक नेटवर्क द्वारा प्रदान किया गया क्षीणन dB में यह होता है।

$$\text{dB में क्षीणन} = 10 \log \left(\frac{P_1}{P_2} \right)$$

जहाँ P_1 निवेश शक्ति है और P_2 निर्गम शक्ति है।

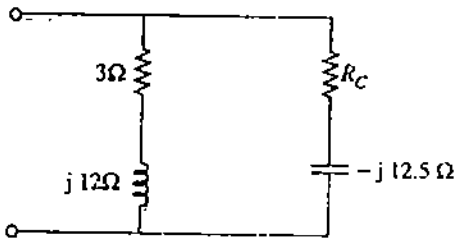
2.8 अंत में कुछ प्रश्न

1. एक संकेत जनित्र चित्र 2.42 में दिखाए गए श्रेणी परिपथ को 30 V, 100 Hz का संकेत प्रदान करता है। दिए हुए परिपथ की प्रतिबाधा, लाइन धारा और कला-कोण ज्ञात कीजिए।



चित्र 2.42

2. चित्र 2.43 में दिखाए गए परिपथ के लिए उस R_C का मान ज्ञात कीजिए जिस पर परिपथ अनुनाद करता हो।



चित्र 2.43

3. T- प्रकार, π - प्रकार और लैटिस क्षीणकारी के डिज़ाइन समीकरण निगमित कीजिए।

4. निगमित कीजिए :

(i) $(Z_0)_{\text{T- नेटवर्क}} = \sqrt{\frac{Z_1^2}{4} + Z_1 Z_2}$

(ii) $(Z_0)_{\text{π - नेटवर्क}} \quad \sqrt{\frac{Z_1 Z_2}{1 + \frac{Z_1}{4 Z_2}}}$

(iii) $\sinh \frac{\gamma}{2} = \sqrt{\frac{Z_1}{4 Z_2}}$

2.9 हल और उत्तर

बोध प्रश्न

1. $V_S = \sqrt{V_R^2 + V_L^2} = \sqrt{(70)^2 + (20)^2} = 72.8\text{V}$

कला-कोण $\theta = \tan^{-1}\left(\frac{V_L}{V_R}\right)$

$= \tan^{-1}\left(\frac{20}{70}\right) = 15.95°$

2. $V_S = \sqrt{V_R^2 + V_C^2} = \sqrt{20^2 + 30^2} = 36\text{V}$

कला-कोण $(\theta) = \tan^{-1}\left(\frac{V_C}{V_R}\right) = \tan^{-1}\left(\frac{30}{20}\right) = 56.3°$

3. $Q = \frac{\omega_0 L}{R}$

$5 = \frac{2\pi \times 500 \times 0.1}{R}$

$\Rightarrow R = 4\pi\,\Omega$

$\omega_0^2 = \frac{1}{LC}$

$C = \frac{1}{L \times \omega_0^2} = \frac{1}{0.1 \times 4\pi^2 \times 500^2}$

$= \frac{1}{100000 \times \pi^2} = 10^{-7}\,\text{F} = 0.1\,\mu\text{F}.$

4. $f_0 = \frac{1}{2\pi\sqrt{LC}} = \frac{1}{2\pi\sqrt{0.2 \times 10 \times 10^{-6}}} = 112.5\text{ Hz}$

$Q = \frac{\omega L}{R} = 2.83$

$f_1 = f_0 - \frac{R}{4\pi L} = 92.6\text{ Hz}$

$f_2 = f_0 + \frac{R}{4\pi L} = 132.39\text{ Hz}$

BW = बैंड की चौड़ाई $f_2 - f_1 = 39.79\text{ Hz}$

5. दिखाए गए परिपथ में प्रतिरोध R_L नियत है। अत: यहाँ अधिकतम शक्ति स्थानांतरण प्रमेय लागू नहीं होता। परिपथ में अधिकतम धारा तब प्रवाहित होती है, जबकि R_S निम्नतम होता है। अधिकतम धारा के लिए

$R_S = 2\,\Omega.$

परिपथ की कुल प्रतिबाधा $Z = R_S - j5 + R_L$

$= 2 - j5 + 20 = 22 - j5$

$= \sqrt{22^2 + 5^2}\, e^{j \tan(-5/22)}$

$= 22.56 \angle -12.8°$

$\therefore = I(t) = \frac{50 \angle 0°}{22.56 \angle -12.8°} = 2.22 \angle 12.8°$

अधिकतम शक्ति = $(2.22)^2 \times 20 = 98.6$W.

6. (क) T - नेटवर्क : $\frac{L}{2} = 40$ mH, $C = 0.5$ μF.

$$K = \sqrt{\frac{L}{C}} = 400\ \Omega$$

$$f_c = \frac{K}{L\pi} = 1591\ \text{Hz} = \frac{1}{\pi KC}$$

(ख) π - नेटवर्क $\frac{C}{2} = 0.5$ μF : $L = 10$mH

$$K = \sqrt{\frac{L}{C}} = 100\ \Omega$$

$$f_c = \frac{K}{L\pi} = \frac{1}{\pi KC} = 3183\ \text{Hz}$$

7. (क) T – नेटवर्क : $2C = 0.2$ μF

$\Rightarrow C = 0.1$ μF, $L = 30$ mH

$$f_c = \frac{1}{4\pi\sqrt{LC}} = \frac{K}{4\pi L}$$

$$= \frac{1}{4\pi\sqrt{0.1 \times 30 \times 10^{-3}}}$$

(ख) π - नेटवर्क : $2L = 100$ mH $\Rightarrow L = 50$ mH

$$C = 4\ \mu\text{F}$$

$$K = \sqrt{\frac{L}{C}} = \sqrt{\frac{50 \times 10^{-3}}{4 \times 10^{-3}}}$$

$$f_c = \frac{1}{4\pi KC}$$

8. $N = \text{antilog}\left(\frac{\text{dB}}{20}\right)$

$= \text{antilog}\left(\frac{20}{20}\right) = 10$

$$R_1 = R_0\frac{(N-1)}{(N+1)} = \frac{800 \times 9}{11} = \frac{7200}{11}\ \Omega.$$

$$R_2 = \frac{2NR_0}{N^2-1} = \frac{2 \times 10 \times 800}{99} = \frac{16000}{99}\ \Omega.$$

9. $N = \text{anti log}\left(\frac{20}{20}\right) = 10$

$$R_1 = \frac{R_0(N^2-1)}{2N} = \frac{500 \times 99}{2 \times 10}$$

$= 2475\ \Omega$

$$R_2 = \frac{R_0(N+1)}{(N-1)} = 500 \times \frac{11}{9} = \frac{5500}{9}\ \Omega.$$

10. $N = \text{anti log}\left(\frac{100}{20}\right) = 10^5$

$$R_1 = \frac{R_0 (N-1)}{(N+1)} = 10^3 \times \frac{10^5 - 1}{10^5 + 1} \simeq 10^3\,\Omega.$$

$$R_2 = \frac{R_0 (N+1)}{N-1} = 10^3 \times \frac{(10^5+1)}{(10^5-1)} \simeq 10^3\,\Omega.$$

अंत में कुछ प्रश्न

1. $Z_{eq} = 40 + j\,43.98$

$$I = \frac{V_s}{Z_t} = \frac{30 \angle 0°}{40 + j\,43.98}$$

$$= 0.56 \angle -47.7°$$

धारा, वोल्टता से 47.7° पीछे है। कला कोण $\theta = 47.7°$

2. $\omega_0 = \frac{1}{\sqrt{LC}} \sqrt{\frac{R_i^2 - (L/C)}{R_i^2 - (L/C)}}$ का प्रयोग कीजिए।

उत्तर : $R_i = 1.77\,\Omega$.

3. (i) पाठ्य सामग्री देखिए

(ii) पाठय सामग्री देखिए

(iii) पाठ्य सामग्री देखिए $\sinh \gamma = \frac{1}{Z_2} \sqrt{Z_1 Z_2 + \frac{Z_1^2}{4}}$

$$\sinh \frac{\gamma}{2} = \sqrt{\frac{(\cosh \gamma - 1)/2}{\left(1 + \frac{Z_1}{2Z_2 - 1}\right)/2}} = \sqrt{\frac{Z_1}{4Z_2}}$$ का प्रयोग कीजिए।

2.10 शब्दावली

अंतक	-	cut off
अनुक्रिया	-	response
अनुनाद	-	resonance
अनुनादी परिपथ	-	resonant circuit
अभिलक्षणिक	-	characteristic
असममित	-	asymmeterical
आदि प्रारूप	-	proto type
कला कोण	-	phase angle
कला विस्थापन	-	phase shift
क्षीणकारी	-	attenuator
क्षीणन	-	attenuation
जलाक्षि	-	mesh
निर्गम	-	out put
निवेश	-	input
लैटिस क्षीणकारी	-	lattice attenuator
सम्मिश्र संयुग्मी	-	complex conjugate
सुमेलन	-	matching

इकाई 3 इलेक्ट्रॉन युक्तियाँ

इकाई की रूपरेखा

3.1 प्रस्तावना
उद्देश्य
3.2 निर्वात नलिका
तापायनिक उत्सर्जन
निर्वात डायोड
निर्वात ट्रायोड
निर्वात टेट्रोड और पेन्टोड
3.3 अर्धचालक पदार्थ
ऊर्जा बैंड आरेख (नैज अर्धचालक)
ऊर्जा बैंड आरेख पर मादन का प्रभाव
अर्धचालकों में आवेश वाहकों का अभिगमन
3.4 p - n संधि डायोड
V - I अभिलक्षणिक (वाह्य वोल्टता के साथ p - n संधि)
अनुप्रयोग (दिष्टकारी, संसूचक और संदर्भ वोल्टता)
3.5 ट्रान्ज़िस्टर
क्रिया और अभिलक्षणिक
क्षेत्र प्रभाव ट्रान्जिस्टर (FET)
MOSFET
3.6 सारांश
3.7 अंत में कुछ प्रश्न
3.8 हल और उत्तर
3.9 शब्दावली

3.1 प्रस्तावना

प्राय: इलेक्ट्रॉनिकी शब्द का अर्थ होता है, निर्वात या ठोसों में इलेक्ट्रॉनों की नियंत्रित गति। बीसवीं शताब्दी के प्रारंभ में निर्वात नलिकाओं में यह नियंत्रित गति प्राप्त कर ली गई थी। इलेक्ट्रॉनिक उपकरणों में इन्हीं निर्वात ट्यूबों का प्रयोग किया जाने लगा और आज भी उच्च शक्ति के लिए इनका प्रयोग किया जा रहा है।

बीसवीं शताब्दी के मध्य तक आते-आते ठोसों में भी इलेक्ट्रॉनों की नियंत्रित गति प्राप्त कर ली गई। इस उपलब्धि के कारण लघु युक्ति (miniature device) और एकीकृत पथों (integrated circuits) के प्रयोग में तीव्र वृद्धि हुई है। साथ ही इन युक्तियों को कम लागत पर प्राप्त किया जा सकता है। इसी कारण से जहाँ पहले निर्वात नलिकाओं से बने कंप्यूटर को रखने के लिए संसद भवन जैसे बड़े भवन की आवश्यकता पड़ती थी, वहीं अब इन युक्तियों के उपलब्ध हो जाने से टेलीविज़न के आकार के कंप्यूटर बनाए जा रहे हैं। ये युक्तियाँ अर्ध-चालकों से बनाई जाती हैं। इनमें से कुछ के बारे में यहाँ जानकारी देना ज़रूरी है।

इस इकाई में हम अर्धचालक पदार्थों और युक्तियों तथा निर्वात नलिकाओं के मौलिक लक्षणों के बारे में चर्चा करेंगे। आपको याद होगा कि अर्धचालक वे पदार्थ होते हैं, जिनकी चालकता विद्युतरोधियों (ऊर्जा अंतराल $\lesssim 2$ e V) और सुचालकों (Cu, Al) के बीच होती है। शुद्ध अर्धचालकों की चालकता में तापमान के साथ चरघातांकीय रूप से वृद्धि होती है। ये पदार्थ सिलिकॉन (Si) या जर्मेनियम (Ge) जैसे तत्व हो सकते हैं, गैलियम आर्सेनाइड (GaAs) जैसे यौगिक और टिन ऑक्साइड (SnO_2) या यिट्रियम बेरियम कॉपर ऑक्साइड

(YBaCuO) जैसे ऑक्साइड हो सकते हैं। अर्ध चालक का अति महत्वपूर्ण गुणधर्म यह है कि अपद्रव्य बढ़ाकर या ऑक्साइडों में ऑक्सीजन तत्वानुपातिकी (stoichiometry) में परिवर्तन करके इनकी चालकता में काफ़ी वृद्धि की जा सकती है। ऑक्सीजन-न्यूनता वाला टिन ऑक्साइड (SnO_2) धात्विक चालकता प्रदर्शित कर सकता है और साथ ही पारदर्शी भी बना रह सकता है। इस प्रकार के चालक ऑक्साइडों को "पारदर्शी चालक" (transparent conductors) कहा जाता है। YBaCuO में ऑक्सीजन की कमी उसे "अतिचालक" बना सकती है। इस प्रकार के ऑक्साइड अतिचालकों के संक्रमण तापमान धात्विक अतिचालकों (superconductors) के तापमान से काफ़ी अधिक होते हैं और इन्हें "उच्च T_c अतिचालक" (High T_c superconductor) कहा जाता है। आपने अर्धचालकों (तात्विक, यौगिक या ऑक्साइड) के महत्व की ओर अवश्य ध्यान दिया होगा जिनकी चालकता को आवश्यकतानुसार सरलता से कम या अधिक किया जा सकता है। इस इकाई में अर्धचालक युक्तियों की भौतिकी को अच्छी तरह से समझने के लिए हम अपनी चर्चा तात्विक अर्धचालकों और उनके मौलिक गुणधर्मों तक ही सीमित रखेंगे। इनमें सबसे अधिक महत्वपूर्ण हैं - वैद्युत गुणधर्म और मादन (doping) द्वारा उनमें परिवर्तन। इसे इनकी ऊर्जा बैंड संरचना से समझा जा सकता है। ऊर्जा बैंडों की विस्तृत व्याख्या ठोस अवस्था भौतिकी के पाठ्यक्रम का एक भाग है। फिर भी इनके मुख्य लक्षणों के बारे में हम अगले भागों में चर्चा करेंगे। क्योंकि डायोड, ट्रान्ज़िस्टर, क्षेत्र प्रभाव ट्रॉन्ज़िस्टर (FET) और धातु ऑक्साइड अर्धचालक क्षेत्र प्रभाव ट्रान्ज़िस्टर (MOSFET) या तो सिलिकॉन के या जर्मेनियम के बने होते हैं, इसलिए सिलिकॉन और जर्मेनियम के कुछ प्राचलों का ज्ञान होना आवश्यक होता है। इनके बारे में जानकारी सारणी 3.1 में दी गई है।

सारणी 3.1

प्राचल	सिलिकॉन	जर्मेनियम
परमाणु क्रमांक	14	32
परमाणुभार	28.08	72.60
घनत्व ($k\ gm^{-3}$)	2.33×10^3	5.33×10^3
गलनांक (°C)	1420	937
परमाणु प्रति एकक आयतन (m^{-3})	5×10^{28}	4.42×10^{28}
सापेक्ष चुंबकशीलता (ϵ_r)	11.8	16
परमाणु-व्यास (nm)	0.235	0.246
ऊर्जा बैंड अंतराल Eg (eV)	1.12	0.66

अगले भागों में आप p – n संधि डायोडों में इन अर्धचालक पदार्थों के अनुप्रयोग और दिष्टकारी (rectifier), संसूचक (detector), वोल्टता संदर्भ (voltage reference) के रूप में इनके प्रयोगों के बारे में पढ़ेंगे। साथ ही संधि ट्रॉन्ज़िस्टर, इनके अभिलक्षणिक, बायसन और विन्यास जिसमें इसका प्रयोग एक एम्प्लीफायर के रूप में किया जा सकता है, क्षेत्र प्रभाव ट्रॉन्ज़िस्टर और MOSFET आदि के बारे में भी अध्ययन करेंगे। इस इकाई में सबसे पहले ऐतिहासिक कारणों से हम आपका परिचय निर्वात् नलिकाओं से कराएंगे। यद्यपि आजकल निर्वात नलिकाओं का बहुत ही सीमित प्रयोग रह गया है, क्योंकि इनके स्थान पर अब अर्धचालक युक्तियों का प्रयोग किया जा रहा है, फिर भी, परा उच्च आवृत्ति प्रवर्धक युक्तियों (ultra high frequency amplifying devices) और उच्च शक्ति (MW) इलेक्ट्रॉनिक अनुप्रयोगों में अभी भी इनका कुछ न कुछ

प्रयोग होता है। इस पाठ्यक्रम के खंड 2 में प्रवर्धक परिपथ, दोलित्र परिपथ और पावर सप्लाई के बारे में विस्तार से चर्चा की जाएगी।

उद्देश्य

इस इकाई को पढ़ने के बाद आप

- तापायनिक उत्सर्जन और निर्वात डायोड, ट्रायोड, टेट्रोड और पेन्टोड की अंतराकाशी आवेश सीमित प्रचालन की संकल्पना और कार्य प्रणाली का वर्णन कर सकेंगे,
- अर्ध-चालक पदार्थ के मौलिक तथ्यों और नैज (intrinsic) तथा वाह्य (extrinsic) स्थिति के लिए इनके ऊर्जा बैंड आरेख की व्याख्या कर सकेंगे,
- अर्ध-चालकों में आवेश वाहकों के अभिगमन के आधारभूत तरीके की व्याख्या कर सकेंगे,
- अर्धचालकों, p - n संधि डायोड और ज़ेनर डायोड के वोल्टता-धारा अभिलक्षणिक बना सकेंगे;
- द्विध्रुवी संधि ट्रान्ज़िस्टर (BJT), क्षेत्र प्रभाव ट्रान्ज़िस्टर (FET) और MOSFET की कार्य-प्रणाली के व्याख्या कर सकेंगे; और
- BJT, FET और MOSFET जैसी युक्तियों के आधारभूत लक्षणों में भेद कर सकेंगे।

3.2 निर्वात नलिका

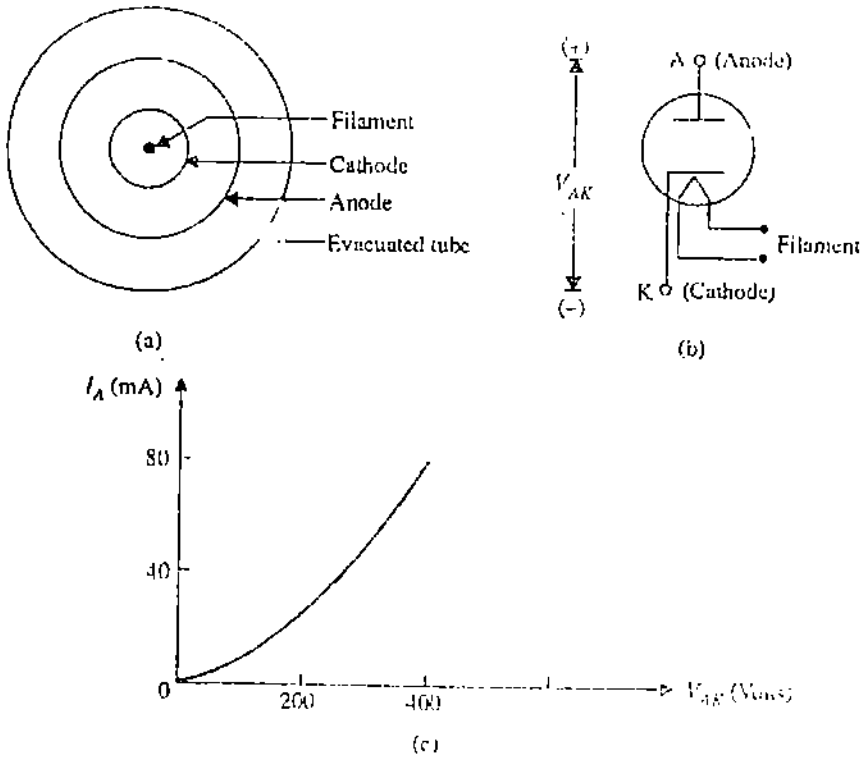
तापायनिक निर्वात नलिका, जिसका आविष्कार 1903 में किया गया था, इलेक्ट्रॉनिक युक्तियों की श्रृंखला में प्रथम युक्ति रही है, जिसने 1948 से तब तक, जब तक कि ट्रॉन्ज़िस्टर का अविष्कार नहीं हो गया, इलेक्ट्रॉनिकी के क्षेत्र में अपना प्रभुत्व बनाए रखा। अब तो निर्वात युक्तियों का प्रयोग केवल परा उच्च आवृत्ति (MHz) और उच्च शक्ति (MW) इलेक्ट्रॉनिक अनुप्रयोगों में काम आने वाली प्रवर्धक युक्तियों तक ही सीमित रह गया है।

3.2.1 तापायनिक उत्सर्जन

इलेक्ट्रॉनिक उत्सर्जन वह प्रक्रम है, जिससे मुक्त इलेक्ट्रॉन धातु की सतह से पलायन करते हैं। प्रत्येक धातु, क्रिस्टल लैटिसों में बद्ध परमाणुओं, परमाणुओं से बद्ध इलेक्ट्रॉनों और मुक्त इलेक्ट्रॉनों से, जो धातु के किसी विशेष स्थान पर बद्ध नहीं होते, बना होता है। मुक्त इलेक्ट्रॉन सदा ही गतिमान रहते हैं और धातु के पूरे भाग में कम या अधिक मुक्त रूप से घूमते रहते है। मुक्त इलेक्ट्रॉन को धातु से पलायन करने के लिए उसे निम्नतम मात्रा में ऊर्जा देनी पड़ती है। परम शून्य तापमान पर आवश्यक ऊर्जा की इस मात्रा को धातु का "कार्य फलन" (work function) कहा जाता है। इसे इलेक्ट्रॉन-वोल्ट (eV) में व्यक्त किया जाता है। तापायनिक उत्सर्जन (thermionic emission) में, इलेक्ट्रॉन तब उत्सर्जित होते हैं, जब धातु को ऊष्मा ऊर्जा प्रदान की जाती है। अल्प कार्य-फलन मान वाली उपयुक्त धातुएं हैं : उच्च वोल्टता (KV) नलिकाओं में टंगस्टन, उच्च शक्ति (MW) नलिकाओं में थोरिएटित टंगस्टन और निम्नशक्ति इलेक्ट्रॉन नलिकाओं में ऑक्साइड लेपित धातु।

3.2.2 निर्वात डायोड

निर्वात डायोड, तापायनिक निर्वात नलिका का सरलतम रूप है, जिसमें फ़िलामेंट से तप्त किया गया एक कैथोड होता है और एक एनोड होता है, जिन्हें निर्वातित कांच या धातु कक्ष में रखा जाता है (कक्ष के अंदर दाब लगभग 10^{-6} Hg या कम होता है)। निर्वात डायोड का आरेख और प्रतीक चित्र 3.1(क) और (ख) में दिखाए गए हैं। इस युक्ति का वोल्ट एम्पीयर अभिलक्षणिक चित्र 3.1(ग) में दिखाया गया है।

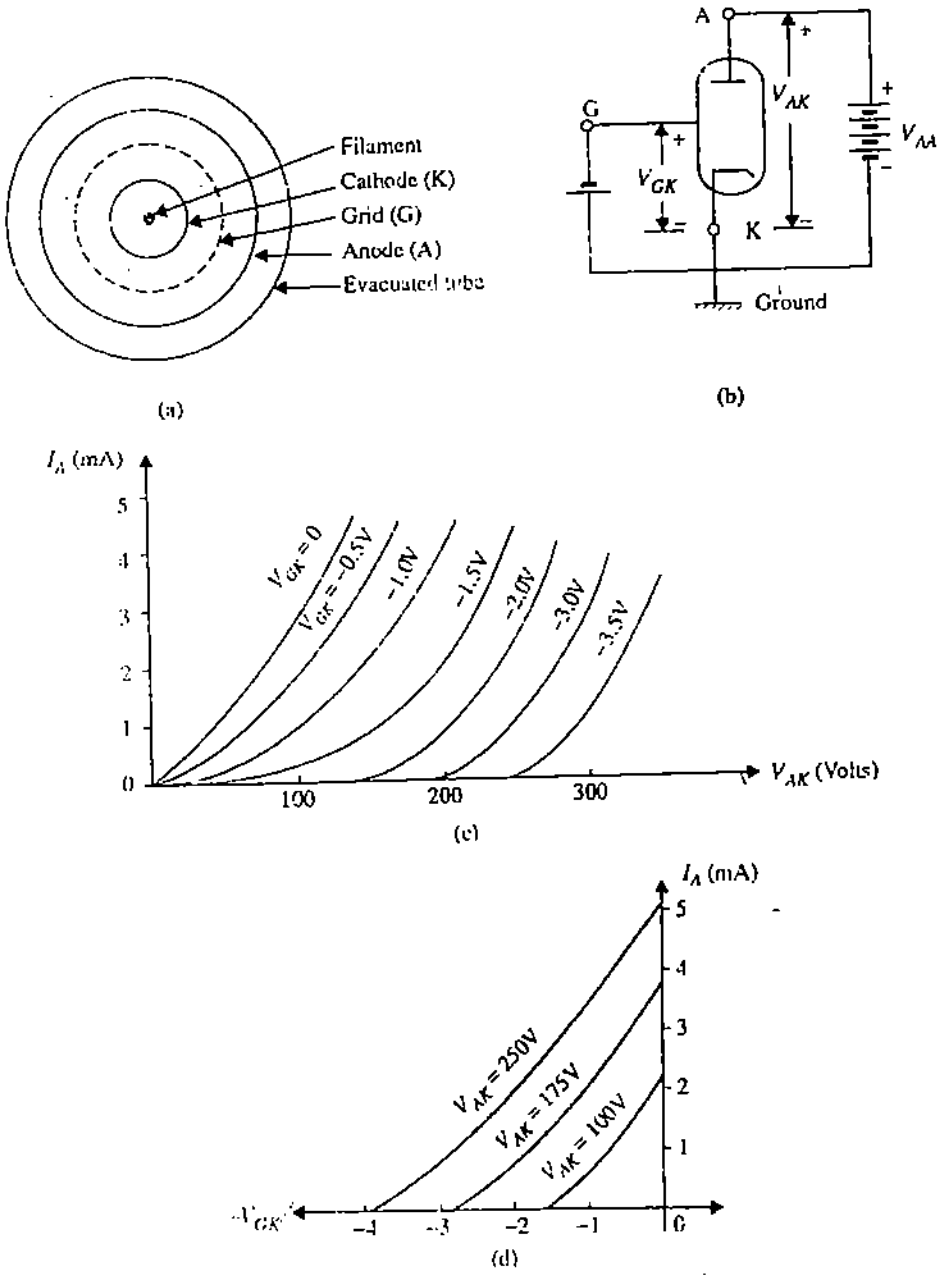


चित्र 3.1 : एक निर्वात डायोड (क) आरेख, (ख) प्रतीक और (ग) वोल्ट-एम्पीयर अभिलक्षणिक।

जब एनोड को कैथोड के सापेक्ष धन विभव पर रखा जाता है, तो तप्त कैथोड से उत्सर्जित इलेक्ट्रॉन एनोड की ओर आकर्षित होते है और इस तरह डायोड में धारा प्रवाहित होने लगती है। वोल्ट-एम्पीयर अभिलक्षणिक को देखने से यह स्पष्ट पता चलता है कि जब एनोड, कैथोड के सापेक्ष धनात्मक होता है, तब यह युक्ति एक दिशा में चालित होती है। शून्य और V_{AK}, जो कि एनोड और कैथोड के बीच की वोल्टता है, के ऋणात्मक मानों पर एनोड धारा शून्य होती है। इस युक्ति से संबंधित एक बड़ी समस्या "अंतराकाशी आवेश सीमित प्रचालन" (space charge limited operation) है। इसकी व्याख्या इस प्रकार की जा सकती है। सभी तापायनिक निर्वात् नलिकाओं में कैथोड का इलेक्ट्रॉन उत्सर्जन उस दर से काफी अधिक होता है, जिस दर पर एनोड द्वारा इलेक्ट्रॉन आकर्षित होते हैं। कैथोड के निकट इलेक्ट्रॉनों के परिणामी मेघ, जिसे ऋणात्मक अंतराकाशी आवेश कहा जाता है, के कारण एनोड धारा, एनोड विभव पर आश्रित हो जाती है और उत्सर्जन-दर से, जो कि कैथोड के तापमान पर निर्भर करती है, स्वतंत्र हो जाती है। इस परिघटना को "अंतराकाशी आवेश सीमित प्रचालन" कहा जाता है। स्पष्ट है कि तृप्त एनोड धारा प्राप्त करने के लिए हमें एनोड और कैथोड के बीच उच्च विभवांतर की आवश्यकता होती है।

3.2.3 निर्वात ट्रायोड

निर्वात ट्रायोड में एक तीसरा इलेक्ट्रोड होता है, जिसे "ग्रिड" कहा जाता है। यह एक जालाक्षि जैसी संरचना होती है जो कि कैथोड के ऋणात्मक अंतराकाशी आवेश प्रदेश के निकट रखी जाती है, जैसा कि चित्र 3.2(क) में दिखाया गया है। अतः एनोड और कैथोड के बीच प्रवाहित धारा का नियंत्रण करने में एनोड की अपेक्षा ग्रिड का अधिक प्रभाव होता है। इसीलिए ग्रिड को "नियंत्रण ग्रिड" कहा जाता है।



चित्र 3.2 : निर्वात ट्रायोड (क) आरेख, (ख) dc बायसन योजना में प्रतीक, (ग) $V_{AK} - I_A$ और (घ) $V_{GK} - I_A$ अभिलक्षणिक।

नियंत्रण ग्रिड (G) और कैथोड (K) के बीच वोल्टता-पात V_{GK} प्राय: कैथोड के सापेक्ष कुछ वोल्ट ऋणात्मक होता है। निर्वात ट्रायोड का प्रतीक चित्र 3.2(ख) में दिखाया गया है। क्योंकि नियंत्रण ग्रिड कैथोड के अधिक निकट होता है, इसलिए नियंत्रण ग्रिड पर लागू की गई थोड़ी सी वोल्टता से एनोड धारा में उतना ही परिवर्तन होता है, जितना कि ट्यूब के एनोड पर बहुत अधिक वोल्टता लागू करने पर होता है। नियंत्रण ग्रिड की यह क्रिया ही ट्रायोड की प्रवर्धक क्रिया की आधार होती है।

ट्रायोड के लिए वोल्ट-एम्पीयर अभिलक्षणिक ज्ञात करने के लिए हमें तीन चर अर्थात् V_{AK}, I_A और V_{GK} लेने होते हैं। सबसे ज्यादा प्रयुक्त होने वाले आरेख हैं : ऐनोड अभिलक्षणिक ($I_A - V_{AK}$) जबकि V_{GK} को अचर रखा गया हो, और स्थानांतरण अभिलक्षणिक ($I_A - V_{GK}$), जबकि V_{AK} को अचर रखा गया हो, जैसा कि चित्र 3.2(ग) और (घ) में दिखाया गया है। अंतक ग्रिड वोल्टता (cut off grid voltage), V_{GK}

का वह मान है, जिस पर V_{AK} के एक दिए हुए मान पर I_A शून्य हो जाती है।

बाह्य वोल्टता स्रोतों और प्रतिरोधकों की सहायता से प्रचालन बिन्दु ज्ञात करके ट्रायोड के लघु सिग्नल प्राचल प्राप्त किए जा सकते हैं। अभिलक्षणिक के रैखिक भाग के निकट एक बायसन बिन्दु Q के आस-पास इनकी प्रवणता (slope) का पता इस प्रकार लगाया जा सकता है :

एनोड या प्लेट प्रतिरोध, $r_p = \left.\frac{\Delta V_{AK}}{\Delta I_A}\right|_{V_{GK} = \text{अचर}}$

अंतरा चालकता (transconductance) $g_m = \left.\frac{\Delta I_A}{\Delta V_{GK}}\right|_{V_{AK} = \text{अचर}}$

प्रवर्धन गुणक (amplifiction factor) $\mu = \left.\frac{\Delta V_{AK}}{\Delta V_{GK}}\right|_{I_A = \text{अचर}}$

स्पष्ट है कि $\mu = r_p \times g_m$ (3.1)

लघु सिग्नल निदर्श

Q - बिन्दु के आस-पास लघु वोल्टता और धारा परिवर्तनों के लिए इन लघु सिग्नल प्राचलों को अचर माना जा सकता है और तब I_A में लघु परिवर्तन को इस प्रकार व्यक्त किया जा सकता है:

$$I_A = f(V_{AK}, V_{GK})$$

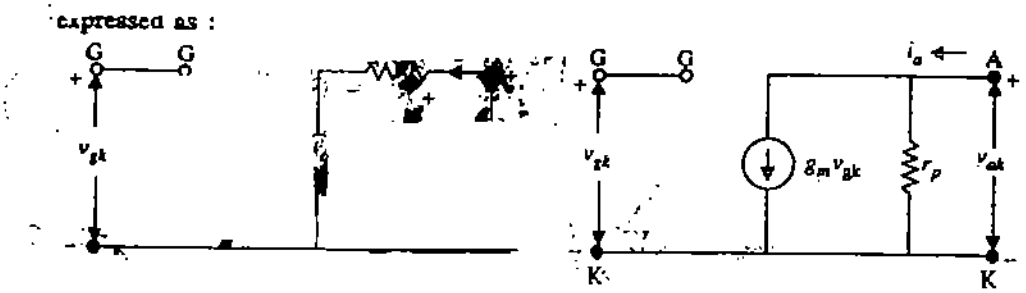
$$\therefore \Delta I_A = \frac{\partial I_A}{\partial V_{GK}} \Delta V_{GK} + \frac{\partial I_A}{\partial V_{AK}} \Delta V_{AK}$$

$$= g_m \Delta V_{GK} + \frac{1}{r_p} \Delta V_{AK}$$

$$\Rightarrow i_a = g_m v_{gk} + \frac{1}{r_p} v_{ak}$$

$$\Rightarrow v_{ak} = i_a r_p - g_m r_p v_{gk} = i_a r_p - \mu v_{gk} \quad (3.2)$$

जहाँ i_a, v_{gk} और v_{ak} परिपथ में धाराओं और वोल्टताओं के परिवर्ती घटकों को निरूपित करते हैं। इस समीकरण के स्थान पर एक परिपथ लिखा जा सकता है, जिसे ट्रायोड का लघु सिग्नल निदर्श कहा जाता है और जिसे चित्र 3.3(क) और (ख) में दिखाया गया है।

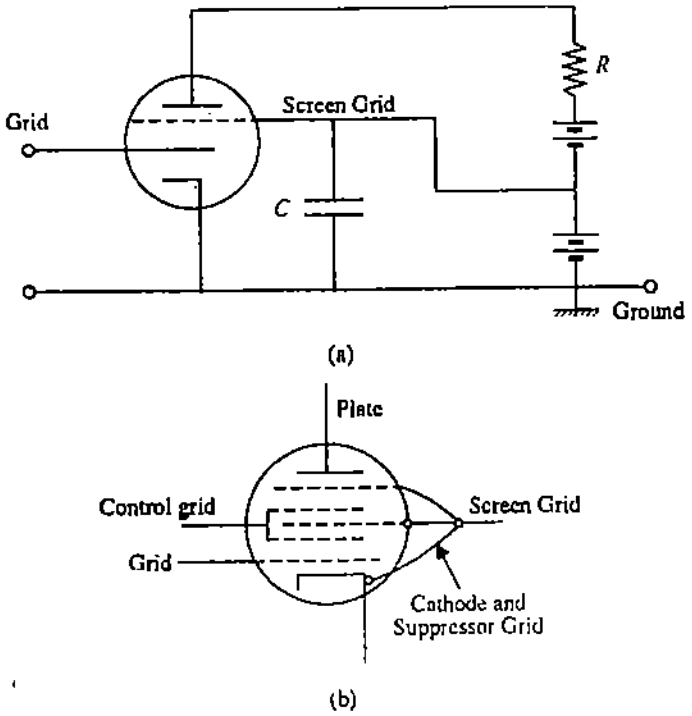


3.2.4 निर्वात टेट्रोड और पेन्टोड

निर्वात टेट्रोड

ट्रायोड से संबंधित मुख्य समस्या उसकी आंतर इलेक्ट्रोड धारिताएँ हैं। ये धारिताएँ ग्रिड और एनोड के बीच की, ग्रिड और कैथोड के बीच की तथा एनोड और कैथोड के बीच की धारिताएँ हैं। उच्च आवृत्तियों पर ये धारिताएँ अधिक प्रभावी हो जाती हैं, जिसके कारण इतनी उच्च आवृत्तियों पर ट्रायोड की क्रिया में अस्थायित्व बना रहता है। इस कमी को दूर करने के लिए इसमें एक नए इलेक्ट्रोड का प्रयोग किया जाता है, जिससे कि हमें एक चार-इलेक्ट्रोड वाली नलिका प्राप्त होती है, जिसे टेट्रोड (tetrode) कहा जाता है। चौथे इलेक्ट्रोड को आवरक ग्रिड (screen grid) कहा जाता है। संरचनात्मक दृष्टि से यह नियंत्रण ग्रिड के समरूप होता है और इसे एनोड और नियंत्रण ग्रिड के बीच रखा जाता है। यह एक नियत धन विभव पर प्रचालित होता है।

आवरण ग्रिड के दो मुख्य कार्य ये हैं : (i) अंतराकाशी आवेश को दूर करके प्लेट धारा में वृद्धि करना, (ii) उच्च आवृत्तियों पर कंट्रोल ग्रिड और एनोड के बीच की धारिता को कम करना। चित्र 3.4 (क) में एक टेट्रोड वाल्व दिखाया गया है।



चित्र 3.4 : (क) उचित बायसन सहित टेट्रोड (ख) पेन्टोड।

निर्वात पेन्टोड

टेट्रोड से संबंधित समस्या यह है कि जब एनोड की अपेक्षा आवरक ग्रिड उच्च विभव पर होता है, तब आवरण ग्रिड से त्वरित, कैथोड के प्राथमिक इलेक्ट्रॉन एनोड से टकराते है। जिसके कारण एनोड से द्वितीयक इलेक्ट्रॉनों (secondary electron) का उत्सर्जन होता है जो कि आवरक ग्रिड से आकर्षित होते हैं, जिससे एक आवरक धारा बनती है, जो प्लेट धारा को कम कर देती है। प्लेट धारा में हो रही कमी को दूर करने के लिए आवरक ग्रिड और एनोड के बीच एक नया इलेक्ट्रोड लगा दिया जाता है। इससे एक पांच-इलेक्ट्रोड संरचना बन जाती है, जिसे पेन्टोड कहा जाता है। इस नए इलेक्ट्रोड को "निरोधक ग्रिड" (suppression grid) कहा जाता है। इसे कैथोड विभव पर रखा जाता है। निरोधक ग्रिड का उद्देश्य टेट्रोड के प्लेट धारा वक्र की नति (dip) को हटा कर एनोड द्वारा उत्सर्जित द्वितीयक इलेक्ट्रोन को पुनः वापिस करना है।
चित्र 3.4(ख) में एक पेन्टोड वाल्व दिखाया गया है।

बोध प्रश्न 1

कुछ तात्विक, यौगिक और ऑक्साइड अर्धचालकों के उदाहरण दीजिए। ऑक्साइड अर्धचालकों की चालकता किस प्रकार परिवर्तित होती है?

बोध प्रश्न 2

कार्य-फलन परिभाषित कीजिए। तापीयनिक उत्सर्जन की व्याख्या कीजिए।

बोध प्रश्न 3

अंतराकाशी आवेश सीमित प्रचालन से आप क्या समझते हैं? निर्वात डायोड के संदर्भ में इसकी व्याख्या कीजिए। ट्रायोड में अंतराकाशी आवेश प्रदेश के प्रतिकूल प्रभाव को किस प्रकार नियंत्रित किया जाता है।

बोध प्रश्न 4

एक निर्वात ट्रायोड का वोल्ट-एम्पीयर अभिलक्षणिक दीजिए और लघु सिग्नल प्राचल दीजिए।

बोध प्रश्न 5

ट्रायोड के लघु सिग्नल निदर्श से आप क्या समझते हैं? एक वोल्टता स्रोत और एक धारा स्रोत के साथ ट्रायोड का लघु सिग्नल निदर्श दीजिए।

बोध प्रश्न 6

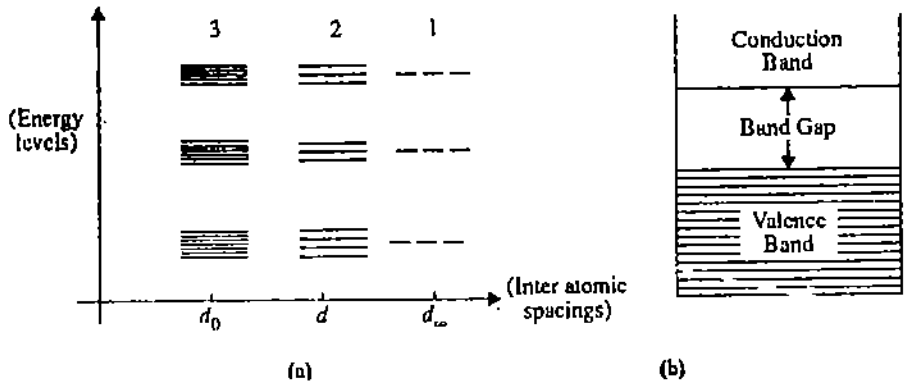
(i) टेट्रोड (ii) पेन्टोड पर टिप्पणी लिखिए।

3.3 अर्धचालक पदार्थ

अर्धचालक शब्द उस ठोस अवस्था पदार्थ को प्रकट करता है, जिसकी प्रतिरोधकता (resistivity) एक विद्युतरोधी पदार्थ की प्रतिरोधकता और एक धातु की प्रतिरोधकता के बीच अर्थात् 10^{4} से 10^{-4} Ω m के परिसर में स्थित होती है। सिलिकॉन, जर्मेनियम और गैलियम आर्सेनाइड ऐसे तीन अर्धचालक हैं, जिनका व्यापक प्रयोग होता है। सिलिकॉन युक्तियों का प्रभुत्व होने के कारण हम अपनी चर्चा इन्ही युक्तियों तक सीमित रखेंगे। अर्धचालक दो प्रकार के हो सकते हैं : नैज (intrinsic) या बाह्य (extrinsic)। नैज अर्धचालक वह अर्धचालक होता है, जो कि शुद्ध होता है और जिसमें समान प्रकार के परमाणु एक परिपूर्ण सहसंयोजक (covalent) चतुष्फलकीय (tetrahedral) क्रिस्टली संरचना में स्थित होते हैं। बाह्य या मादित (doped) अर्धचालक प्राप्त करने के लिए नैज चतुसंयोजक (tetravalent) अर्धचालक में लघु नियंत्रित मात्रा में त्रि-संयोजक (trivalent) (बेरियम, गैलियम या इंडियम) या पांच संयोजक (pentavalent) (फ़ास्फोरस, आर्सेनिक या एन्टिमनी) मादक परमाणु जान-बूझकर मिला दिए जाते हैं। क्योंकि परमाणु मादन (doping) बहुत कम होता है, इसलिए क्रिस्टल की मूलभूत संरचना में कोई परिवर्तन नहीं आता। अधिकांश भौतिक और रासायनिक गुणधर्म अनिवार्य रूप से समान बने रहते हैं और केवल वैद्युत गुणधर्म में काफ़ी बड़ा परिवर्तन आ जाता है।

3.3.1 ऊर्जा बैंड आरेख (नैज अर्धचालक)

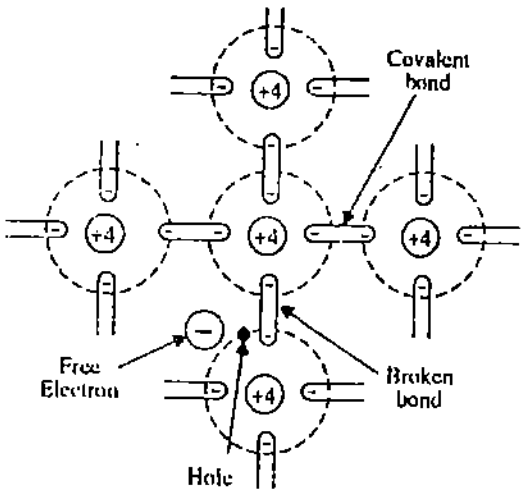
एक ठोस पिंड में काफ़ी मात्रा में परमाणु होते हैं जो कि लघु आंतर-परमाण्विक (interatomic) दूरियों के कारण एक-दूसरे के साथ प्रबल रूप में अन्योन्यक्रिया (interact) करते हैं। एकक परमाणु में तो विविक्त ऊर्जा-स्तर होते हैं। लेकिन ठोस पिंडों में ऊर्जा-बैंडों (energy bands) का एक समूह होता है, जो उनका अभिलक्षणिक भी होता है। प्रत्येक बेंड का मूल एक निश्चित ऊर्जा स्तर होता है, जो कि परमाणुओं के एक-दूसरे के निकट आने पर विदरित (split) होने लगता है। परिणामस्वरूप आंतर-परमाणु अंतराकाश वाले क्रिस्टल में ऊर्जा बैंडों का एक निश्चित विन्यास होता है। बैंड आरेख जिसमें (अनुमत) ऊर्जा बैंड के साथ एकांतरत: ऊर्जा-अंतराल स्थित होता है, जिसे "वर्जित बैंड" (forbidden band) या "बैंड अंतराल" कहा जाता है, को चित्र 3.5(क) में दिखाया गया है।



चित्र 3.5 : ऊर्जा बैंड की रचना (क) 1– किसी एक परमाणु के लिए ऊर्जा स्तर : 2 – ऊर्जा बैंडों का समूह 3 – लगभग सतत ऊर्जा बैंड, (ख) T = 0K पर नैज अर्धचालकों का ऊर्जा बैंड आरेख।

उपरि ऊर्जा बैंड एक चालक बैंड होता है और इसके नीचे का बैंड एक संयोजकता बैंड होता है, जैसा कि चित्र 3.5 (ख) में दिखाया गया है। परम शून्य पर संयोजकता बैंड (valence band) सदा ही इलेक्ट्रॉनों से पूर्णत: भरा होता है, जबकि चालक बैंड लगभग रिक्त रहता है।

सिलिकॉन या जर्मेनियम के परमाणु की संयोजकता चार होती है, क्योंकि उनकी सबसे बाहर वाली कक्षा में चार इलेक्ट्रॉन होते हैं। ऐसे परमाणुओं के सरलीकृत मॉडल में + 4 e आवेश वाला एक क्रोड (core) होता है, जो कि चार संयोजकता इलेक्ट्रॉनों से घिरा होता है। इस विन्यास के एक सरलीकृत द्विविम (two dimensional) रूप में चित्र 3.6 में दिखाया गया है। एक परमाणु विशेष के चारों संयोजकता इलेक्ट्रॉनों में से प्रत्येक इलेक्ट्रॉन चार निकटतम परमाणुओं में से प्रत्येक परमाणु के एक-एक इलेक्ट्रॉन के साथ संबंधित होता है और इस संबंधन से प्रबल सहसंयोजी (covalent) आबंध बनते हैं। जब एक सहसंयोजी आबंध टूटता है, जैसा कि चित्र 3.6 में दिखाया गया है, तो मुक्त हुए इलेक्ट्रॉन अपने पीछे सहसंयोजी आबंध में एक



चित्र 3.6 : तापीय रूप में जनित इलेक्ट्रॉन-रिक्ति युग्म (election –hole pair) के साथ नैज अर्धचालक का सहसंयोजी आबंध मॉडल।

रिक्त स्थान छोड़ जाते हैं। इस स्थिति में भंजित आबंध में धन आवेश का आधिक्य हो जाता है। इस रिक्त स्थिति या अंतराल को "रिक्ति" (hole) कहा जाता है; क्योंकि सहसंयोजी आबंध के भंजन से मुक्त इलेक्ट्रॉन और रिक्ति दोनों ही प्राप्त होते हैं, इसलिए रिक्ति सांद्रण (p) और इलेक्ट्रॉन सांद्रण (n) अवश्य बराबर होंगे और

$$n = p = n_i \tag{3.4}$$

जहाँ n_i आवेश वाहकों के नैज सांद्रण (intrinsic concentration) को निरूपित करता है। इस तरह, तापीय क्षोभ से नए इलेक्ट्रॉन-रिक्ति युग्म बनते हैं। चालन बैंड में इलेक्ट्रॉनों का एक सीमित जीवन-काल होता है और कुछ समय-अंतराल पर वे संयोजकता बैंड में आ जाते हैं। यह एक पुन: संयोजन (recombination) प्रक्रिया (process) होती है, जिसमें उत्तेजन ऊर्जा, ऊष्मा ऊर्जा के रूप में प्रकट होती है। इलेक्ट्रॉनों और रिक्तियों के जीवन-काल τ_n और τ_p बहुत ही महत्वपूर्ण प्राचल हैं क्योंकि ये उस समय के द्योतक हैं, जो अधिक्य (excess) इलेक्ट्रॉन और सांद्रण अपने साम्य मानों (equilibrium values) पर लौटने के लिए लेते हैं। नैज सांद्रण n_i तापमान के प्रति काफ़ी संवेदी होता है और इसका मान होता है :

$$n_i = A_0 T^{3/2} \exp\left(\frac{-q E_g}{2KT}\right) \tag{3.5}$$

जहाँ A_0 और E_g पदार्थ-स्थिरांक हैं, K - बोल्ट्समान स्थिरांक है और $T(K)$ में तापमान है। पद $\frac{KT}{q}$ का प्रयोग प्राय: अर्धचालक भौतिकी में होता है और सामान्यत: इसे प्रतीक V_T (तापीय वोल्टता) से प्रकट किया जाता है।

$$V_T = \frac{KT}{q} = \frac{T}{11{,}600} \approx 25 \text{ mV}, \; T = 300 \text{ K पर}$$

स्पष्ट है कि इलेक्ट्रॉन और रिक्ति दोनों का अर्धचालक के चालन प्रक्रम में योगदान होता है। लेकिन रिक्ति की गतिशीलता μ_p सदा ही इलेक्ट्रॉन की गतिशीलता से कम ($\approx$ 3 गुना कम) होती है। क्यों चालकता (σ) का व्यंजक होता है

$$\sigma = q\,(n\,\mu_n + p\,\mu_p) \tag{3.6}$$

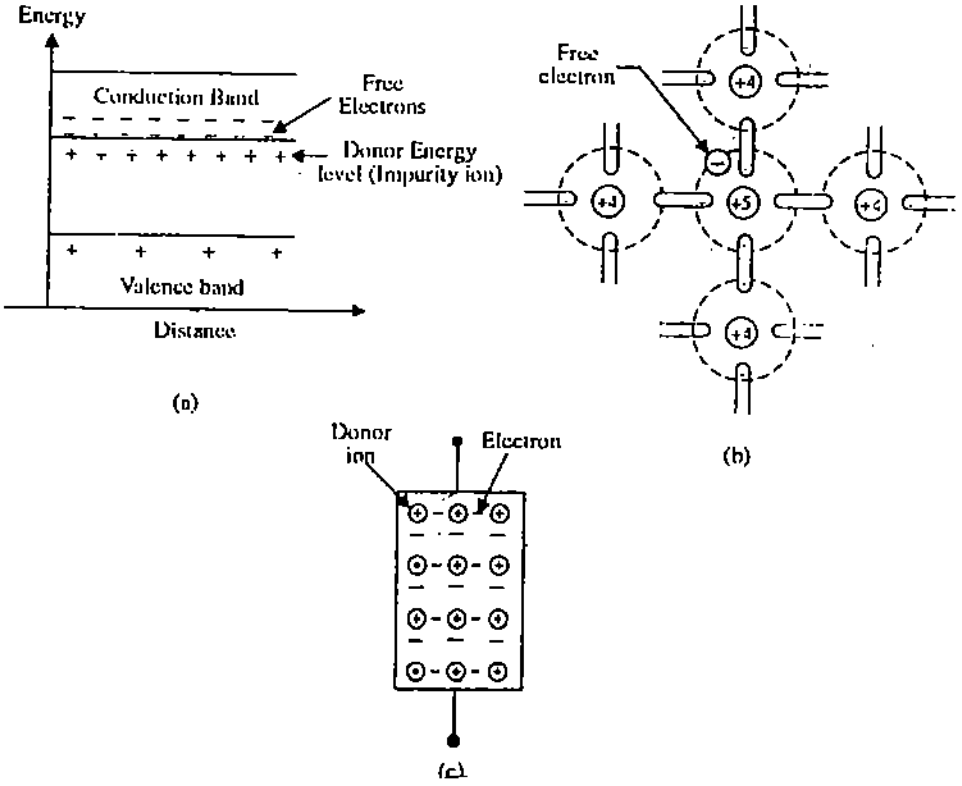
नैज अर्धचालक में $n = p = n_i$

3.3.2 ऊर्जा बैंड आरेख पर मादन का प्रभाव

जैसा कि पहले के उपभाग में बताया जा चुका है, एक नैज अर्धचालक (Si या Ge) में अल्प और नियंत्रित मात्रा में त्रि-संयोजी (p - प्रकार के अर्धचालक के लिए) या पंचसंयोजी (n - प्रकार के अर्धचालक के लिए) मादन परमाणुओं को जानबूझकर मिलाने से मादित अर्धचालक बनता है। इन्हें बाह्य अर्धचालक भी कहा जा सकता है।

n-प्रकार का अर्धचालक

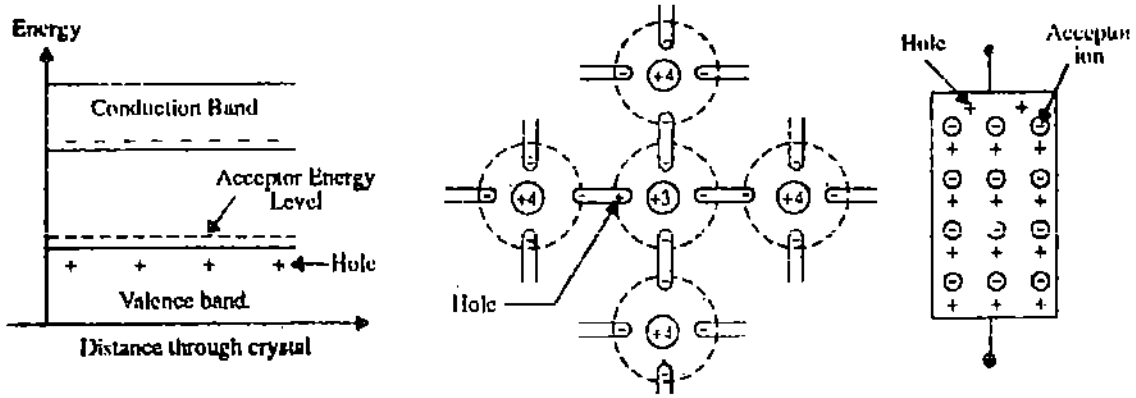
मान लीजिए कि शुद्ध सिलिकॉन में लघु मात्रा में पंच-संयोजी तत्व मिलाया गया है। इससे प्राप्त ऊर्जा बैंड मॉडल और द्विविम आबंध संरचनाओं को क्रमश: चित्र 3.7 (क) और (ख) में दिखाया गया है। पंच-संयोजी मादन परमाणु को + 5e आवेश वाले एक ऑयन से, जो पांच संयोजकता इलेक्ट्रॉनों से घिरा हुआ है, निरूपित किया जाता है। अपद्रव्य (impurity) परमाणु के पांच संयोजकता इलेक्ट्रॉनों में से चार इलेक्ट्रॉन पड़ोसी सिलिकॉन परमाणुओं के साथ सहसंयोजी आबंध बनाते हैं। अपद्रव्य परमाणु का पाँचवा इलेक्ट्रॉन केवल स्थिरवैद्युत बल के कारण मूल परमाणु के साथ ढीले रूप में बंधा होता (loosely bound) है। इसी कारण बहुत ही थोड़ी तापीय ऊर्जा (Ge के लिए 0.01 eV और Si के लिए 0.05 eV) देने पर यह अतिरिक्त इलेक्ट्रॉन निम्न तापमानों पर भी चालन के लिए मुक्त हो जाता है। अपद्रव्य परमाणु को दाता परमाणु (donor atom) कहा जाता है, क्योंकि वह क्रिस्टल को एक इलेक्ट्रॉन प्रदान करता है। दाता परमाणु चालन बैंड के अति निकट एक ऊर्जा-स्तर ग्रहण करता है, जैसा कि चित्र 3.7 (क) में दिखाया गया है। चित्र 3.7 (ग) में दिखाए गए आवेश मॉडल में, केवल स्थिर धनात्मक आयनीकृत अपद्रव्य परमाणु दिखाए गए हैं और उनके साथ वे मुक्त आवेश वाहक (इलेक्ट्रॉन) भी दिखाए गए हैं, जिन्हें उन्होंने दान किया है। सिलिकॉन परमाणुओं और सापेक्षत: लघु संख्या में जनित इलेक्ट्रॉन-रिक्ति युग्मों को सरलता के लिए छोड़ दिया गया है।



चित्र 3.7 : *n* - प्रकार के अर्धचालकों का द्विविम मॉडल : (क) ऊर्जा-बैंड, (ख) आबंध मॉडल (ग) आवेश मॉडल।

p-प्रकार का अर्धचालक

मान लीजिए कि थोड़ी मात्रा में एक त्रि-संयोजी तत्व को शुद्ध सिलिकॉन में मिलाया गया है। परिणामी ऊर्जा बैंड मॉडल और द्विविम आबंध संरचना को क्रमश: चित्र 3.8(क) और (ख) में दिखाया गया है। त्रि-संयोजी मादन को + 3e के आवेश वाले एक ऑयन से जो कि त्रि-संयोजी इलेक्ट्रॉनों से घिरा होता है, निरूपित किया जाता है। यहाँ ये इलेक्ट्रॉन तीन पड़ोसी सिलिकॉन परमाणुओं के साथ सह-संयोजी आबंध बनाते हैं। चौथे आबंध में एक रिक्ति हो जाती है, जैसा चित्र 3.8 (ख) में दिखाया गया है। यहाँ इस बात की संभावना बनी रहती है कि पड़ोसी परमाणु से एक संयोजकता इलेक्ट्रॉन कूद कर इस रिक्ति में आ सकता है। यही कारण है कि मादन परमाणु को "ग्राही अपद्रव्य" (acceptor impurity) कहा जाता है, क्योंकि यह एक इलेक्ट्रॉन को ग्रहण करता है। ऋणात्मक ग्राही आयन संयोजकता बैंड के निकट ऊर्जा स्तर में रहता है, जैसा कि चित्र 3.8(क) में दिखाया गया है। अब रिक्ति केवल स्थिर वैद्युत बल के कारण मूल अपद्रव्य परमाणु से बद्ध होती है,



चित्र 3.8 : *p*-प्रकार के अर्धचालक का द्विविम मॉडल : (क) बैंड संरचना (ख) आबंध मॉडल, (ग) आवेश मॉडल।

जिसे Ge के लिए 0.01 eV की और सिलिकॉन के लिए 0.05 eV की तापीय उत्तेजन ऊर्जा से सरलता से दूर किया जा सकता है। इस तरह, निम्न तापमानों पर भी अशुद्धव्य परमाणु आयनीकृत हो जाता है और परिणामी रिक्ति चालन में भाग लेने के लिए मुक्त हो जाती है। चित्र 3.8(ग) में दिखाए गए आवेश मॉडल में रिक्ति के साथ केवल अगतिशील ऋणात्मक आवेशित अपद्रव्य परमाणु दिखाए गए हैं।

द्रव्यमान अनुपाती अभिक्रिया नियम (Law of mass action)

n-प्रकार के (*p*-प्रकार के) अर्धचालकों में रिक्तियों (इलेक्ट्रॉनों) की संख्या उस संख्या से कम हो जाती है, जो कि नैज अर्धचालक में उपलब्ध होती है। ऐसा इसलिए होता है, क्योंकि वृहत् संख्या में मुक्त इलेक्ट्रॉनों (रिक्तियों) के होने के कारण पुनः संयोजन-दर में वृद्धि हो जाती है। साथ ही द्रव्यमान अनुपाती अभिक्रिया नियम के अनुसार, तापीय साम्यावस्था में किसी भी अर्धचालक के लिए यह होता है :

$$np \simeq n_i^2 \tag{3.7}$$

इस तरह, नैज अर्धचालक के मादन से अधिकांश वाहकों अर्थात् *n*-प्रकार (*p*-प्रकार) अर्धचालक में इलेक्ट्रॉनों (रिक्तियों) की संख्या में वृद्धि हो जाती है जबकि अल्प वाहकों (minority carriers) अर्थात् *n*-प्रकार के (*p*-प्रकार) अर्धचालक में रिक्तियों (इलेक्ट्रॉनों) की संख्या कम हो जाती है। मादित अर्धचालकों की चालकता के लिए केवल प्रभावी अधिसंख्यक वाहकों पर विचार करने की आवश्कता होती है।

चालकता (Conductivitty)

(i) *n*-प्रकार के अर्धचालक के लिए : $\sigma_n = q\, n_n\, \mu_n$ (3.8)

(ii) *p*-प्रकार के अर्धचालक के लिए : $\sigma_p = q\, p_p\, \mu_p$ (3.9)

3.3.3 अर्धचालकों में आवेश वाहकों का अभिगमन

सामान्यतः निम्नलिखित तीन प्रक्रमों से आवेश वाहक अभिगमन (transport) होता है :

(i) तापमान प्रवणता (temperature gradient)

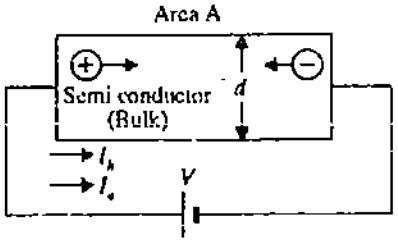
(ii) वैद्युत विभव प्रवणता (potential gradient) के कारण अपवाह

(iii) सांद्रण प्रवणता (concentration gradient) के कारण विसरण।

क्योंकि अधिकांश अर्धचालक युक्तियों का निर्माण अचर तापमान पर काम करने के लिए किया जाता है, इसलिए तापमान प्रवणता के कारण आवेश अभिगमन पर चर्चा करना युक्ति संगत नहीं है। यहाँ हम अपनी चर्चा अर्धचालकों में आवेश अभिगमन के अन्य दो तरीकों अर्थात् अपवाह (drift) और विसरण (diffusion) पर ही केन्द्रित रखेंगे।

निम्न क्षेत्रों (low field) के अधीन आवेश वाहकों का अपवाह

मान लीजिए क्षेत्रफल A और मोटाई d वाले अर्धचालक के एक ब्लॉक पर, जैसा कि चित्र 3.9 में दिखाया गया है, वोल्टता V लगाई जाती है। वेग v_{dc} से इलेक्ट्रॉन का अपवाह होता है और रिक्ति का विपरीत दिशा में वेग v_{dh} से अपवाह होता है। क्योंकि रिक्ति धन आवेश ले जाती है और इलेक्ट्रॉन ऋण आवेश ले जाता है, इसलिए दोनों वाहकों से प्रवाहित हो रही धारा समान दिशा में होगी। अतः धारा I को हम इस प्रकार व्यक्त कर सकते हैं :



चित्र 3.9 : एक अर्धचालक में आवेश वाहकों का अपवाह।

$$I = \frac{V}{R} = q\,(nv_{dc} + pv_{dh})\,A.$$

$$J = \text{धारा घनत्व} = \frac{I}{A} = q\,(nv_{dc} + pv_{dh}) = \sigma E$$

जहाँ E विद्युत क्षेत्र है और σ, वैद्युत चालकता है।

$$\Rightarrow \sigma = q\left(\frac{nv_{dc}}{E} + \frac{pv_{dh}}{E}\right) = q\,(n\mu_{dc} + p\mu_{dh}) \qquad (3.10)$$

जहाँ μ_{dc} और μ_{dh} इलेक्ट्रॉन और रिक्ति की अपवाह गतिशीलताएँ हैं। आपको याद होगा कि परिभाषा से, गतिशीलता (mobility), वेग प्रति एकक वैद्युत क्षेत्र के बराबर होती है।

उच्च क्षेत्र चालन

उच्च क्षेत्र चालन को दो प्रदेशों में विभाजित किया जा सकता है :

(i) अपवाह वेग (drift velocity) की संतृप्ति अर्थात् धारा, वोल्टता से (अर्थात् वैद्युत क्षेत्र से) स्वतंत्र हो जाती है।

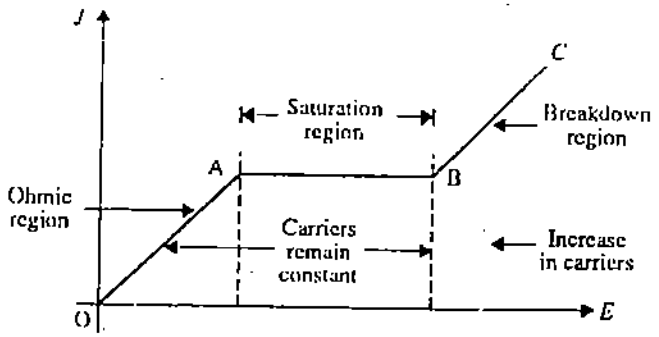
(ii) भंजन (break down) जब वोल्टता के साथ धारा में अचानक वृद्धि हो जाती है।

अपवाह वेग की संतृप्ति

हम जानते हैं कि धातुओं में अपवाह वेग v_d सदा ही इलेक्ट्रॉन के तापीय वेग $\left(v_{th} = \sqrt{\frac{3KT}{m_e}}\right)$ से काफ़ी कम होता है : कमरे के तापमान पर अर्थात् 300 K पर मुक्त इलेक्ट्रॉनों के लिए $v_{th} = 1 \times 10^7$ cm/s. परन्तु, नैज अर्धचालकों में, उच्च प्रतिरोध होने के कारण उन पर उच्च वैद्युत क्षेत्र लागू किया जा सकता है। इस तरह, अपवाह वेग तापीय वेग के निकट आ सकता है। जब यह स्थिति आ जाती है, तब गतिशीलता क्षेत्र पर आश्रित हो जाती है क्योंकि तब प्रकीर्णन प्रक्रियाएँ भी होने लगती हैं। उच्च वैद्युत क्षेत्र के साथ गतिशीलता में कमी आने के कारण अपवाह वेग की संतृप्ति हो जाती है। सिलिकॉन के लिए हम यह देख सकते हैं कि विद्युत क्षेत्र $E \simeq 1 \times 10^4$ Vcm^{-1} के लिए $\mu_e = 1500$ cm^2/v–s, $v_d = 1 \times 10^7$ cm/s. प्रतिरूपी तौर पर, विद्युत क्षेत्र का मान 10 kV cm^{-1} से अधिक होने पर धारा, वोल्टता से स्वतंत्र हो जाती है। उच्च विद्युत-क्षेत्र पर अपवाह वेग की संतृप्ति की संकल्पना का अर्धचालक युक्तियों के $I - V$ अभिलक्षणिक को समझने में काफ़ी महत्व होता है।

अति उच्च विद्युत-क्षेत्रों पर भंजन

क्योंकि अपवाह वेग (v_d) औसत वेग होता है, इसलिए कुछ इलेक्ट्रॉनों का वेग औसत वेग v_d से अधिक हो सकता है। अत: जब किसी अर्धचालक में विद्युत-क्षेत्र एक निश्चित मान से अधिक हो जाता है, तब कुछ वाहकों में पर्याप्त ऊर्जा आ जाती है जिससे कि संघट्ट आयनीकरण (impact ionisation) से ये इलेक्ट्रॉन-रिक्ति युग्मों को उत्तेजित कर सकती है। संघट्ट आयनीकरण से जनित इन अतिरिक्त इलेक्ट्रॉनों और रिक्तियों के कारण धारा में अचानक वृद्धि आ जाती है और भंजन की क्रांतिक वोल्टता (critical voltage) से अधिक वोल्टता हो जाने पर धारा में बहुत तेजी के साथ वृद्धि होती है। विद्युत-क्षेत्र के एक फलन के रूप में धारा घनत्व का आरेख चित्र 3.10 में दिखाया गया है। निम्न क्षेत्रों में आम-प्रदेश (OA) होता है, जो कि अपवाह वेग के संतृप्त होने पर संतृप्ति प्रदेश AB में परिवर्तित हो जाता है। OA और AB प्रदेश में वाहक सांद्रण (carrier concentration) अचर होता है और धारा घनत्व में परिवर्तन केवल विद्युत-क्षेत्र के साथ अपवाह वेग में हो रहे परिवर्तन के कारण होता है। लेकिन प्रदेश AB में, जो कि भंजन प्रदेश है, धारा में हुई अचानक वृद्धि, वाहकों की संख्या में वृद्धि होने के कारण होती है।



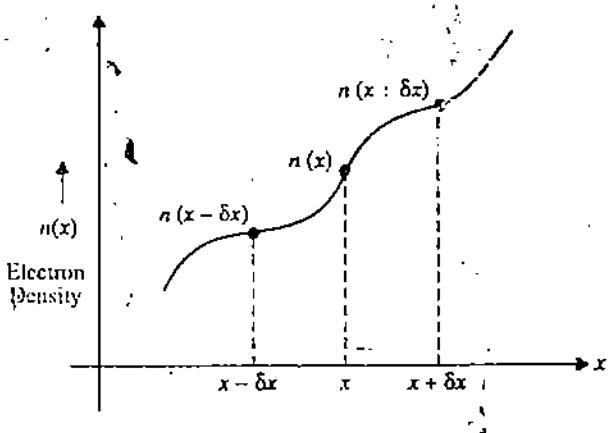
चित्र 3.10 : विद्युत-क्षेत्र के फलन के रूप में धारा-घनत्व का परिवर्तन।

सांद्रण प्रवणता के कारण वाहकों का विसरण

विसरण क्रियाविधि में सांद्रण प्रवणता (concentration gradient) के कारण वाहकों का अभिगमन होता है। जब अर्धचालक में किसी स्थान पर आवेशों का सांद्रण अन्य स्थानों के सांद्रण से अधिक होता है, तब उच्च सांद्रण वाले प्रदेश से वाहक निम्न सांद्रण वाले प्रदेश में जाने लगते हैं। यह परिघटना इलेक्ट्रॉनों और रिक्तियों की गति तक ही सीमित नहीं होती, अपितु यह एक व्यापक परिघटना है और आगे पढ़कर हम यह देखेंगे कि इसका प्रयोग अर्धचालक में अपद्रव्यों का मादन करने में किया जाता है।

मान लीजिए दूरी x के एक फलन के रूप में वाहक सांद्रण का परिवर्तन $n(x)$ चित्र 3.11 में दिखाए गए आरेख से दिया जाता है। हम δx को माध्य मुक्त पथ (mean free path, एक-दूसरे से टकराने के पहले इलेक्ट्रॉनों द्वारा तय की गई औसत दूरी) और τ को उत्तरोत्तर संघट्टनों के बीच का समय अंतराल मान लेते है। तापीय वेग (v_{th}) को हम इस प्रकार लिख सकते है:

$$v_{th} = \frac{\delta x}{\tau}$$



चित्र 3.11 : दूरी के फलन के रूप में इलेक्ट्रॉन घनत्व का परिवर्तन।

समतल के बिन्दु x पर बायीं से दायीं ओर जा रहे आवेश वाहकों के प्रति एकक क्षेत्रफल प्रवाह की औसत दर F_x को इस प्रकार लिखा जा सकता है:

$$F_x = \frac{1}{\tau}\left[\frac{\{n\ (x - \delta x) + n(x)\}}{2}\right] v_{th}$$

यहाँ गुणनखंड 1/2 का प्रयोग इसलिए किया गया है, क्योंकि आधे वाहक दायीं ओर गतिमान होंगे और आवेश वाहकों की औसत संख्या x और $x - \delta x$ पर वाहकों के घनत्व की आधी होती है।

$n(x - \delta x)$ का टेलर-प्रसार लेकर यानी $n(x - \delta x) = n(x) - \frac{\partial n}{\partial x}\delta x + ...$

और इसमें उच्च घात वाले पदों की उपेक्षा करने और ऊपर दिए गए व्यंजक में प्रतिस्थापित करने पर हमें मिलता है

$$F_x = \frac{1}{2}\left[\frac{n(x)}{2} - \frac{1}{2}\frac{\partial n}{\partial x}\delta x + \frac{n(x)}{2}\right] v_{th}$$

$$= \frac{1}{2}\left[n(x) - \frac{1}{2}\frac{\partial n}{\partial x}\delta x\right] v_{th}$$

इसी प्रकार अंतराफलक (interface) पर दायीं से बायीं ओर, जैसा कि चित्र 3.11 में दिखाया गया है, प्रति एकक क्षेत्रफल में जा रहे आवेश वाहक F_x' को इस प्रकार व्यक्त किया जा सकता है :

$$F_x' = \frac{1}{2}\left[n(x) + \frac{1}{2}\frac{\partial n}{\partial x}\delta x\right] v_{th}$$

प्रति एकक समय में प्रति एकक क्षेत्रफल में बायीं से दायीं ओर आवेश वाहकों का नेट प्रवाह F_x और F_x' का अंतर लेकर प्राप्त किया जा सकता है और यह निम्नलिखित हो सकता है :

$$F = F_x - F_x' = -\frac{1}{2}\delta x\, v_{th}\left(\frac{\partial n}{\partial x}\right)$$

ऊपर के समीकरण में गुणनखंड $\frac{1}{2}$ को सरल करने की दृष्टि से लिया गया है। यदि हम यह मान लें कि x और $x - \delta x$ के बीच औसत घनत्व $n(x - \delta x)$ है और x और $x + \delta x$ के बीच औसत घनत्व $n(x + \delta x)$ है, तो अंतिम व्यंजक में गुणनखंड 1/2 नहीं होगा। अब हम आवेश वाहकों की "विसरणशीलता" (diffusivity) या विसरणांक D ($cm^2\ s^{-1}$) की परिभाषा इस प्रकार देते हैं :

$$D = \frac{1}{2}\delta x\, v_{th} \simeq \delta x\, v_{th} \text{ (लगभग)} \qquad (3.11)$$

अतः प्रति एकक समय में प्रति एकक क्षेत्रफल में बायीं से दायीं ओर गतिमान आवेश वाहकों की संख्या को इस तरह लिया जा सकता है

$$F = -D\left(\frac{\partial n}{\partial x}\right) \qquad (3.12)$$

धारा घनत्व $J = q\,F$,

जहाँ q वाहक का आवेश है, जो इलेक्ट्रॉनों के लिए ऋणात्मक और रिक्तियों के लिए धनात्मक होता है। सरल एक-विम स्थिति में, इलेक्ट्रॉनों और रिक्तियों से उत्पन्न विसरण धारा को इस तरह लिखा जा सकता है :

$$J_e\ (\text{diff.}) = q\,D_n\left(\frac{\partial n}{\partial x}\right) \qquad (3.13)$$

$$J_h\ (\text{diff.}) = -q\,D_h\left(\frac{\partial p}{\partial x}\right) \qquad (3.14)$$

विसरणांक D और गतिशीलता के बीच के संबंध को आइन्स्टाइन-संबंध कहा जाता है और आवेश वाहकों को एक मुक्त गैस अणुओं की तरह व्यवहार करते हुए मानकर इस संबंध को व्युत्पन्न किया जा सकता है। आइन्स्टाइन संबंध होता है :

$$\frac{D}{\mu} = \frac{KT}{q} \qquad (3.15)$$

व्यापक स्थिति

व्यापक स्थिति में जबकि सांद्रण प्रवणता (concentration gradient) और विद्युत-क्षेत्र E दोनों ही उपस्थिति हों, प्रत्येक प्रकार के वाहक द्वारा ले जाई गई धारा यह होती है

$$J_e = J_e \text{ (अपवाह)} + J_e \text{ (विसरण)} \qquad (3.16)$$
$$= q\mu_e nE + q D_e \left(\frac{\partial n}{\partial x}\right)$$

$$J_h = J_h \text{ (अपवाह)} + J_h \text{ (विसरण)} \qquad (3.17)$$
$$= q\mu_h pE - q D_h \left(\frac{\partial p}{\partial x}\right)$$

कुल धारा घनत्व $J = J_e + J_h$ (3.18)

बोध प्रश्न 7

नैज और बाह्य अर्धचालकों में ऊर्जा-बैंड की रचना की व्याख्या कीजिए। आपको क्या अंतर दिखाई पड़ता है।

बोध प्रश्न 8

द्रव्यमान अनुपाती अभिक्रिया नियम से आप क्या समझते हैं?

बोध प्रश्न 9

तापमान के साथ नैज वाहक सांद्रण के परिवर्तन की व्याख्या कीजिए।

बोध प्रश्न 10

अर्धचालकों में आवेश वाहकों के अभिगमन की प्रक्रिया की व्याख्या कीजिए।

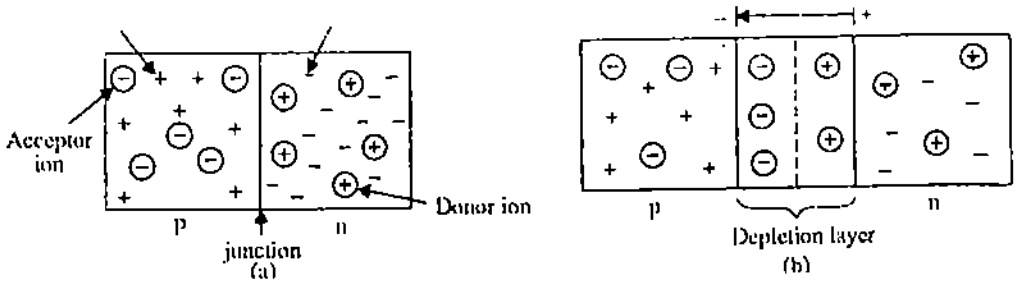
बोध प्रश्न 11

विद्युत क्षेत्र के साथ जबकि यह निम्न, उच्च और अति उच्च हो, धारा घनत्व के परिवर्तन की व्याख्या कीजिए।

3.4 *p-n* संधि डायोड

जैसा कि आप पिछले भाग में पढ़ चुके हैं एक बाह्य अर्धचालक में धारा का प्रवाह दो क्रियाविधियों अर्थात् अपवाह और विसरण के कारण होता है। वाहकों की अपवाह गति विभव-प्रवणता के कारण होती है जबकि विसरण वाहक सांद्रण प्रवणता के कारण होता है। अपवाह धारा विद्युत-क्षेत्र की प्रबलता और वाहक सांद्रण के समानुपाती होती है जबकि विसरण धारा केवल सांद्रण प्रवणता के समानुपाती होती है। अल्पसंख्यक वाहकों के लिए विसरण एक महत्वपूर्ण अभिगमन प्रक्रिया है, क्योंकि इनकी सांद्रण प्रवणता अति प्रवण (steep) होती है। अधिसंख्यक वाहकों का योगदान मुख्यत: अपवाह धारा में होता है, क्योंकि इनका सांद्रण अधिक होता है। अपनी प्रकृति के कारण अपवाह की तुलना में विसरण एक अपेक्षाकृत मंद अभिगमन क्रियाविधि होती है।

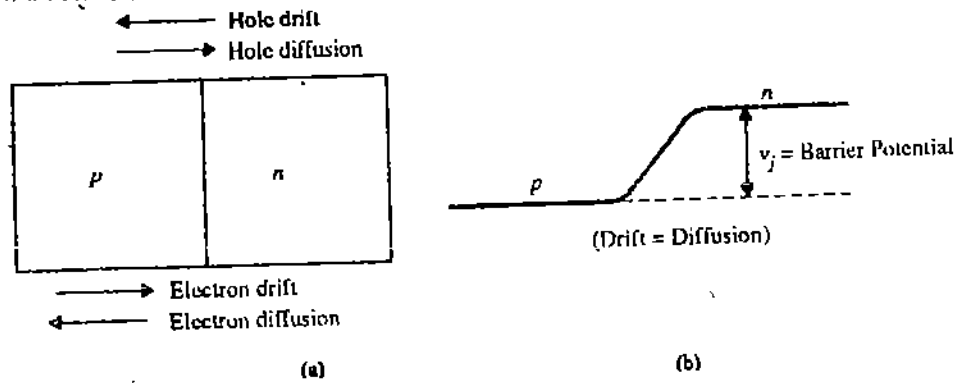
यदि हम एक *n*-प्रकार का अर्धचालक प्रतिदर्श लें और उसमें *p*-प्रकार के अपद्रव्य विसरित कर दें, तो एक *p-n* संधि की रचना हो जाती है, जैसा कि चित्र 3.12 (क) में दिखाया गया है, जिसमें केवल अधिसंख्यक वाहक और अपद्रव्य आयन *n* और *p* पक्षों में दिखाए गए हैं।



चित्र 3.12 : *p-n* संधि की रचना (क) वाहक वंटन (ख) आवेश अवक्षय स्तर की रचना।

यहाँ बात अवश्य है कि *n*-और *p*-दोनों ही पक्षों में अल्पसंख्यक वाहक भी होते हैं। जब सांद्रण-प्रवणता के कारण संधि की रचना हो जाती है, तो *p*-पक्ष की रिक्तियाँ, *n*-पक्ष में विसरित हो जाती हैं और मुक्त इलेक्ट्रॉनों के साथ पुन: संयोजित हो जाती हैं। गतिशील वाहकों का इस प्रकार का विनिमय मुख्यत: संधि के आस-पास के एक संकीर्ण प्रदेश में होता है। इस प्रदेश को "अवक्षय स्तर" (depletion layer) या "अंतराकाशी आवेश स्तर" (space-charge layer) कहा जाता है, क्योंकि इस क्षेत्र में मुक्त आवेश नहीं रह जाते और वे अपने पीछे अ-उदासीकृत (un–neutralize) स्थिर आयन छोड़ जाते हैं, जिन्हें अंतराकाशी आवेश कहा जाता है (ऐसा *n*-पक्ष में धन ऑयन और *p*-पक्ष में ऋण ऑयन के कारण होता है)। इस प्रकार के अंतराकाशी आवेश से अवक्षय प्रदेश में एक विद्युत-क्षेत्र उत्पन्न हो जाता है और साथ ही *p-n* संधि पर एक विभवांतर, जिसे संधि रोधक विभव (junction barrier potential) कहा जाता है, विकसित हो जाता है। इससे *n*-पक्ष के सापेक्ष *p*-पक्ष ऋणात्मक हो जाता है। इस रोधक-विभव को वोल्टतामापी से नहीं मापा जा सकता। इस विभव रोधक की ध्रुवता ऐसी होती है कि यह *n* से *p* प्रदेश में इलेक्ट्रॉनों के और *p* से *n* प्रदेश में रिक्तियों के विसरण का विरोध करता है। लेकिन यह रोधक अल्पसंख्यक वाहकों की गति में सहायता प्रदान करता है अर्थात् *n*-पक्ष की रिक्तियाँ *p*-पक्ष में जा सकती हैं और *p*-पक्ष के इलेक्ट्रॉन *n*-पक्ष में जा सकते हैं। इस अल्पसंख्यक वाहक अपवाह धारा का परिमाण केवल अल्पसंख्यक वाहकों की उपलब्ध संख्या पर निर्भर करता है और रोधक विभव के मान से लगभग स्वतंत्र होता है। अत: रोधक विभव में वृद्धि होने पर विसरण धारा में तब तक कमी आती जाती है, जब तक कि तापीय साम्यावस्था नहीं आ जाती अर्थात् जब तक कि अपवाह धारा विसरण धारा के बराबर नहीं हो जाती और संधि पर नेट धारा शून्य नहीं हो जाती। रोधक-विभव अपने अपरिवर्ती अवस्था मान तक पहुंच जाता है और फिर उसके बाद उसमें कोई भी वृद्धि नहीं होती, जैसा कि चित्र 3.13(क) और (ख) में दिखाया गया है। यहाँ आप इस बात की ओर ध्यान दें कि साधारण रूप से मादित Si, *p-n* संधि का रोधक-विभव 1V के लगभग होता है और रोधक की चौड़ाई 1μm की कोटि की होती है। परिणाम यह होता है कि विद्युत-क्षेत्र का मान लगभग 10^6 Vcm^{-1} होता है। और संधि रोधक से होकर आने वाले वाहक जो अपवाह धारा बनाते हैं संतृप्ति अवस्था में होते हैं। अत: *p-n* संधि डायोड में अपवाह धारा तब तक वोल्टता से स्वतंत्र होती है, जब तक भंजक अवस्था न आ जाए।

जैसा कि पहले बताया जा चुका है, संधि पर एक बैटरी से दी गई बाह्य वोल्टता कभी भी रोधक वोल्टता से अधिक नहीं हो सकती, क्योंकि रोधक की चौड़ाई शून्य नहीं की जा सकती। अग्र बायस में रोधक की चौड़ाई कम होती जाती है और रोधक-विभव भी कम होता जाता है। जिससे कि अपवाह धारा अभी भी उच्च क्षेत्र के अधीन होता है।

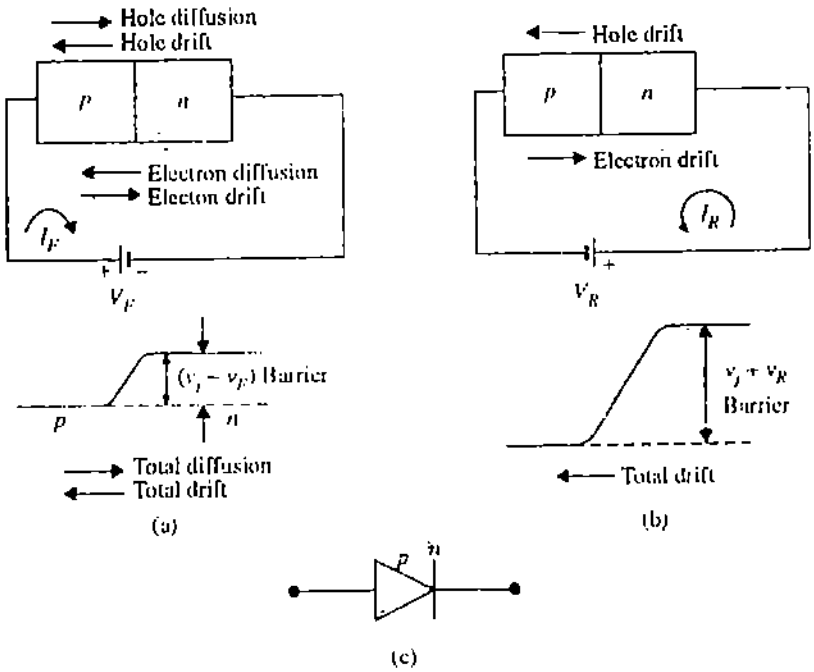


चित्र 3.13 : (क) *p-n* संधि पर विभव (ख) रोधक - विभव।

3.4.1 V – I अभिलक्षणिक (बाह्य वोल्टता के साथ *p–n* संधि)

चित्र 3.14 (क) में एक बाह्य बैटरी के साथ एक *p-n* संधि को दिखाया गया है जिसमें बैटरी का धन टर्मिनल *p*-पक्ष से और ऋण टर्मिनल *n*-पक्ष से जुड़ा हुआ है। इस तरह का संबंधन रोधक की ऊँचाई को कम करने में सहायक होता है, क्योंकि बाह्य बैटरी आंतरिक रोधक विभव का विरोध करती है। अत: इस स्थिति में विसरण-धारा में वृद्धि होती है, जबकि अल्पसंख्यक वाहक अपवाह धारा अप्रभावित बनी रहती है। ऊपर बताई गई विधि से संबंधित *p-n* संधि को अग्रदिशिक बायसित (forward–biased) कहा जाता है क्योंकि यह अग्र दिशा में, जो विसरण धारा की दिशा मान ली गई होती है, दृहत् मात्रा में धारा चालित करती है। अग्रदिशिक धारा प्रवाह में संधि एक निम्न प्रतिवाधा प्रस्तुत करती है।

इसके विपरीत यदि बैटरी की ध्रुवता उलट दी जाए, जैसा कि चित्र 3.14 (ख) में दिखाया गया है, तो रोधक की ऊँचाई बढ़ जाती है। अत: अधिसंख्यक वाहक विसरित नहीं हो सकते और अल्पसंख्यक वाहक अपवाह अप्रभावित बना रहता है। ऐसी स्थिति में *p-n* संधि को पश्चदिशिक बायसित (reversed biased) और अल्पसंख्यक वाहक अपवाह धारा को उत्क्रम संतृप्ति धारा (reverse saturation current) कहा जाता है। पश्चदिशिक बायसित संधि उत्क्रम दिशा में, जो कि अल्पसंख्यक वाहकों की धारा की दिशा मान ली जाती है, अधिक धारा चालित नहीं करती।



चित्र 3.14 : (क) अग्रदिशिक – बायसित *p-n* संधि; (ख) पश्चदिशिक – बायसित *p-n* संधि; (ग) *p-n* संधि डायोड का प्रतीक।

p-n संधि डायोड का धारा वोल्टता (*V–I*) अभिलक्षिक प्राप्त करने के लिए हम निम्नलिखित बातों पर विचार करते हैं :

(i) **अग्र बायस** : जैसा कि हम पढ़ चुके हैं कि अग्र दिशिक धारा मुख्यत: अधिसंख्यक वाहकों की विसरण धारा के कारण होती है और यह निम्नलिखित होती है :

$$I_F \propto \exp\left(\frac{qV}{KT}\right)$$

$$\therefore I_F = I_S \exp\left(\frac{qV}{KT}\right)$$

जहाँ I_S पश्चदिशिक संतृप्ति धारा है।

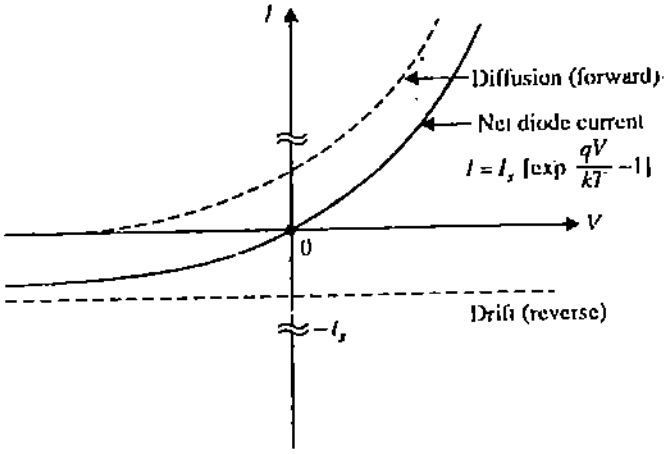
(ii) **पश्चदिशिक बायस :** पश्चदिशिक बायसित प्रतिबंध के अधीन अल्पसंख्यक वाहकों के अपवाह से ही धारा निर्धारित होती है। यह विपरीत दिशा में होती है और इसका एक नियत मान $-I_S$ होता है अर्थात्

$$I_R = -I_S$$

दोनों को संयोजित करने पर निम्नलिखित $I-V$ अभिलक्षणिक समीकरण प्राप्त होता है :

$$I = I_S \left[\exp\left(\frac{qV}{KT}\right) - 1\right]$$

चित्र 3.15 में यह अभिलक्षणिक दिया गया है।



चित्र 3.15 : एक *p-n* संधि डायोड का $I-V$ अभिलक्षणिक।

3.4.2 अनुप्रयोग (दिष्टकारी, संसूचक और संदर्भ वोल्टता)

युक्तियों के अनुप्रयोग के संबंध में हमारी अभिरुचि भिन्न-भिन्न अनुप्रयोगों के लिए $V-I$ अभिलक्षणिक का प्रयोग करने में होती है। इसमें इस बात की चिन्ता नहीं की जाती कि इस प्रकार का अभिलक्षणिक क्यों है हालांकि इसमें सदा ही भौतिकीविदों की दिलचस्पी रही है और इसी के कारण विभिन्न नई युक्तियों का आविष्कार किया गया है। इंजीनियर युक्तियों के दैनिक अनुप्रयोग में इनका पूरा सदुपयोग करते रहे हैं। किसी भी युक्ति संबंधी विनिर्देश, उसके निर्माता सदा ही युक्ति के साथ दे देते हैं। उदाहरण के लिए

(क) IN 40001 एक *p-n* संधि डायोड है, जिसके लिए $V_0 = 1.0V$ और $I_{max} = 1$ mA है।

(ख) BC - 108 एक *n-p-n* सिलिकॉन ट्रॉन्ज़िस्टर है। इसके विनिर्देश ये हैं : $I_{cmax} = 100$ mA ;

$I_{c\,max} = 2$ mA पर $h_{FE} = 100 - 900$;

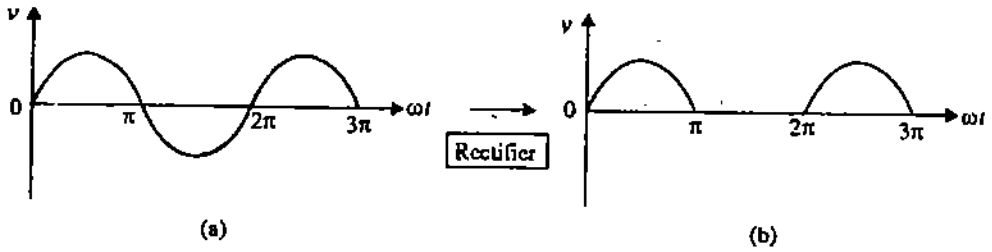
P_{tot}/MW = 360, $V_{CEO\ max}$/V = 20,

$V_{EBO\ max}$/V = 5, F_T/ MHZ = 250.

(i) दिष्टकारी

सबसे पहले हम यह मानकर चलेंगे कि इस परिपथ में प्रयुक्त किया गया डायोड एक आदर्श डायोड है अर्थात् यह केवल अग्र दिशा में चालित होता है और पश्च दिशा में चालित नहीं होता और यह भी मान लिया गया है कि डायोड द्वारा उत्पन्न अग्र प्रतिबाधा शून्य है।

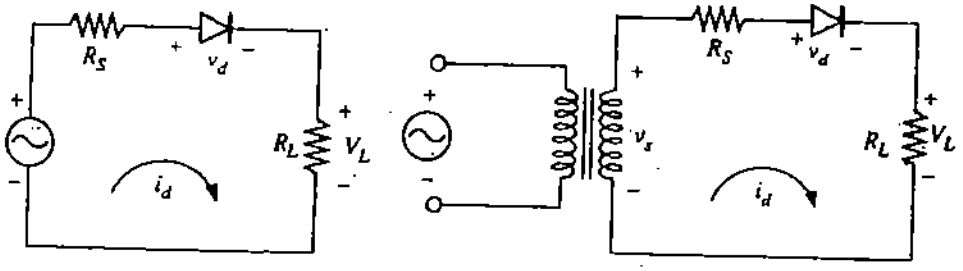
दिष्टकारी परिपथ वह परिपथ होता है, जो ए सी तरंग रूप को एकदिशिक और स्पंदी तरंग रूप में रूपांतरित कर देता है, जैसा कि चित्र 3.16 में दिखाया गया है।



चित्र 3.16 : ए सी का एकदिशिक स्पंदी तरंग रूप में स्थानांतरण।

चित्र 3.17 में प्रतिरोधी लोड के साथ एक अर्ध तरंग दिष्टकारी परिपथ दिखाया गया है। वोल्टता स्रोत $V_S = V_m \sin \omega t$ है।

मान लीजिए R_S स्रोत प्रतिरोध है। जब उपयुक्त वोल्टता की सप्लाई (क्योंकि डायोड केवल कुछ वोल्टता ही सहन कर सकता है) उपलब्ध न हो, तो एक अपचायी ट्रॉसफ़ॉर्मर (stepdown transformer) का प्रयोग किया जा सकता है और ऐसी स्थिति में V_S ट्रॉसफ़ॉर्मर की द्वितीयक वोल्टता होगी।



चित्र 3.17 : अर्ध तरंग दिष्टकारी परिपथ।

V_S के धनात्मक अर्ध चक्र ($0 \le \omega t \le \pi$) में यह दिए हुए डायोड को अग्र बायसित कर देता है और धन दिशा में एक धारा उत्पन्न कर देता है। स्पष्ट है कि

$$i_d = \frac{V_S}{R_S + R_L} = \frac{V_m \sin \omega t}{R_S + R_L} \quad \text{जहाँ} \quad 0 \le \omega t \le \pi$$

$$= I_m \sin \omega t \quad \text{जहाँ} \quad I_m = \frac{V_m}{R_S + R_L}$$

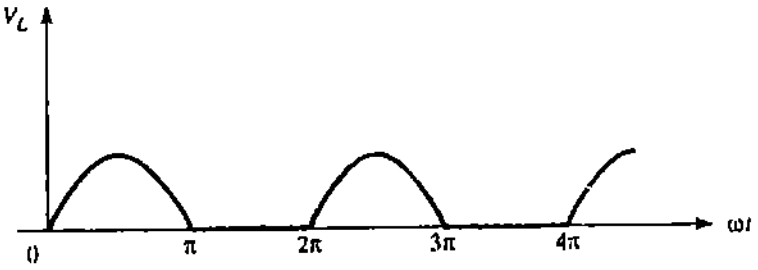
ऋणात्मक अर्ध चक्र ($\pi \le \omega t \le 2\pi$) में डायोड पश्चदिशिक बायसित हो जाता है और परिपथ में कोई धारा प्रवाहित नहीं होती, क्योंकि डायोड अति उच्च प्रतिबाधा प्रस्तुत करता है अर्थात् यह खुले परिपथ (अनंत प्रतिबाधा) की तरह काम करता है। अत:

$$i_d = 0, \text{ जहाँ } \pi \le \omega t \le 2\pi$$

और $V_L = i_d R_L = \frac{V_m R_L}{(R_S + R_L)} \sin \omega t$ जहाँ $0 \le \omega t \le \pi$

$$= 0, \text{ जहाँ } \pi \le \omega t \le 2\pi$$

चित्र 3.18 में लोड वोल्टता तरंग रूप दिखाया गया है जो कि आवर्ती होता है और जिसमें दिष्टकृत एकांतर अर्ध चक्र होते हैं।



चित्र 3.18 : निर्गत वोल्टता का तरंग रूप।

क्योंकि यह आवर्ती, परिमित और सतत तरंग रूप है, इसलिए इसे निम्नलिखित फूरिए श्रेणी से निरूपित किया जा सकता है:

$$V_L = V_m \left[\frac{1}{\pi} + \frac{1}{2} \sin \omega t - \frac{2}{\pi} \sum_{k=1}^{\infty} \frac{\cos 2k\omega t}{(2k+1)(2k-1)} \right]$$

ऊपर के व्यंजक से यह स्पष्ट है कि लोड वोल्टता V_L में एक dc घटक $\left(= \frac{V_m}{\pi}\right)$ और ज्यावक्रीय घटक होते हैं। इन ज्यावक्रीय घटकों में बिजली की सप्लाई की मूल आवृत्ति ω, और ω की गुणावृत्ति (harmomics) होती है। इस तरह, निर्गम में वे आवृत्तियाँ होती हैं, जो निवेश वोल्टता में नहीं होती। ऐसा डायोड की अरैखिकता के कारण होता है।

अर्ध तरंग दिष्टकारी परिपथ के निर्गम में ए सी घटक का निर्धारण करने के लिए जिस प्राचल का प्रयोग किया जाता है, उसे "ऊर्मिका गुणक" (ripple factor) कहा जाता है और उसकी परिभाषा इस प्रकार दी जाती है:

$$\text{ऊर्मिका गुणक } (\gamma) = \frac{\text{लोड वोल्टता के ए सी घटक का rms मान}}{\text{लोड वोल्टता का डी सी घटक}}$$

यदि सिग्नल में एक से अधिक आवृत्ति घटक हो, तो कुल सिग्नल के rms मान का विभिन्न आवृत्ति घटकों के rms मानों के साथ निम्नलिखित संबंध होता है

$$V_{rms} = \sqrt{V_1^2{}_{rms} + V_2^2{}_{rms} + \ldots}$$

जहाँ V_{1rms}, V_{2rms} आदि प्रत्येक आवृत्ति घटक के rms मान हैं। अर्ध तरंग दिष्टकारी के ए सी घटक में मूल आवृत्ति और उसकी गुणावृत्ति (harmomics) भी होती है।

$$V_{L\,rms}^2 = (V_{L\,ac\,rms})^2 + (V_{Ldc})^2$$

$$\Rightarrow (V_{Lacrms})^2 = (V_{Lrms})^2 - (V_{Ldc})^2$$

$$\gamma = \text{ऊर्मिका गुणक} = \frac{(V_{Lacrms})}{(V_{Ldc})} = \sqrt{\frac{(V_{Lrms})^2 - (V_{Ldc})^2}{(V_{Ldc})^2}}$$

$$\gamma = \sqrt{\left(\frac{V_{Lrms}}{V_{Ldc}}\right)^2 - 1} = \sqrt{\left(\frac{I_{Lrms}}{I_{Ldc}}\right)^2 - 1}$$

$$(I_{Lrms})_{\text{अर्ध तरंग}} = \sqrt{\frac{1}{2\pi} \int_0^{\pi} I_m^2 \sin^2 \omega t \, d(\omega t)}$$

$$= \frac{I_m}{2}$$

और $I_{L\,dc} = \frac{I_m}{\pi}$ [क्योंकि $V_{Ldc} = \frac{I_m}{\pi}$ जैसा कि लोड वोल्टता के फूरिए प्रसार को देखने से पता चलता है।]

$$\therefore \gamma = \sqrt{\frac{\left(\frac{I_m}{2}\right)^2}{\left(\frac{I_m}{\pi}\right)^2} - 1} = \sqrt{\frac{\pi^2}{4} - 1} = 1.21$$

रूप गुणक (Form factor F) : इसे लोड वोल्टता के rms मान और dc घटक के अनुपात से परिभाषित किया जाता है।

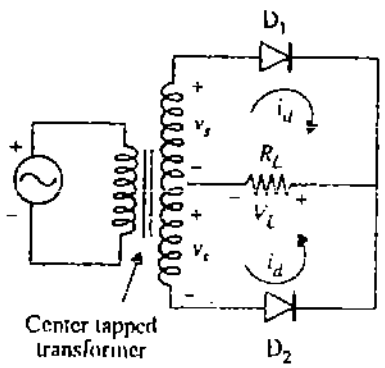
$$\text{रूप गुणक } (F) = \frac{V_{L\,rms}}{V_{Ldc}} = \frac{I_{L\,rms}}{I_{Ldc}}$$

$$= \frac{I_m/2}{I_m/\pi} = \frac{\pi}{2} = 1.57$$

स्पष्ट है कि 'γ' (ऊर्मिका गुणक) $= \sqrt{F^2 - 1}$

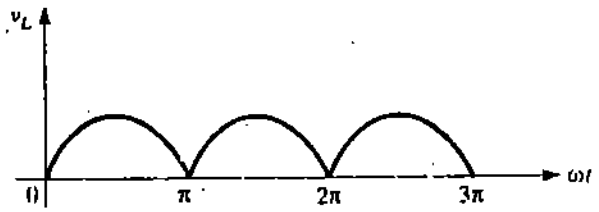
प्रतीप शिखर वोल्टता (Peak inverse voltage–PIV) : ऋणात्मक अर्ध चक्र के दौरान, जब $V_L = 0$ और डायोड एक खुले परिपथ की तरह काम करता है, तब डायोड पर ऋणात्मक प्रतीप वोल्टता आ जाती है और अधिकतम प्रतीप वोल्टता को "प्रतीप शिखर वोल्टता" (PIV) $= V_m$ कहा जाता है। यह दिष्टकारियों का एक महत्वपूर्ण प्राचल है।

पूर्ण तरंग दिष्टकारी : अर्ध तरंग दिष्टकारी के निर्गत में डी सी की अपेक्षा ए सी काफी अधिक होती है। ऐसा इसलिए है, क्योंकि दिष्टकृत निर्गत में केवल एकांतर अर्ध ज्यावक्र (alternate half sinusoids) होते हैं। यदि हम निविष्ट ज्या तरंग (sine wave) के धनात्मक और ऋणात्मक दोनों ही अर्ध चक्रों का दिष्टकरण कर सकें, तो हम डी सी घटक को दोगुना कर सकते हैं और ए सी ऊर्मिका को कम कर सकते हैं। इस उद्देश्य की प्राप्ति के लिए हमें एक ही लोड से जुड़े दो अर्ध तरंग दिष्टकारियों का प्रयोग करना होता है, जिनमें से एक दिष्टकारी धनात्मक अर्ध चक्र का दिष्टकरण करता है और दूसरा दिष्टकारी ऋणात्मक अर्ध चक्र का दिष्टकरण करता है। इस प्रकार के पूर्ण-तरंग दिष्टकारी परिपथ में दो डायोडों का प्रयोग करना होता है, जिनका भरण एक मध्य-निष्कासी ट्रांसफॉर्मर (centre tapped transformer) से किया जाता है, जैसा कि चित्र 3.19 में दिखाया गया है।



चित्र 3.19 : पूर्ण तरंग दिष्टकारी परिपथ।

धनात्मक अर्ध चक्र ($\theta \le \omega t \le \pi$) में डायोड D_1 अग्रदिशिक बायसित रूप में काम करता है और D_2 काम ही नहीं करता, क्योंकि यह पश्चदिशिक बायसित होता है। परन्तु ऋणात्मक अर्ध चक्र ($\pi \le \omega t \le 2\pi$) में D_1 खुला परिपथ होता है, क्योंकि यह पश्चदिशिक बायसित होता है। और D_2 काम करता है, क्योंकि यह अग्रदिशिक बायसित होता है। दोनों चक्रों से समान ध्रुवता के साथ लोड R_L पर वोल्टता अर्थात् V_L उपलब्ध होती है। निर्गत तरंग रूप को चित्र 3.20 में दिखाया गया है।



चित्र 3.20 : पूर्ण तरंग दिष्टकारी में निर्गत वोल्टता का तरंग रूप।

लोड वोल्टता का फूरिए श्रेणी में प्रसार किया जा सकता है

$$V_L = V_m\left[\frac{2}{\pi} - \frac{4}{\pi}\sum_{k=1}^{\infty}\frac{\cos 2k\omega t}{(2k+1)(2k-1)}\right]$$

स्पष्ट है कि लोड वोल्टता में $\frac{2V_m}{\pi}$ का डी सी घटक होता है जो कि अर्ध तरंग दिष्टकारी का दोगुना होता है और ज्यावक्रीय घटकों (sinusoidal components) का एक समुच्चय होता है, जो कि मूल आवृत्ति ω के सम गुणज (even multiple) होते हैं।

यहाँ $V_{Ldc} = \frac{2V_m}{\pi} \Rightarrow I_{Ldc} = \frac{2I_m}{\pi}$

और $V_{L,rms} = \frac{V_m}{\sqrt{2}}$ (क्योंकि इसमें दोनों चक्र निहित हैं)

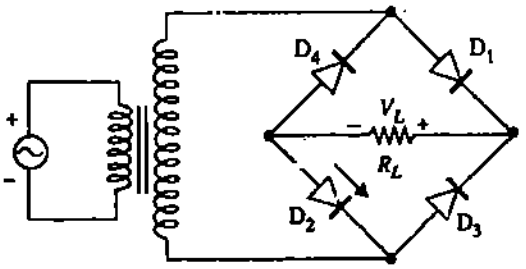
$$\Rightarrow I_{L,rms} = \frac{I_m}{\sqrt{2}}$$

ऊर्मिका गुणक $(\gamma) = \sqrt{\left(\frac{I_{L,rms}}{I_{L\,dc}}\right)^2 - 1} = \sqrt{\frac{\pi^2}{8} - 1} = 0.482$

रूप गुणक $(F) = \frac{I_{L,rms}}{I_{Ldc}} = \frac{\pi}{2\sqrt{2}} = 1.11.$

$$PIV = 2V_m$$

सेतु दिष्टकारी (Bridge rectifier) : प्लव निर्गत टर्मिनल (floating output terminal) अर्थात् जहाँ कोई भी निर्गम टर्मिनल भूसंपर्कित न हो, से संबंधित अनुप्रयोगों में सेतु दिष्टकारी का प्रयोग अधिक लाभप्रद हो सकता है। इसमें ऊर्मिका गुणक और औसत डायोड धारा नहीं होती है जो कि पूर्ण-तरंग दिष्टकारी परिपथ में होती है। इसमें हमें पूर्ण तरंग दिष्टकारी परिपथ की तरह मध्य निष्कासित ट्रांसफॉर्मर की आवश्यकता नहीं होती। चित्र 3.21 में सेतु दिष्टकारी का परिपथ दिखाया गया है।



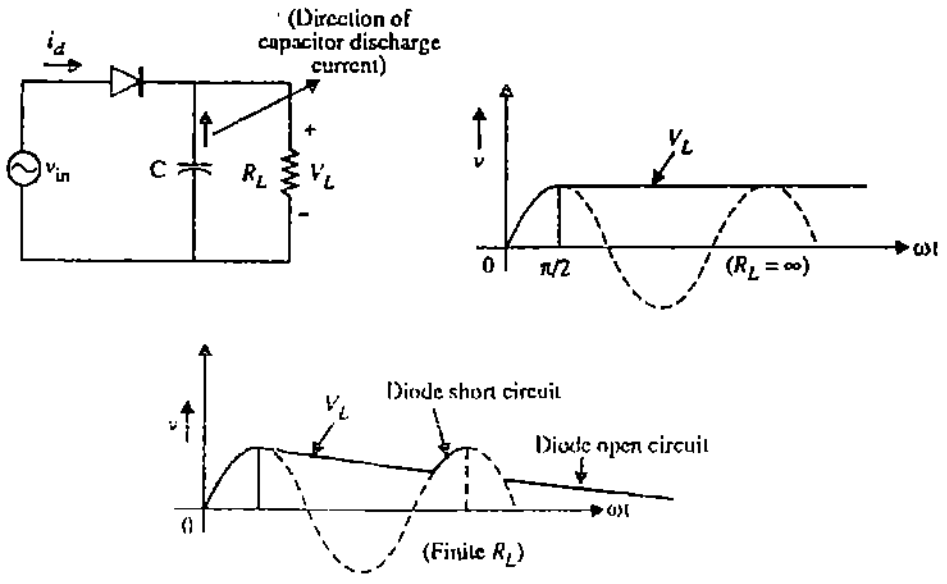
चित्र 3.21 : सेतु दिष्कारी परिपथ।

धनात्मक अर्ध चक्र ($0 \leq \omega t \leq \pi$) में डायोड D_1 और D_2 इस तरह काम करते हैं जैसे कि वे अग्रदिशिक बायसित हों और D_3, D_4 विच्छेदित हो गए होते हैं। परन्तु, ऋणात्मक अर्ध चक्र ($\pi \leq \omega t \leq 2\pi$) में डायोड D_3 और D_4 इस तरह काम करते हैं, जैसे कि ये अग्रदिशिक बायसित हों; परन्तु, D_1, D_2 विच्छेदित होते हैं, क्योंकि ये सभी पश्चदिशिक बायसित होते हैं। दोनों ही चक्रों मे लोड प्रतिरोध R_l से होती हुई समान दिशा में धारा प्रवाहित होती है। इस तरह लोड की एक पूर्ण तरंग दिष्टकृत वोल्टता होगी। सेतु दिष्टकारी परिपथ का एक मुख्य लाभ यह होता है कि डायोडों के लिए आवश्यक PIV अनुमतांक (rating) पूर्ण तरंग दिष्टकारी परिपथ के लिए आवश्कय अनुमतांक का आधा होता है।

अभी तक हमने आदर्श डायोड (अग्रदिशिक प्रतिरोध = 0, पश्चदिशिक प्रतिरोध = ∞) का प्रयोग करके दिष्टकारी परिपथ के बारे में चर्चा की है। परन्तु, व्यावहारिक स्थितियों में हमें इस प्रकार के डायोड उपलब्ध नहीं होते। अत: व्यावहारिक डायोडों के संबंध में हम अग्रदिशिक बायसित डायोड के स्थान पर R_f और पश्चदिशिक बायसित डायोड के स्थान पर R_r ले सकते हैं। एक अग्रदिशिक बायसित डायोड के साथ श्रेणी में मान V_T वाली एक बैटरी लगाकर, जिससे कि यह स्रोत का विरोध कर सके, आप डायोड की कट- इन- वोल्टता (V_T) को भी ध्यान में रख सकते हैं।

(ii) संसूचक (detector)

संसूचक शिखर परिपथ (peak detector circuit) से निविष्ट वोल्टता के शिखर मान के तुलनीय एक डी सी निर्गम प्राप्त हो जाता है, अत: डी सी पावर सप्लाई के रूप में इसका प्रयोग किया जा सकता है। संसूचक शिखर परिपथ को चित्र 3.22 में दिखाया गया है।

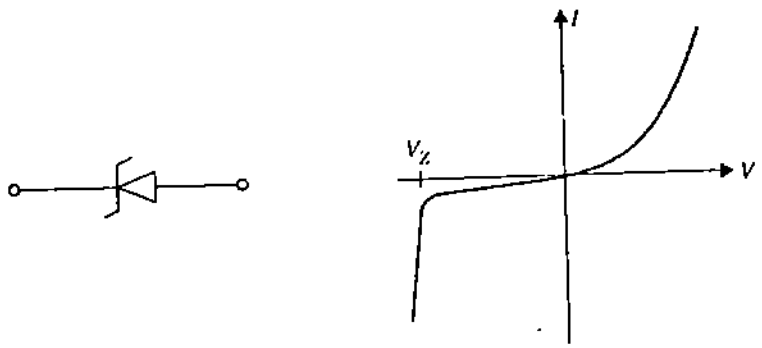


चित्र 3.22 : अर्ध तरंग शिखर संसूचक।

निवेश वोल्टता $V_{in} = V_0 \sin \omega t$ लेकर और यह मानकर कि लोड प्रतिरोध ∞ है, शिखर संसूचक के प्रचालन को अच्छी तरह से समझा जा सकता है। तब, प्रथम एक-चौथाई चक्र के दौरान डायोड काम करता है और संधारित्र निवेश का अनुसरण करेगा और जब $\omega t = \pi/2$, तब संधारित्र शिखर मान V_0 तक आवेशित हो जाएगा। जब V_{in} में कमी आती है, तब संधारित्र की वोल्टता में कमी नहीं आती, क्योंकि $R_L = \infty$ पर संधारित्र पश्च दिशा में डायोड के माध्यम से विसर्जित हो जाता है। क्योंकि डायोड पश्च दिशा में काम नहीं करता, इसलिए संधारित्र विसर्जित नहीं हो सकता। अत: लोड वोल्टता शिखर मान V_0 पर बना रहता है। परन्तु, यदि लोड प्रतिरोध परिमित है, तो कालांक R_LC पर संधारित्र विसर्जित होने लगता है, जिसे चित्र 3.22 में दिखाया गया है।

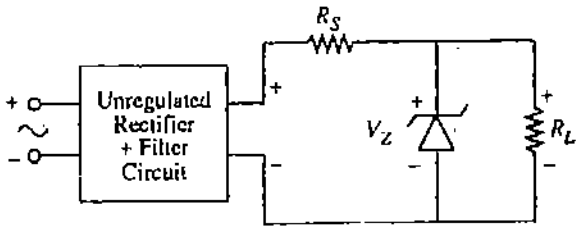
(iii) संदर्भ-वोल्टता : (ज़ेनर डायोड)

जैसा कि हम पिछले भाग में पढ़ चुके हैं, कि जब डायोड पश्चदिशिक बायसित अवस्था में होता है, तब केवल एक लघु पश्चदिशिक संतृप्ति धारा ही प्रवाहित होती है। ऐसा इसलिए होता है, क्योंकि अवक्षय स्तर की चौड़ाई और बढ़ जाती है और वह एक परावैद्युत की तरह काम करने लगता है। परन्तु , यदि p और n प्रदेश अत्यधिक मादित हों, तो p-n संधि का अवक्षय स्तर अत्यधिक संकीर्ण हो जाता है और अवक्षय स्तर की वैद्युत क्षेत्र प्रबलता में इतनी वृद्धि हो जाती है कि सह-संयोजी आबंध टूट जाते हैं और पश्चदिशिक बायसित अवस्था में भी इलेक्ट्रॉन-रिक्ति युग्म उत्पन्न हो जाते हैं। फलस्वरूप, पश्चदिशिक धारा में अचानक वृद्धि हो जाती है। इस प्रकार की परिघटना को "ज़ेनर भंजन" (Zener break down) कहा जाता है और डायोड को ज़ेनर डायोड कहा जाता है। चित्र 3.23 में ज़ेनर डायोड का प्रतीक और $V - I$ अभिलक्षणिक दिखाया गया है।



चित्र 3.23 : ज़ेनर डायोड का प्रतीक और अभिलक्षणिक।

जैसा कि अभिलक्षणिकों से स्पष्ट हो जाता है, V_z के आस-पास धारा में अचानक वृद्धि होती है, जिससे यह पता चलता है कि लगभग नियत वोल्टता पर हम ज़ेनर डायोड से वृहत धारा ले सकते हैं। यह एक उत्तम वोल्टता सप्लाई का गुणधर्म है। अत: ज़ेनर डायोड का प्रयोग "संदर्भ वोल्टता" के रूप में किया जा सकता है। एक प्रतिरूपी परिपथ चित्र 3.24 में दिखाया गया है।



चित्र 3.24 : संदर्भ वोल्टता के रूप में प्रयुक्त ज़ेनर डायोड।

बोध प्रश्न 12

अर्धचालकों में आवेश वाहकों के अभिगमन की व्याख्या कीजिए।

बोध प्रश्न 13

अपवाह वेग की संतृप्ति से आप क्या समझते हैं?

बोध प्रश्न 14

रोधक विभव की रचना की व्याख्या कीजिए।

बोध प्रश्न 15

p-n संधि डायोड के V–I अभिलक्षणिक की व्याख्या कीजिए।

बोध प्रश्न 16

निम्नलिखित पदों की व्याख्या कीजिए : ऊर्मिका गुणक, रूप गुणक और PIV.

बोध प्रश्न 17

अर्ध तरंग दिष्टकारी की कार्य-प्रणाली की व्याख्या कीजिए और ऊर्मिका गुणक का मान परिकलित कीजिए।

बोध प्रश्न 18

अर्ध तरंग दिष्टकारी की तुलना में पूर्ण तरंग दिष्टकारी के लाभ बताइए। ऊर्मिका गुणक का मान परिकलित कीजिए।

बोध प्रश्न 19

पूर्ण तरंग दिष्टकारी और सेतु दिष्कारी की तुलना कीजिए।

बोध प्रश्न 20

शिखर संसूचक की कार्य-प्रणाली की व्याख्या कीजिए।

बोध प्रश्न 21

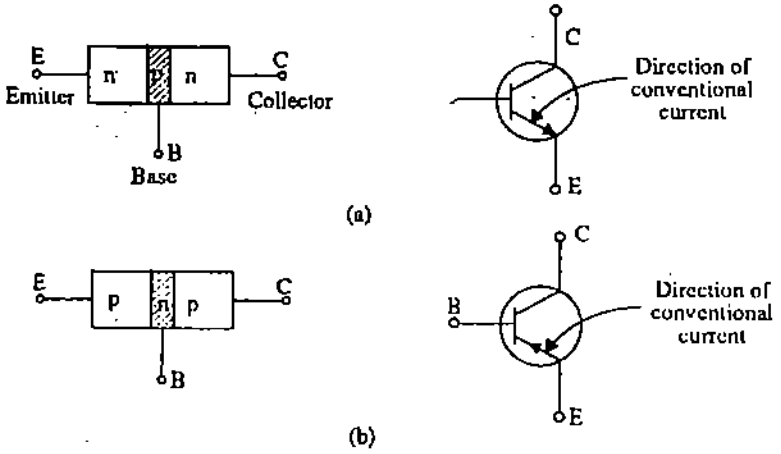
दिखाइए कि किस प्रकार ज़ेनर डायोड का प्रयोग वोल्टता संदर्भ के रूप में किया जा सकता है।

3.5 ट्रॉन्जिस्टर

भाग 3.4 में बताए गए दो-टर्मिनल *p-n* गुणधर्मों के आधार पर इस भाग में एक तीन-टर्मिनल द्विध्रुवी संधि ट्रॉन्जिस्टर (Bipolar junction transistor) के भौतिक प्रचालन की व्याख्या की गई है।

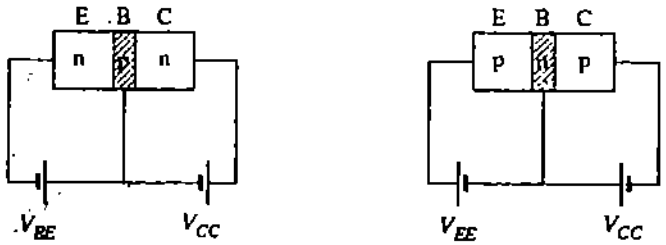
3.5.1 क्रिया और अभिलक्षणिक

ट्रॉन्जिस्टर एक एकल क्रिस्टली अर्धचालक पदार्थ है, जिसमें *n-p-n* या *p-n-p* की संरचना जैसे अलग-अलग रूप से मादित तीन प्रदेश होते हैं। इन तीन प्रदेशों को क्रमशः उत्सर्जक (emitter), बेस (base) और संग्राहक (collector) कहा जाता है। उत्सर्जक अत्यधिक मादित होता है और इसकी भूमिका वाहकों को बेस प्रदेश में अंतःक्षिप्त (inject) करना है। बेस बहुत कम मादित होता है और इस प्रदेश में पुर्नसंयोजन की हानियों को कम करने के लिए इसे काफ़ी पतला बनाया जाता है। संग्राहक का मादन-स्तर उत्सर्जक और बेस के स्तर के बीच होता है। *npn* और *pnp* ट्रान्जिस्टरों का उनके परिपथ प्रतीकों के साथ आरेख चित्र 3.25 (क) और (ख) में दिखाया गया है।



चित्र 3.25 : (क) *npn* ट्रॉन्ज़िस्टर और उसका परिपथ प्रतीक
(ख) *pnp* ट्रॉन्ज़िस्टर और उसका परिपथ प्रतीक।

ट्रॉन्ज़िस्टर (npn या pnp) को पश्च से पश्च (back to back) जुड़ा डायोड माना जा सकता है। ट्रॉन्ज़िस्टर की क्रिया को समझने के लिए हम उत्सर्जक-बेस संधि का अग्रदिशिक बायसन करते हैं और बेस-संग्राहक संधि का पश्चदिशिक बायसन करते हैं, जैसा कि चित्र 3.26 में दिखाया गया है।



चित्र 3.26 : (क) उचित बायसन के साथ *npn* ट्रान्ज़िस्टर (ख) *pnp* ट्रान्ज़िस्टर।

आइए , हम *npn* ट्रॉन्ज़िस्टर की अग्रदिशिक उत्सर्जक बेस संधि लें। उत्सर्जक के इलेक्ट्रॉन बेस में विसरित हो जाते हैं और बेस की रिक्तियां उत्सर्जक में विसरित हो जाती हैं। बेस-संग्राहक संधि पश्चदिशिक बायसित है। क्योंकि उत्सर्जक-बेस संधि अग्रदिशिक बायसित है, इसलिए उत्सर्जक के इलेक्ट्रॉन और बेस की रिक्तियां संधि की ओर गतिमान होती हैं। इस संधि पर कुछ इलेक्ट्रॉन रिक्तियों के साथ पुनःसंयोजित होते हैं और लुप्त हो जाते हैं। फिर भी, बेस स्तर के बहुत अधिक पतले (लगभग 10^{-3} cm से भी कम) होने के कारण और अपेक्षाकृत उच्च धनात्मक संग्राहक वोल्टता के आकर्षण के कारण लगभग सभी इलेक्ट्रॉन बेस से होते हुए संग्राहक में विसरित हो जाते हैं और संग्राहक में एक इलेक्ट्रॉन धारा उत्पन्न करते हैं। इस धारा को संग्राहक धारा (I_C) कहा जाता है जो कि कुछ मिली एम्पीयर की कोटि की होती है। इलेक्ट्रॉन के संग्रह को दक्ष बनाने के लिए उत्सर्जक-बेस संधि के क्षेत्र की अपेक्षा बेससंग्राहक संधि का क्षेत्र अधिक होता है। आइए , अब हम बेस-धारा लें। यह धारा उन थोड़े से इलेक्ट्रॉनों के कारण होती है, जो कि पतले बेस प्रदेश में पुनः संयोजित होते है। क्योंकि बेस-स्तर बहुत पतला है, इसलिए संग्राहक की धारा की अपेक्षा बेस-धारा (I_B) बहुत कम (लगभग 1%) होती है। दूसरे शब्दों में, रिक्तियों के साथ पुर्नसंयोजन किए बिना लगभग 99% इलेक्ट्रॉन बेस से होकर चले जाते हैं। स्पष्ट है कि किसी भी ट्रॉन्ज़िस्टर की आधारभूत धारा समीकरण यह होती है :

$$I_E = I_B + I_C$$

क्योंकि $I_B << I_C$, इसलिए $I_E \simeq I_C$ एक प्रतिरूपी ट्रॉन्ज़िस्टर में I_E और I_C कुछ मिली एम्पीयर होते हैं और I_B कुछ माइक्रो एम्पीयर होता है। बेस धारा का मान आधार की मोटाई, बायस वोल्टता, उत्सर्जक, बेस संग्राहक के मादन स्तर और ट्रान्ज़िस्टर की ज्यामिति पर निर्भर करता है। BJT की संग्राहक धारा I_C और

अग्रदिशिक बेस-उत्सर्जक वोल्टता V_{BE} में यह संबंध होता है :

$$I_C = I_{SO}\, e^{V_{BE}/V_T}$$

जहाँ I_{SO} स्केल गुणक है, जो कि उत्सर्जक-बेस संधि के अनुप्रस्थ परिच्छेद क्षेत्रफल के अनुलोमानुपाती होता है। यदि α_F संग्राहक तक पहुंचने वाले इलेक्ट्रॉनों का गुणक हो और I_{CO} बेस-संग्राहक डायोड में पश्चदिशिक संतृप्ति धारा हो, तो संग्राहक धारा (I_C) को इस प्रकार लिखा जा सकता है :

$$I_C = \alpha_F\, I_E + I_{CO}$$
$$= \alpha_F\, (I_B + I_C) + I_{CO}$$

जहाँ α_F, I_C और I_E को संबंधित करने वाला डी सी धारा लब्धि गुणांक (gain factor) है। [α=0.98]

$$\Rightarrow I_C = \left(\frac{\alpha_F}{1-\alpha_F}\right) I_B + \left(\frac{1}{(1-\alpha_F)}\right) I_{CO}$$
$$= \beta_F\, I_B + (\beta_F + 1)\, I_{CO}$$

जहाँ β_F, I_C और I_B से संबंधित डी सी धारा लब्धि गुणाक है

$$\beta_F = \frac{\alpha_F}{1-\alpha_F} = \frac{I_C - I_{CO}}{I_E - I_C + I_{CO}} = \frac{I_C - I_{CO}}{I_B + I_{CO}} \simeq \frac{I_C}{I_B}$$

β का मान 15 से 200 तक होता है। अत: α_F में थोड़ा-बहुत परिवर्तन कर देने से β_F में काफी परिवर्तन हो जाता है। इसके कारण समान प्रकार की संख्या वाले BJT के β_F में अत्याधिक परिवर्तन होता है। ऊपर दिए गए समीकरण में हम β_F के पदों में α_F प्राप्त कर सकते हैं :

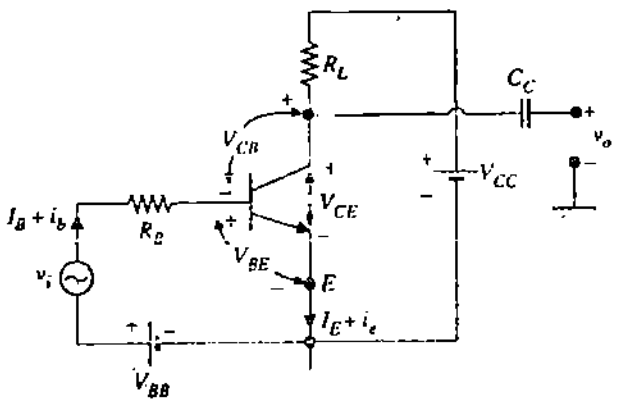
$$\alpha_F = \frac{\beta_F}{\beta_F + 1}$$

BJT के V–I अभिलक्षणिक

BJT एक तीन-टर्मिनल युक्ति है। इन तीन टर्मिनलों में से किसी भी एक टर्मिनल का प्रयोग परिवर्ती निवेश v_i और निर्गम v_o दोनों के लिए संदर्भ या सर्वनिष्ठ टर्मिनल के रूप में किया जा सकता है। इससे तीन संभव विन्यास प्राप्त होते हैं, जिनमें ट्रान्ज़िस्टर का प्रयोग किया जा सकता है :

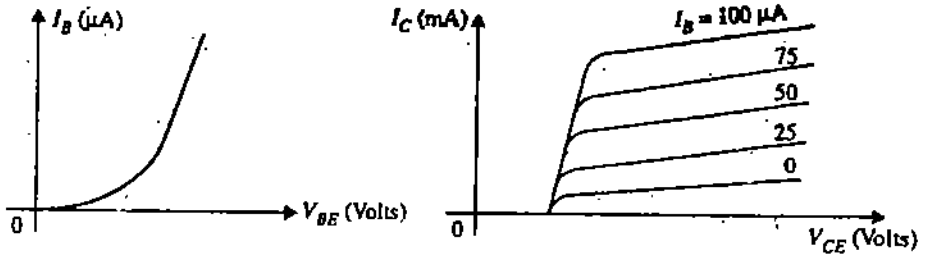
(i) सर्वनिष्ठ उत्सर्जक विन्यास (common emitter CE, configuration)
(ii) सर्वनिष्ठ बेस विन्यास (common base CB configuration)
(iii) सर्वनिष्ठ संग्राहक विन्यास (common collector CC configuration)

सर्वनिष्ठ उत्सर्जक विन्यास परिपथ नीचे चित्र 3.27 में दिखाया गया है। यहाँ उत्सर्जक का प्रयोग सर्वनिष्ठ टर्मिनल (संदर्भ) के रूप में किया गया है। इस विन्यास का (वृहत धारा लब्धि होने के कारण) व्यापक प्रयोग होता है और इसे आधारभूत विन्यास माना जाता है।



चित्र 3.27 : (क) एक सर्वनिष्ठ उत्सर्जक *npn* BJT परिपथ।

V_{CE} (> 0.7) के नियत मान पर एक *npn* BJT का निवेश $V_{BE} - I_B$ अभिलक्षणिक चित्र 3.26(क) में दिखाया गया है। यह ठीक वैसा ही होता है, जैसा कि एक अग्रदिशिक बायसित *p-n* संधि डायोड का *I–V* अभिलक्षणिक होता है। बेस धारा I_B के प्रत्येक मान पर निर्गम $V_{CE} - I_C$ अभिलक्षणिक वक्र चित्र 3.28 (ख) में दिखाया गया है।

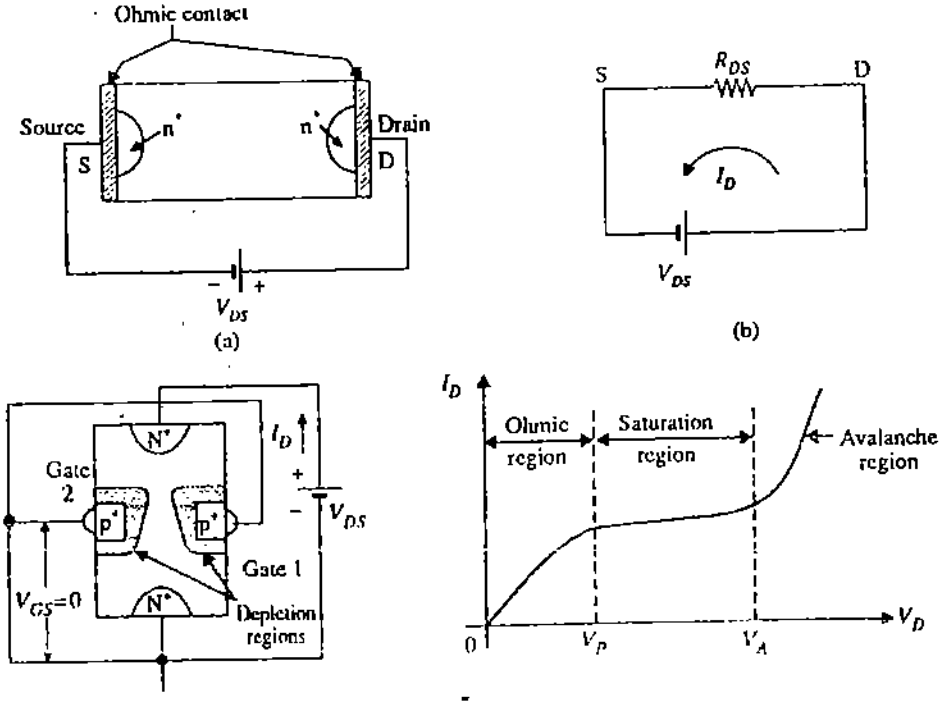


चित्र 3.28 : (क) *npn* ट्रॉन्ज़िस्टर का $V_{BE} - I_B$ निवेश *CE* अभिलक्षणिक (ख) *npn* ट्रॉन्ज़िस्टर का $V_{CE} - I_C$ निर्गम *CE* अभिलक्षणिक।

इस युक्ति का व्यापक अनुप्रयोग आवर्धन और दोलनी परिपथों में, जिन पर विस्तृत चर्चा इकाई 4, 5 और 6 में की गई है, होता है।

3.5.1 क्षेत्र प्रभाव ट्रॉजिस्टर (FET)

चित्र 3.29 (क से ङ तक) की सहायता से एक संधि क्षेत्र प्रभाव ट्रॉन्ज़िस्टर का प्रचालन प्रदर्शित किया जा सकता है। आइए, हम *n*-प्रकार के अर्धचालक का एक प्रतिदर्श लें। *n*-चैनल से प्रतिरोध R_{DS} उत्पन्न होता है, जैसा कि चित्र 3.29 (क और ख) में दिखाया गया है। चैनल के प्रत्येक पक्ष के ओमी संपर्कों (Ohmic contacts) का प्रयोग बाह्य संबंधन के लिए किया जाता है। "स्रोत" (source) और "निकास" (drain) के लिए ओमी संपर्कों के संलग्न प्रदेशों के निकट *n*-पदार्थ को अत्यधिक मादित कर दिया जाता है।
चित्र 3.29 (क) में दिया गया प्रतीक n^+ अत्यधिक मादित प्रदेशों को प्रकट करता है। यदि एक बाह्य वोल्टता लागू की जाए तो अधिसंख्यक वाहक, स्रोत (S) नामक टर्मिनल से होते हुए चैनल में प्रवेश करते हैं। आवेश वाहक चैनल में होते हुए प्रवाहित होते हैं और निकास (D) नामक टर्मिनल से होते हुए बाहर निकल जाते हैं। निकास धारा (I_D) चैनल में प्रवाहित अधिसंख्यक वाहक धारा के बराबर होती है। चित्र 3.29 (ख) में दिखाया गया तुल्य परिपथ ओम-नियम का पालन करता है। यदि V_{DS} में वृद्धि की जाए, तो इसी अनुपात में I_D में भी वृद्धि होती है।



चित्र 3.29 : (क) n- चैनल, (ख) तुल्य परिपथ, (ग) संधि क्षेत्र प्रभाव ट्रान्ज़िस्टर की संरचना, (घ) JFET का निकास अभिलक्षणिक, (ङ.) n- चैनल JFET का प्रतीक।

आइए, अब हम p-प्रकार के अंपद्रव्य का विसरण करें जिससे कि n-चैनल के प्रत्येक पक्ष में अत्यधिक मादित p^+ प्रदेश प्राप्त हो जाएं, जैसा कि चित्र 3.29 (ग) में दिखाया गया है। प्रत्येक प्रदेश में गेट 1 और गेट 2 नामक ओमी संपर्क बढ़ा दिए जाते हैं। सामान्यत: ये दो गेट आंतरिक रूप में एक-दूसरे के साथ वैद्युतत: जुड़े होते हैं और केवल एक गेट टर्मिनल बाह्य रूप से उपलब्ध होता है। गेट और स्रोत के बीच लागू की गई वोल्टता (V_{GS}) चैनल की चौड़ाई नियंत्रित करती है। अत: चैनल की चालकता और इसके फलस्वरूप निकास धारा में भी V_{GS} के साथ परिवर्तन होता रहता है। मान लीजिए दोनों ही गेट स्रोत से सीधे जुड़े हुए हैं, जिससे कि $V_{GS} = 0$ अब I_D के प्रवाह के कारण चैनल में हुए वोल्टता ह्रास की ध्रुवता ऐसी होती है कि यह p-n संधि को पश्चदिशिक बायसित बना देती है। अत: वहाँ एक अवक्षय प्रदेश बन जाता है। पश्चदिशिक बायस के परिणाम के साथ अवक्षय प्रदेश की चौड़ाई में वृद्धि होती रहती है। p-प्रकार के गेट और n-प्रकार के चैनल के बीच का पश्चदिशिक बायस, स्रोत-सिरे के निकट शून्य होता है और निकास-सिरे के निकट अधिकतम होता है। अत: अवक्षय प्रदेश अधिक चौड़ा हो जाता है और निकास सिरे के निकट चैनल तक फैल जाता है। इस तरह हमें वेज-आकार (wedge shaped) का चैनल प्राप्त होता है। अब स्रोत से निकास तक इलेक्ट्रॉनों का प्रवाह, अचालक अवक्षय प्रदेशों के बीच के संकीर्ण चैनल तक सीमित होता है। चैनल की चौड़ाई से निकास और स्रोत के बीच का प्रतिरोध निर्धारित हो जाता है।

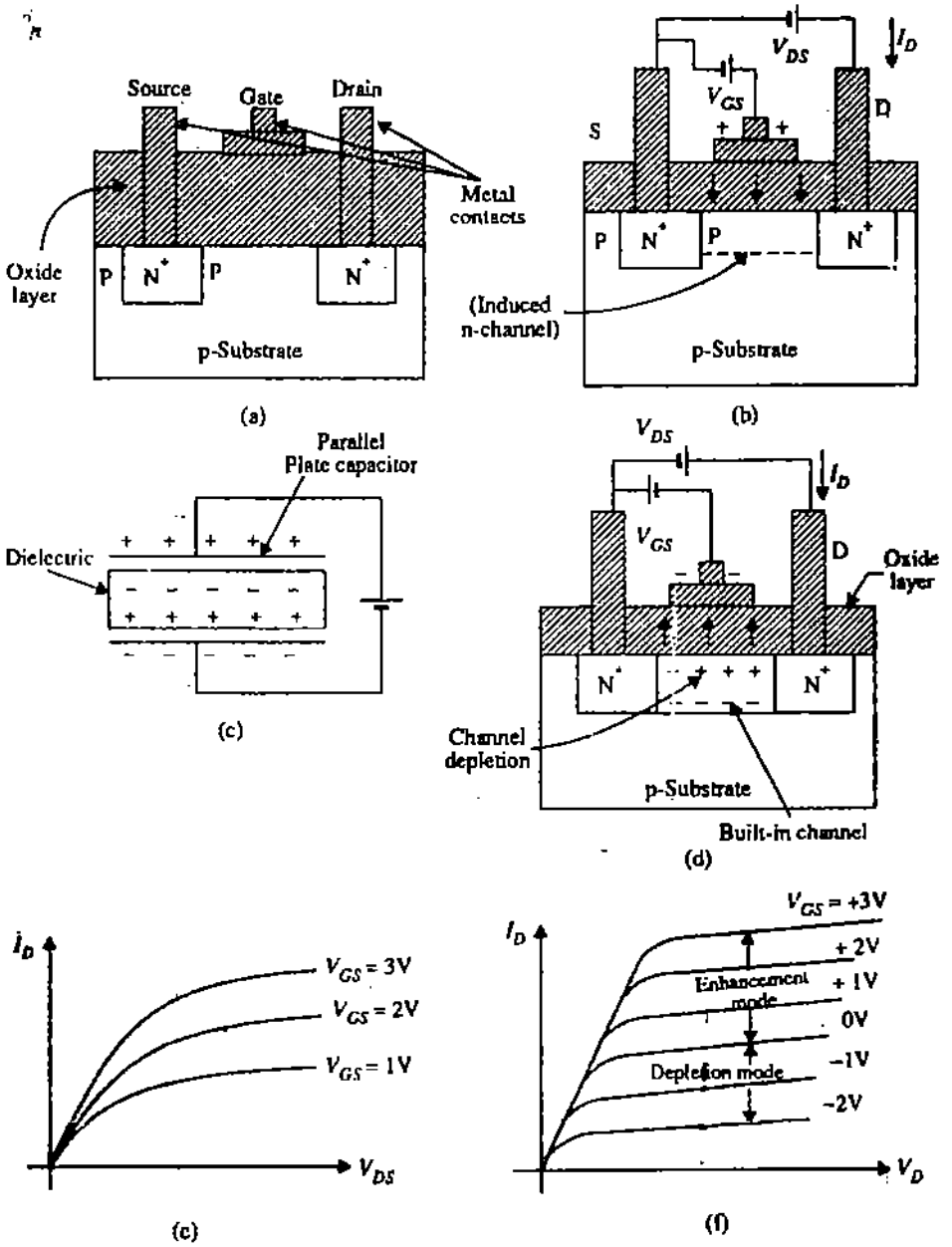
अब चित्र 3.29 (घ) में दिखाया गया JFET का I–V अभिलक्षणिक लीजिए। $V_{GS} = 0$ पर यदि V_{DS} में धीरे-धीरे वृद्धि की जाए तो पहले ओम-नियम के अनुसार I_D में वृद्धि होती है और वह धीरे-धीरे संतृप्त मान की ओर बढ़ती है। जब V_{DS}, V_P के, जिसे "संकुचन वोल्टता" (pinch off voltage) कहा जाता है, बराबर हो जाता है, तब I_D संतृप्त हो जाती है और V_{DS} में वृद्धि होने पर भी इसमें और वृद्धि नहीं होती। संकुचन पर दोनों ही अवक्षय प्रदेश एक-दूसरे के निकट आ जाते हैं, जिससे कि चैनल संकुचित हो जाता है और चैनल में उच्च प्रतिरोध आ जाता है। V_{DS} में हुई और अधिक वृद्धि चैनल के संकुचित प्रदेश में वोल्टता-पात के रूप में पाई जाती है। सभी p-n संधियों की तरह $V_{DS} = V_A$ पर एवेलांश (avalanche) भंजन होता है और धारा I_D में तेज़ी से वृद्धि होती है। n-चैनल JFET का प्रतीक चित्र 3.29 (ङ) में दिखाया गया है। इसी प्रकार हमें p-चैनल JFET भी प्राप्त हो सकता है।

निर्वात नलिका और BJT दोनों की तुलना में JFET अधिक लाभप्रद होता है क्योंकि इसमें निर्वात नलिका की उच्च निवेश प्रतिबाधा के लाभ और अर्धचालक युक्ति के अन्य लाभ उपस्थित होते हैं।

3.5.2 MOSFET

चित्र 3.30 की सहायता से MOSFET, Metal Oxide Semiconductor Fileld Effect Transistor (धातु ऑक्साइड अर्धचालक क्षेत्र प्रभाव ट्रॉन्ज़िस्टर) की व्याख्या की जा सकती है। एक p-प्रकार का अवस्तर (substrate) एक आधारभूत संरचना का काम करता है, जिसमें n-प्रकार के प्रदेश विसरित होते हैं। पूरे अवस्तर और n-प्रदेश पर एक ऑक्साइड स्तर, जो एक विद्युतरोधी का काम करता है, बना दिया जाता है। ऑक्साइड में उपयुक्त द्वार बना लेने के बाद स्रोत और निकास संबंधनों के लिए n-प्रदेश के साथ धातु का संपर्क कर दिया जाता है। इस स्थिति में स्रोत से निकास की ओर कोई धारा प्रवाहित नहीं हो सकती क्योंकि n-प्रकार के स्रोत, p-प्रकार के अवस्तर और n-प्रकार के निकास पश्च से पश्च जुड़े दो डायोडों की तरह काम करते हैं। अत: ध्रुवता कोई भी क्यों न हो, कोई भी धारा प्रवाहित नहीं हो सकती। ऑक्साइड स्तर के पृष्ठ पर गेट-संपर्क बन जाता है, जिससे कि गेट, अवस्तर और n-प्रदेश दोनों से ही इन्सुलेटित हो जाता है।

मान लीजिए, हम गेट और स्रोत के बीच एक धन विभव लागू करते हैं, जैसा कि चित्र 3.30 (ख) में दिखाया गया है। क्योंकि ऑक्साइड स्तर चालक प्रदेशों के बीच लगा एक विद्युतरोधी है, इसलिए यहाँ एक तुल्य धारिता बन जाती है, जैसा कि चित्र 3.30(ग) में दिखाया गया है। जब कभी संधारित्र के एक प्लेट पर एक धन आवेश लागू किया जाता है, तो परावैद्युत, जो ध्रुवित हो जाता है, के विद्युत-क्षेत्र की क्रिया के कारण सम्मुख प्लेट में एक ऋण आवेश प्रेरित हो जाता है। अत: गेट का धन आवेश p-अवस्तर में एक ऋण आवेश प्रेरित करता है। आवेश इलेक्ट्रॉनों के कारण होता है, जो कि अवस्तर में अल्पसंख्यक होते हैं और जो कि गेट के नीचे के प्रदेश की तरफ आकर्षित होते हैं। जैसे-जैसे इस क्षेत्र की ओर आने वाले इलेक्ट्रॉनों की संख्या में वृद्धि होती जाती है, और अधिसंख्यक वाहकों की संख्या में तब तक कमी आती जाती है, जब तक कि मुक्त इलेक्ट्रॉनों की संख्या रिक्तियों की संख्या से अधिक नहीं हो जाती।



चित्र 3.30 : (क) संवृद्धि विधा MOSFET की संरचना (ख) *n*-चैनल MOSFET का बायसन (ग) संघारित्र क्रिया (घ) अवक्षय विधा की संरचना और बायसन (ङ.) संवृद्धि प्रकार के MOSFET का निकास अभिलक्षणिक (च) अवक्षय विधा MOSFET के निकास अभिलक्षणिक।

इस तरह, गेट के ठीक नीचे अवस्तर के लघु प्रदेश में एक *n*-प्रकार का उत्क्रम स्तर (inversion layer) आ जाता है, जो स्रोत से निकास तक फैल जाता है और जिसके कारण स्रोत और निकास के बीच चालन पथ बन जाता है। यदि धन गेट विभव् को हटा लिया जाए तो प्रेरित चैनल लुप्त हो जाएगा और फिर कोई चालन नहीं रहेगा। इस तरह, गेट वोल्टता इस युक्ति की चालकता को नियंत्रित करती है। इस युक्ति को "संवृद्धि प्रकार का MOSFET" कहा जाता है, क्योंकि गेट विभव से चालकता में संवृद्धि हो जाती है। गेट में कार्य कर रही निवेश प्रतिबाधा काफी अधिक होती है, क्योंकि ऑक्साइड-स्तर एक विद्युतरोधी की तरह काम करता है। यदि V_{GS} को अचर मान लिया जाए और V_{DS} में वृद्धि कर दी जाए, तो V_{DS} के लघु मान पर निकास धारा में रैखिक वृद्धि हो जाती है V_{DS} में और वृद्धि करने पर चैनल पर ह्रास बढ़ जाता है और चैनल के निकास सिरे पर गेट ऑक्साइड की वोल्टता कम हो जाती है। अतः चैनल के इस सिरे पर प्रेरित आवेश में कमी आने लगती है और अंततः चैनल संकुचित हो जाता है अर्थात् प्रेरित वाहकों के अभाव के कारण

निकास सिरे पर उच्च प्रतिरोध प्रदेश बन जाता है। अत: निकास धारा की प्रवृत्ति संतृप्त होने और अचर बने रहने की होती है।

यह भी संभव है कि चैनल में "अवक्षय प्रकार का MOSFET" उत्पन्न किया जाए। गेट वोल्टता में वृद्धि होने पर चैनल में वाहकों की कमी आ जाती है और इस तरह प्रतिरोध में वृद्धि हो जाती है जैसा कि चित्र 3.30 (घ) में दिखाया गया है। यदि ऋणात्मक V_{GS} लागू किया जाए तो गेट के ऋण आवेश से ऑक्साइड स्तर के दूसरे पक्ष में विपरीत और समान धन आवेश प्रेरित हो जाता है। अंतर्निर्मित (built–in) *n*-चैनल में इलेक्ट्रॉन के साथ प्रेरित रिक्तियों के पुर्नसंयोजन से चैनल की चालकता में कमी आ जाती है। V_{GS} को ऋणात्मक बनाने पर, I_D में अत्यधिक कमी आ जाती है जैसा कि चित्र 3.30 (च) में दिखाया गया है। यदि धनात्मक V_{GS} लागू किया जाए तो *n*-चैनल में ऋण आवेश प्रेरित हो जाते हैं। इससे चैनल की चालकता में वृद्धि हो जाती है और I_D में भी वृद्धि हो जाती है। इस तरह, "संवृद्धि" और "अवक्षय" दोनों ही विधाओं में इस युक्ति का प्रचालन किया जा सकता है।

बोध प्रश्न 22

बताइए कि किस प्रकार BJT को पश्च से पश्च जुड़ी दो *p-n* संधियाँ माना जा सकता है।

बोध प्रश्न 23

सर्वनिष्ठ बेस विन्यास में धारा-लब्धि 1 से कम है और तब भी BJT को प्रवर्धन युक्ति कहा जाता है। इसकी पुष्टि कीजिए।

बोध प्रश्न 24

β_F , α_F से अधिक क्यों होता है?

बोध प्रश्न 25

JFET में वेज-आकार के चैनल की रचना की व्याख्या कीजिए।

बोध प्रश्न 26

संवृद्धि और अवक्षय प्रकार के MOSFET में भेद कीजिए।

बोध प्रश्न 27

JFET और MOSFET में किस प्रकार प्रवर्धन प्राप्त किया जाता है? व्याख्या कीजिए।

3.6 सारांश

- नैज अर्धचालक जर्मेनियम और सिलिकॉन का मादन करके या तो *n*- प्रकार का या *p*- प्रकार का बाह्य अर्धचालक बनाया जा सकता है।
- अर्धचालकों में धारा अधिसंख्यक वाहकों (*p*- प्रकार के पदार्थ में रिक्तियाँ और *n*- प्रकार के पदार्थ में इलेक्ट्रॉन) के विद्युत क्षेत्र के प्रभाव में गतिमान होने के कारण उत्पन्न होती है।
- उल्लेखनीय एवं उपयोगी गुणधर्म तब उत्पन्न होते हैं, जब *p*- प्रकार के पदार्थ और *n*- प्रकार के पदार्थ से एक संधि प्राप्त होती है (एकल *pn*- संधि एक डायोड होता है)।
- रिक्तियों और इलेक्ट्रॉनों के विसरण से एक अवक्षय प्रदेश और अनावरित आवेश स्थापित होते हैं। अनावरित आवेशों से संधियों पर एक विभवांतर जनित होता है।
- मौलिक रूप से दो अलग-अलग प्रकार के ट्रॉन्ज़िस्टर अर्धचालक पदार्थों से बनाए जाते हैं।
- द्विध्रुवी-संधि ट्रॉन्ज़िस्टर एक बहुत पहले सर्वनिष्ठ अवयव (बेस) को परिबद्ध करने वाली पश्च से पश्च जुड़ी दो *pn*- संधियों से बनता है। उत्सर्जक से बेस की ओर प्रवाहित होने वाली धारा अति वृहत्

उत्सर्जक-संग्राहक धारा को, जो बेस से लीक होती रहती है, नियंत्रित करती है।

- क्षेत्र-प्रभाव ट्रांज़िस्टर में स्रोत से निकास तक एक चैनल होता है, जिसमें अधिसंख्यक वाहक गतिमान होते हैं।
- संधि क्षेत्र प्रभाव ट्रांज़िस्टर (JFET) में चैनल में प्रवाहित हो रही धारा को नियंत्रित करने के लिए गेट और चैनल के बीच *pn*- संधि में गेट का वैद्युत क्षेत्र, अवक्षय प्रदेश को बदल देता है।
- धातु ऑक्साइड अर्धचालक क्षेत्र-प्रभाव ट्रान्ज़िस्टर (MOSFET) में गेट अधिसंख्यक वाहकों को ले जाने वाले चैनल से विद्युत रोधित होता है।
- अवक्षय MOSFET अधिसंख्यक वाहकों के चैनल का अवक्षयन करके धारा नियंत्रित करता है।
- संवृद्धि MOSFET में विद्युत रोधित गेट से उत्पन्न विद्युत-क्षेत्र, धारा उपलब्ध कराने के लिए स्रोत और निकास के बीच के प्रदेश में अधिसंख्यक वाहकों को प्रेरित करता है।

3.7 अंत में कुछ प्रश्न

1. तापायनिक निर्वात् नलिका में अंतराकाशी आवेश सीमित प्रचालन के महत्व की व्याख्या कीजिए।
2. निर्वात् ट्रायोड में एक तीसरे इलेक्ट्रोड (ग्रिड) का आना इलेक्ट्रॉनिकी के क्षेत्र में एक महत्वपूर्ण मील का पत्थर क्यों माना जाता है? व्याख्या कीजिए।
3. निम्नलिखित पर टिप्पणी लिखिए : टेट्रोड, पेन्टोड।
4. अवक्षय-प्रदेश क्या होता है? डायोड में अग्रदिशिक धारा के बड़े भाग के लिए अपवाह और विसरण में से कौन-सी क्रियाविधि उत्तरदायी है?
5. *p-n* संधि डायोड के V – I अभिलक्षणिक में प्रत्येक भाग की सार्थकता बताइए।
6. एक ज़ेनर डायोड का V – I अभिलक्षणिक बनाइए। आनुधारा (Knee current) का क्या महत्व है?
7. अर्ध तरंग, पूर्ण तरंग और सेतु दिष्टकारी के परिपथ-आरेख बनाइए। प्रत्येक के प्रचालन की व्याख्या कीजिए और उनके निष्पादनों की तुलना कीजिए।
8. संवृद्धि MOSFET, अवक्षय MOSFET और JFET में निकास धारा किस प्रकार नियंत्रित होती है?

3.8 हल और उत्तर

बोध प्रश्न

1. तात्विक अर्धचालकों का उदाहरण : सिलिकॉन, जर्मेनियम; यौगिक अर्धचालकों का उदाहरण : GaAs, CdTe, GaSb। ऑक्साइड अर्धचालकों का उदाहरण : टिनोक्साइड, इट्रियम बेरियम कॉपर ऑक्साइड; ऑक्साइड चालकों की चालकता को ऑक्साइड के ऑक्सीजन की उचित तत्वानुपातिकी में परिवर्तन करके बदला जा सकता है।
2. कार्य-फलन : परम शून्य तापमान पर आवश्यक ऊर्जा की मात्रा को जिसे इलेक्ट्रॉनों को धातु से पलायन करने के लिए प्रदान करना आवश्यक होता है, कार्य-फलन के रूप में परिभाषित किया जाता है।

   तापायनिक उत्सर्जन : धातु, क्रिस्टल लैटिस में बद्ध परमाणुओं से, परमाणुओं से बद्ध इलेक्ट्रानों से और उन मुक्त इलेक्ट्रानों से बना होता है, जो कि धातु के किसी विशेष स्थान पर बद्ध नहीं होते। तापायनिक उत्सर्जन में इलेक्ट्रॉन तब उत्सर्जित होते हैं, जबकि धातु को तापीय ऊर्जा दी जाती है।
3. अंतराकाशी सीमित प्रचालन : सभी तापायनिक निर्वात नलिकाओं में कैथोड से इलेक्ट्रॉन का उत्सर्जन उस दर से काफ़ी अधिक होता है, जिस पर कि एनोड से इलेक्ट्रॉन हटाए जाते हैं। इसके कारण कैथोड के निकट इलेक्ट्रानों का एक मेघ बन जाता है, जिसे ऋणात्मक अंतराकाशी आवेश कहा जाता है, जिससे एनोड धारा, एनोड विभव पर आश्रित हो जाती है और उत्सर्जन-दर से स्वतंत्र हो जाती है। ट्रायोड में,

अंतराकाशी आवेश सीमित प्रचालन के प्रतिकूल प्रभाव का नियंत्रण "ग्रिड", जो कि जालाक्षि की तरह की एक संरचना है, से हो जाता है।

4. इकाई का चित्र 3.2 और r_p, g_m और μ की परिभाषा देखिए।
5. इकाई में दिया गया लघु सिग्नल मॉडल देखिए।
6. इकाई का भाग 3.2.4 देखिए।
7. इकाई का भाग 3.3.1 और 3.3 2 देखिए।
8. भाग 3.3.2 (द्रव्यमान अनुपाती अभिक्रिया नियम) देखिए।
9. $n_i = A_0 T^{3/2} \exp \frac{-qE_g}{2KT}$

   जहाँ A_0 और E_g पदार्थ स्थिरांक, K- बोल्ट्समान स्थिरांक हैं।
10. इकाई का भाग 3.3.3 देखिए।
11. चित्र 3.9 देखिए और इस प्रश्न का उत्तर प्राप्त करने के लिए भाग 3.3.3 देखिए।
12. इकाई का भाग 3.3.3 देखिए।
13. उच्च विद्युत-क्षेत्र लागू करने के कारण अपवाह वेग, ताप वेग ($= 10^7$ cm/s) के निकट आ जाता है। जब यह स्थिति उत्पन्न होती है, तब गतिशीलता क्षेत्र-आश्रित हो जाती है, क्योंकि इस स्थिति में अतिरिक्त प्रकीर्णन होते हैं। उच्च विद्युत-क्षेत्र के साथ गतिशीलता में कमी होने के कारण अपवाह वेग संतृप्त हो जाता है।
14. जब सांद्रण-प्रवणता के कारण p - n संधि बनती है, तब p-पक्ष की रिक्तियां n-पक्ष में विसरित हो जाती हैं और मुक्त इलेक्ट्रानों के साथ पुनर्संयोजित हो जाती हैं। गतिशील वाहकों का इस प्रकार का विनिमय मुख्यत: संधि के आस-पास के संकीर्ण प्रदेश में होता है। यह प्रदेश "अवक्षय स्तर" कहा जाता है क्योंकि यह मुक्त आवेश वाहकों से अवक्षयित हो जाता है और वे अपने पीछे अ-उदासीकृत अगतिशील आयन, जिन्हें (n- पक्ष के धन ऑयन और p- पक्ष के ऋण आयन के कारण) अंतराकाशी आवेश कहा जाता है, छोड़ देते हैं। इस प्रकार के अंतराकाशी आवेश के कारण एक विभवांतर, जिसे "रोधक विभव" कहा जता है, उत्पन्न होता है।
15. इकाई का भाग 3.4.1 देखिए।
16. ऊर्मिका गुणक = $\frac{\text{लोड वोल्टता पर ए सी घटक का rms मान}}{\text{लोड वोल्टता का डी सी घटक}}$

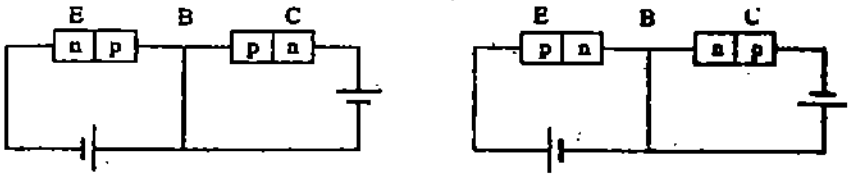
    रूप गुणक = $\frac{\text{लोड वोल्टता का rms मान}}{\text{लोड वोल्टता का डी सी मान}}$

    PIV: ऋणात्मक अर्ध चक्र के दौरान डायोड खुले परिपथ की तरह काम करता है, अत: डायोड पर ऋणात्मक प्रतीप वोल्टता आ जाती है और अधिकतम प्रतीप वोल्टता को "प्रतीप शिखर वोल्टता" कहा जाता है।
17. इकाई का भाग 3.4.2 (अर्ध तरंग दिष्टकारी) देखिए।
18. इकाई का भाग 3.4.2 (पूर्ण तरंग दिष्टकारी) देखिए। इससे प्रश्न के दोनों भागों के उत्तर प्राप्त हो जाते हैं)।
19. पूर्ण तरंग दिष्टकारी : ऊर्मिका गुणक = 0.482,

    रूप गुणक = 1.11 और PIV = 2 V_m

    सेतु दिष्टकारी : (1) इसका प्रयोग प्लवमान निर्गम टर्मिनल के लिए अर्थात् जहाँ कोई भी निर्गम टर्मिनल भूसंपर्कित न हो, किया जाता है।

    (2) ऊर्मिका गुणक = 0.482, रूप गुणक = 1.11 PIV = V_m
20. इकाई का भाग 3.4.2 देखिए।
21. इकाई का भाग 3.4.2 देखिए।
22. ट्रॉन्ज़िस्टर को पश्च से पश्च जुड़ा डायोड माना जा सकता है जैसा कि चित्र 3.31 में दिखाया गया है।



चित्र 3.29

23. यद्यपि सर्वनिष्ठ बेस विन्यास में धारा-लब्धि एक से कम होती है, फिर भी वोल्टता-लब्धि काफ़ी अधिक होती है। अत: शक्ति लब्धि अधिक होती है। यही कारण है कि उभयनिष्ठ बेस विन्यास में भी BJT को प्रवर्धन युक्ति कहा जाता है।

24. β_F और α_F में संबंध यह होता है

$$\beta_F = \frac{\alpha_F}{1 - \alpha_F}$$

$$\Rightarrow \beta_F > \alpha_F$$

क्योंकि $\alpha_F < 1 \Rightarrow \frac{1}{1-\alpha_F} > 1.$

25. इकाई का भाग 3.5.1 देखिए।

26. संवृद्धि प्रकार के MOSFET में गेट विभव के कारण चैनल की चालकता में संवृद्धि हो जाती है। जहाँ अवक्षय प्रकार के MOSFET में गेट विभव में वृद्धि होने पर अंतर्निमित *n*-चैनल में वाहक अवक्षयित हो जाते हैं। अत: इसकी चालकता में कमी आ जाती है।

27. इकाई का भाग 3.5.1 और 3.5.2 देखिए।

अंत में कुछ प्रश्न

1. बोध प्रश्न 3 का उत्तर और इकाई का भाग 3.3.2 देखिए।
2. निर्वात डायोड में मुख्य समस्या अंतराकाशी आवेश सीमित प्रचालन के कारण उत्पन्न होती है। इस समस्या पर ध्यान देने के लिए कैथोड के निकट ऋणात्मक अंतराकाशी आवेश प्रदेश में जालाक्षि प्रकार की संरचना का प्रयोग किया जाता है। इसे "नियंत्रण ग्रिड" कहा जाता है। क्योंकि नियंत्रण ग्रिड कैथोड के अधिक निकट होता है, इसलिए नियंत्रण ग्रिड पर थोड़ी-बहुत वोल्टता लागू करने से एनोड धारा में वही परिवर्तन हो सकता है, जो कि नलिका की प्लेट पर अधिक वोल्टता लागू करने में होता है। यह ट्रायोड की आवर्धन क्रिया का आधार होता है। अत: इलेक्ट्रॉनिकी में इसे मील का पत्थर माना जाता है।
3. इकाई का भाग 3.2.4 देखिए।
4. बोध प्रश्न 14 का उत्तर देखिए। अधिसंख्यक वाहक, जिसके कारण *p-n* संधि डायोड में वृहत् अग्रदिशिक धारा प्रवाहित होती है, का अपवाह धारा में मुख्य योगदान होता है।
5. इकाई का भाग 3.4.1 देखिए।
6. इकाई का भाग 3.4.2 (iii) देखिए।
7. इकाई का भाग 3.4.2 (i) देखिए।
8. इकाई का भाग 3.5.2 देखिए।

3.9 शब्दावली

अंतक	–	cut off
अंतराकाशी	–	sapce charge
अंतराचालकता	–	transconductance
अग्रदिशिक बायस	–	forward bias
अति चालक	–	super conductor
अपचायी	–	step down
अपद्रव्य	–	impurity
अपवाह	–	drift
अभिगमन	–	transport
अवक्षय	–	depletion
अवस्तर	–	substrati
आवरक ग्रिड	–	screen grid
उचित तत्वानुपातिकी	–	stoichiometry
उत्सर्जक	–	emitter
ऊर्मिका	–	ripple
गुणावृत्ति	–	harmonics
तरंग रूप	–	wave form
तापायनिक	–	thermionic
दाता परमाणु	–	donor atom
पश्चदिशिक बायस	–	reverse bias
मादन	–	doping
विन्यास	–	configuration
लब्धि गुणक	–	gain factor
संकुचन	–	pinch off
संग्राहक	–	collector
संवृद्धि	–	enhancement
सांद्रण	–	concentration

उत्तर प्रदेश
राजर्षि टण्डन मुक्त विश्वविद्यालय

UGPHS-05
विद्युत परिपथ और इलेक्ट्रॉनिकी

खंड

2

इलेक्ट्रॉनिक परिपथ

इकाई 4

प्रवर्धक 5

इकाई 5

दोलित्र 44

इकाई 6

पावर सप्लाई 63

खंड 2 इलेक्ट्रॉनिक परिपथ

पिछले खंड में आप dc और ac परिपथ के सिद्धांत के बारे में अध्ययन कर चुके हैं। वहाँ आपको विभिन्न इलेक्ट्रॉनिक युक्तियों से भी परिचित कराया गया है। इकाई 3 में बताए गए ट्रॉन्जिस्टरों के अभिलक्षणिकों और इकाई 2 के परिपथ सिद्धांत को लागू करके अब हम प्रवर्धकों, दोलित्रों और पावर सप्लाई में प्रयुक्त विभिन्न प्रकार के इलेक्ट्रॉनिक परिपथों के विश्लेषण और डिजाइन का अध्ययन कर सकते हैं।

अर्ध चालक का अति महत्वपूर्ण गुणधर्म वैद्युत वोल्टता, धारा या शक्ति के प्रवर्धकों के रूप में काम करने की उसकी क्षमता है। जब प्रवर्धक के निवेश टर्मिनलों पर वोल्टता या धारा सिगनल लगाए जाते हैं, तब निर्गत टर्मिनलों पर वृहत् वोल्टता या धारा सिगनल उपलब्ध होते हैं।

इकाई 4 में सबसे पहले हम प्रवर्धक प्रचालन के व्यावहारिक दृष्टिकोण तथा उचित प्रचालन प्रतिबंधों को बनाए रखने के लिए परिपथों पर विचार करेंगे, इसके बाद एक शक्ति प्रवर्धक के निष्पादन का विश्लेषण करेंगे और अंत में कुछ अन्य महत्वपूर्ण प्रकार के प्रवर्धकों का संक्षेप में विवरण देंगे।

कभी-कभी उच्च आवृत्तियों (अरबों-खरबों चक्र प्रति सेकंड तक के परिसर तक की) वाली प्रत्यावर्ती धाराओं को जनित करना आवश्यक हो जाता है। और, जैसा कि हम देखेंगे, संबंधित घटकों के साथ ट्रॉन्जिस्टरों का प्रयोग इन धाराओं को जनित करने में किया जा सकता है। हम इस प्रकार के जनित्रों को दोलित्र कहते हैं। इकाई 5 में हम विभिन्न प्रकार के ज्यावक्रीय दोलित्रों, जिनमें RC दोलित्र और I.C दोलित्र भी सम्मिलित हैं, पर चर्चा करेंगे।

पिछली सभी इकाइयों में अनुरूप परिपथों के प्रचालन के लिए आवश्यक वोल्टताओं और धाराओं को उपलब्ध माना गया है। अब हम यह देखेंगे कि धाराएँ और वोल्टताएँ किस प्रकार उपलब्ध कराई जाती हैं और किन साधनों से इनका नियमन किया जाता है अर्थात् किस प्रकार इन्हें अपेक्षित परिमाणों में रखा जाता है। उचित ढंग से कार्य करने के लिए अधिकांश इलेक्ट्रॉनिक परिपथों को एक dc वोल्टता की आवश्यकता होती है। क्योंकि लाइन वोल्टता प्रत्यावर्ती होती है, किसी भी इलेक्ट्रॉनिक उपकरण के संबंध में पहला कार्य यह करना होता है कि ac वोल्टता को dc वोल्टता में बदल दिया जाए।

इकाई 6 का उद्देश्य यह बताता है कि किस प्रकार इलेक्ट्रॉनिक परिपथों के लिए सुनियमित dc पावर सप्लाई की व्यवस्था मेन से की जा सकती है।

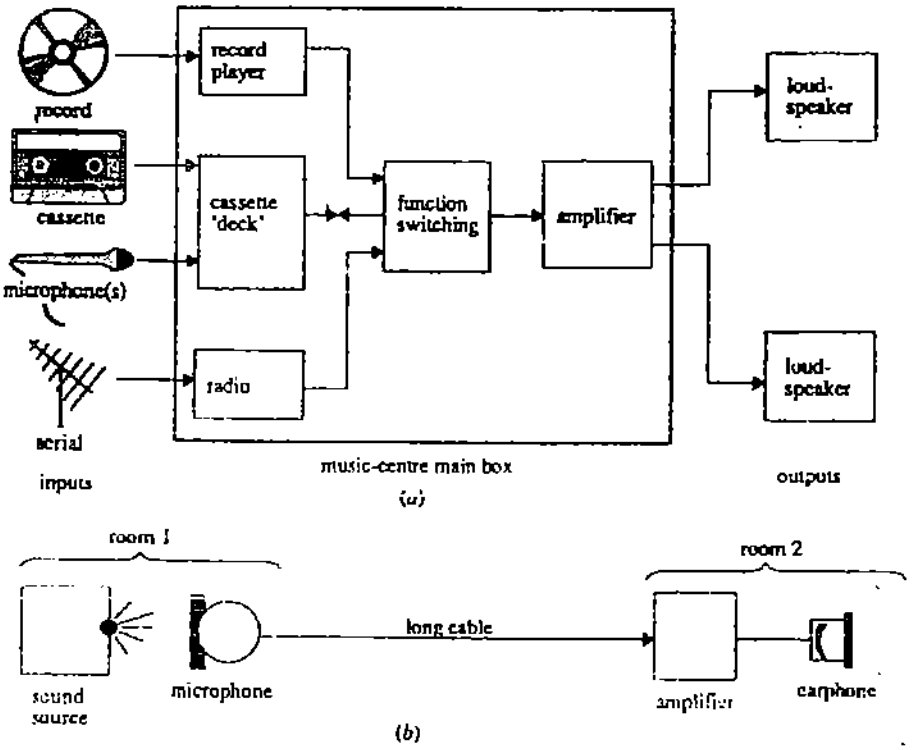
इकाई 4 प्रवर्धक

इकाई की रूपरेखा

4.1 प्रस्तावना
उद्देश्य
4.2 प्रवर्धकों का वर्गीकरण
4.3 ट्रॉन्जिस्टर का तुल्य परिपथ
उभयनिष्ठ उत्सर्जक प्रवर्धक
उभयनिष्ठ आधार प्रवर्धक
उभयनिष्ठ संग्राही प्रवर्धक
4.4 प्रचालन बिन्दु और बायस स्थायित्व
4.5 लघु सिगनल प्रवर्धक
युग्मन और उपपथ संघारित्र
बहुपदी प्रवर्धक
RC-युग्मित प्रवर्धक की आवृत्ति अनुक्रिया
4.6 वृहत् सिगनल प्रवर्धक
एकल सिरा शक्ति प्रवर्धक
कर्षापकर्षी प्रवर्धक
4.7 रेडियो आवृत्ति (r-f) प्रवर्धक
एकल समस्वरित वोल्टता प्रवर्धक
द्विक समस्वरित वोल्टता प्रवर्धक
4.8 सारांश
4.9 अंत में कुछ प्रश्न
4.10 हल/उत्तर
4.11 शब्दावली

4.1 प्रस्तावना

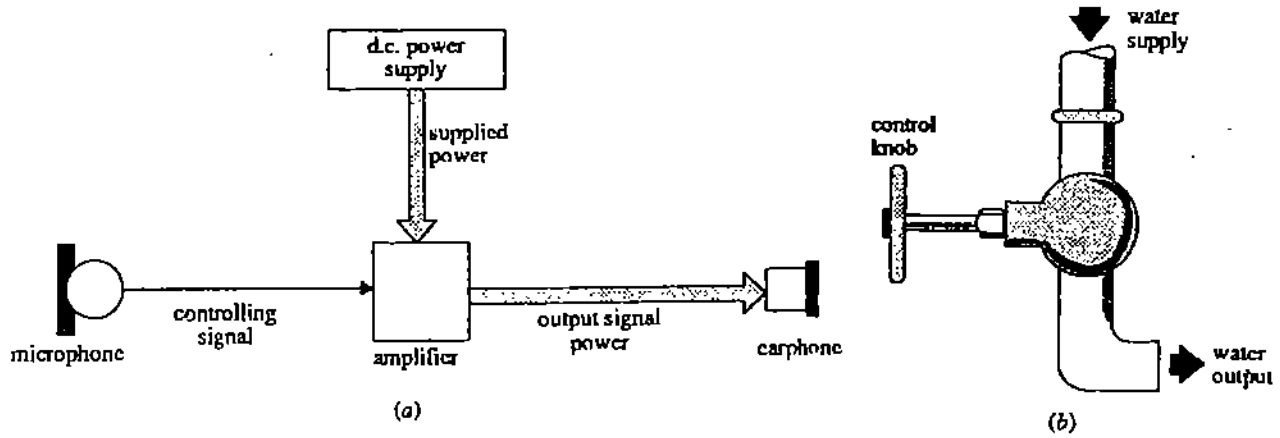
आप सभी "ऑडियो सिस्टम" से अवश्य परिचित होंगे, जिसका प्रयोग रिकार्डों को बनाने, ऑडियो टेपों को बजाने और रेकार्ड करने तथा रेडियो प्रसारणों को सुनने के लिए किया जाता है। चित्र 4.1



चित्र 4.1: (क) एक ऑडियो सिस्टम का एक सरल सिस्टम आरेख (ख) सरल ऑडियो सिस्टम।

में इसी प्रकार के एक सिस्टम का एक सरल आरेख दिखाया गया है। सरलता के लिए मान लीजिए कि चित्र 4.1 का ऑडियो सिस्टम ऊपर बताए गए कार्यों में से केवल एक कार्य करता है। तब इस स्थिति में "सरल ऑडियो सिस्टम" का आरेख जैसा होना चाहिए, उसे चित्र 4.1 (ख) में दिखाया गया है। इसमें एक माइक्रोफोन है, जो उस प्रवर्धक के निवेश (input) से जुड़ा है, जिसका निर्गत (output) लाउडस्पीकर से जुड़ा है। माइक्रोफोन ध्वनि को वैद्युत सिगनलों में बदल देता है। प्रवर्धक के न होने पर माइक्रोफोन का वैद्युत निर्गत इतना दुर्बल होता है कि वह लाउडस्पीकर में एक सामान्य ध्वनि-स्तर उपलब्ध नहीं करा पाता। प्रवर्धक का प्रयोग माइक्रोफोन के निर्गत को लाउडस्पीकर के लिए एक अति शक्तिशाली वैद्युत सिगनल में बदलने के लिए किया जाता है।

चित्र 4.1 में पावर सप्लाई तो नहीं दिखाई गयी है, परंतु यह बात आपको ध्यान में रखनी चाहिए कि इलेक्ट्रॉनिक सिस्टमों में पॉवर सप्लाई की आवश्यकता होती है। इन सिस्टमों को चलाने के लिए या तो इनमें बैटरी की व्यवस्था कर दी जाती है या इन्हें मेन से जोड़ दिया जाता है। ऐसी स्थिति में चित्र 4.1 बहुत-कुछ चित्र 4.2 (क) की तरह दिखाई पड़ने लगेगा। यहाँ प्रवर्धक माइक्रोफोन से प्राप्त वैद्युत सिगनल की अनुक्रिया में लाउडस्पीकर की पावर सप्लाई से हो रहे विद्युत प्रवाह को नियंत्रित करता है। जब माइक्रोफोन में ध्वनि प्रवेश करती है, तब यह एक निर्गत वोल्टता जनित करत है। क्योंकि वोल्टता और प्रवाहित हो रही धारा अपेक्षाकृत काफी कम होती हैं, इसलिए गुणनफल (वोल्टता × धारा) अर्थात् शक्ति भी अपेक्षाकृत कम होती है। परन्तु माइक्रोफोन सिगनल वोल्टता के कारण प्रवर्धक विद्युत शक्ति को पावर सप्लाई से लाउडस्पीकर में प्रवाहित होने देता है। इस प्रकार, जो सिगनल पावर माइक्रोफोन लाउडस्पीकर को उपलब्ध करा सकता है, उससे कहीं अधिक सिगनल पावर लाउडस्पीकर को प्रवर्धक की सहायता से प्राप्त होती है।



चित्र 4.2: (क) ऑडियो सिस्टम में विद्युत शक्ति का प्रवाह (ख) पानी की टोंटी के अनुरूप एक प्रवर्धक।

इसे ठीक वैसा ही माना जा सकता है जैसे कि पानी की टोंटी से पानी के प्रवाह को नियंत्रण किया जाता है, जैसा कि चित्र 4.2 (ख) में दिखाया गया है। यहाँ पर "नियंत्रण सिगनल" को नियंत्रण नॉब की स्थिति पर दिया जाता है और यह टोंटी के ज़रिए मुख्य स्रोत से पानी के प्रवाह को नियंत्रित करता है।

चित्र 4.1 या 4.2 (ख) के बीच में दिया गया "काला बक्स" प्रवर्धक है, जिसका केवल एक कार्य होता है और वह है – सिगनल के स्तर (level) को बढ़ाना। इन प्रवर्धक परिपथों में इलेक्ट्रॉन ट्यूबों या ट्रॉन्जिस्टरों का प्रयोग किया जा सकता है, क्योंकि अनिवार्य रूप में दोनों ही प्रवर्धन युक्तियाँ (device) हैं। प्रवर्धक परिपथों का वर्गीकरण विभिन्न विधियों से किया जा सकता है। इस इकाई में हम इनमें से प्रत्येक वर्गीकरण में विभिन्न प्रकार के प्रवर्धकों के बारे में बताएंगे।

इस इकाई में आप इस तथ्य के बारे में भी विस्तार से जानकारी प्राप्त करेंगे कि जब प्रवर्धक के निवेश टर्मिनल पर एक लघु सिगनल और एक वृहत् सिगनल दिया जाता है, तब क्या होता है ? यहाँ आप यह भी देखेंगे कि किस प्रकार निवेश सिगनल का परिमाण निर्गत सिगनल के परिमाण को प्रभावित करती है। लघु सिगनल के अनुप्रयोगों में आप प्रवर्धक के लाभ, बैंड चौड़ाई तथा निवेश और निर्गत प्रतिरोधों के बारे में भी जानकारी प्राप्त करेंगे। और, अंत में विभिन्न प्रकार के वृहत् सिगनल प्रवर्धकों और उनके गुणों-अवगुणों के बारे में चर्चा करेंगे। परन्तु, इस चर्चा को आरंभ करने से पहले आपको ट्रॉन्जिस्टर का तुल्य परिपथ (equivalent circuit), प्रचालन बिन्दु (operating point), बायस स्थायित्व (bias stability) आदि जैसे पदों से परिचित हो जाना चाहिए।

अगली इकाई में आप यह देखेंगे कि किस प्रकार प्रवर्धक परिपथ में पुनर्भरण (feedback) होने से यह एक उपयोगी युक्ति बन जाता है जिसे दोलित्र (oscillator) कहा जाता है। अगली इकाई में आप विभिन्न प्रकार के दोलित्रों का अध्ययन करेंगे।

उद्देश्य

इस इकाई को पढ़ लेने के बाद आप :

- प्रवर्धक परिपथों में CE, CB और CC विन्यासों की तुलना कर सकेंगे,
- उद्देश्य, प्रचालन बिन्दु, युग्मन, परिपथ-विन्यास, बैंड-चौड़ाई और आवृत्ति के आधार पर प्रवर्धकों का वर्गीकरण कर सकेंगे,

  h-प्राचलों (parameters) की सहायता से परिपथों के धारा-लाभ, वोल्टता-लाभ, निवेश प्रतिबाधा (input impedence) और निर्गत प्रतिबाधा का परिकलन कर सकेंगे,
- ट्रांजिस्टर परिपथों में विभिन्न बायसन व्यवस्थाओं का चित्र बना सकेंगे,
- सरल समीकरणों की सहायता से आप यह बता सकेंगे कि क्यों विभव-विभाजक (potential divider) बायसन परिपथ का प्रयोग सबसे अधिक किया जाता है,
- यदि प्रत्येक चरण पर लाभ ज्ञात हो, तो बहुपदी प्रवर्धक का कुल लाभ परिकलित कर सकेंगे,
- RC-युग्मित प्रवर्धक के आवृत्ति अनुक्रिया वक्र की व्याख्या कर सकेंगे,
- एक सिरा वाला और कर्षापकर्षी प्रवर्धक परिपथों का आरेख बना सकेंगे,
- एक सिरे वाले विद्युत शक्ति प्रवर्धक में विकसित निर्गत ac-विद्युत शक्ति निर्धारित कर सकेंगे, यदि विभिन्न प्राचलों का मान ज्ञात हो,
- कर्षापकर्षी प्रवर्धक परिपथ की कार्य-प्रणाली बता सकेंगे,
- एकल समस्वरित वोल्टता प्रवर्धक और द्विक समस्वरित प्रवर्धकों की कार्य-प्रणाली बता सकेंगे।

4.2 प्रवर्धकों का वर्गीकरण

प्रवर्धकों के परिपथों का वर्गीकरण विभिन्न विधियों से किया जा सकता है। इनका वर्गीकरण इनके उपयोग, प्रयुक्त बायस का प्रकार, इनके द्वारा प्रवर्धित किए जाने वाले सिगनलों की आवृत्ति या बैंड-चौड़ाई, युग्मन का प्रकार (जबकि एक से अधिक चरण का प्रयोग किया गया हो) और इनके परिपथ-विन्यास के अनुसार किया जा सकता है।

उपयोग के अनुसार प्रवर्धक

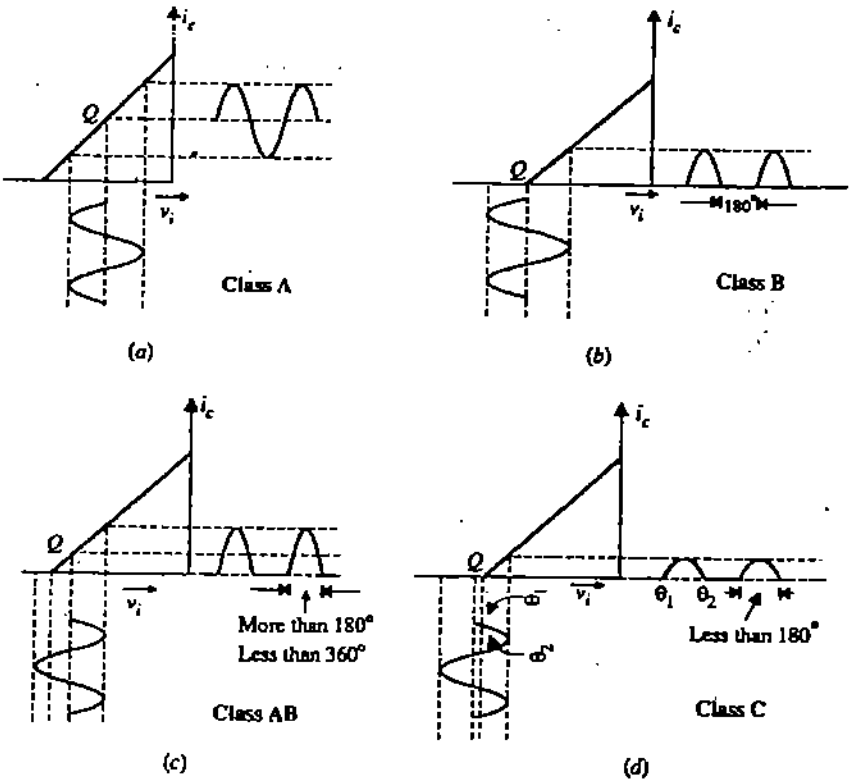
ये प्रवर्धक दो मुख्य समूहों के अंतर्गत आते हैं : वोल्टता प्रवर्धक और विद्युत शक्ति प्रवर्धक। वोल्टता प्रवर्धक एक लगाए गए सिगनल के वोल्टता स्तर को बढ़ा देता है। क्योंकि प्रवर्धक की निर्गत वोल्टता निर्गत लोड पर हुए वोल्टता-ह्रास से निर्धारित की जाती है, इसलिए अधिकांश वोल्टता प्रवर्धकों में लोड की प्रतिबाधा व्यावहारिक दृष्टि से जितनी बड़ी हो सकती है, उतनी बड़ी रखी जाती है।

विद्युत शक्ति प्रवर्धकों को धारा प्रवर्धक (current amplifiers) भी कहा जाता है। ये निर्गत लोड को काफी मात्रा में धारा प्रदान करते हैं, अतः लोड प्रतिबाधा प्रायः इतनी कम होती है जिससे कि सिगनल में उच्च धारा प्रवाहित हो सके।

बायस के अनुसार प्रवर्धक

प्रवर्धकों को उनकी बायसन दशाओं के अनुसार या दूसरे शब्दों में निवेश सिगनल वोल्टता चक्र के उस भाग के अनुसार भी, जिस अवधि में निर्गत धारा प्रवाहित होती है, वर्गीकृत किया जाता है। बायस के अनुसार प्रवर्धकों को चार वर्गों में बांटा जा सकता है : वर्ग A, वर्ग B, वर्ग AB और वर्ग C।

वर्ग A वाले प्रवर्धक अपने प्रचालन वक्रों के केन्द्र पर बायसित होते हैं जिससे कि निवेश "वोल्टता के पूरे चक्र के दौरान निर्गत धारा प्रवाहित होती है" (देखिए चित्र 4.3 क)। इसके कारण निर्गत सिगनल में निम्नतम विरूपण (distortion) होता है।



चित्र 4.3: बायस के अनुसार प्रवर्धक का वर्गीकरण।

परिणामस्वरूप ऑडियो सिस्टमों में वर्ग A वाले प्रवर्धकों का व्यापक प्रयोग होता है क्योंकि इनमें विरूपण के निम्न होने का काफी महत्व है।

वर्ग B वाले प्रवर्धक अंतक (cut off) पर बायसित होते हैं जिससे कि लगभग आधे निवेश सिगनल वोल्टता चक्र की अवधि में ही निर्गत धारा प्रवाहित होती है, जैसा कि चित्र 4.3 (ख) में दिखाया गया है। यदि कोई निवेश सिगनल नहीं है, तो कोई भी निर्गत धारा प्रवाहित नहीं होती है अर्थात् वर्ग B वाले प्रवर्धक आधे ac निवेश सिगनल के तरंग रूप (wave form) को काट देते हैं।

वर्ग AB वाले प्रवर्धक इस प्रकार बायसित होते हैं जिससे कि निर्गत धारा निवेश चक्र के आधे से भी काफी अधिक परन्तु पूरे चक्र से कम अवधि के दौरान प्रवाहित होती है, जैसा कि चित्र 4.3 (ग) में दिखाया गया है। अनिवार्य रूप से देखा जाए, तो वर्ग AB वाले प्रवर्धक निम्न विरूपण वाले वर्ग A प्रवर्धकों के और उच्च दक्षता वाले वर्ग B प्रवर्धकों के बीच एक समझौता ही है।

वर्ग C वाले प्रवर्धक कट-ऑफ के परे बायसित होते हैं जिससे कि केवल निवेश चक्र के धनात्मक शीर्ष की ओर जाने के समय ही निर्गत धारा प्रवाहित होती है (देखिए चित्र 4.3 घ)। इस प्रकार के प्रवर्धकों के निर्गत में उच्च शक्ति प्राप्त होती है। इनमें काफी अधिक विरूपण भी होता है जिस कारण ऑडियो अनुप्रयोगों में इनका उपयोग नहीं किया जाता है।

युग्मन के अनुसार प्रवर्धक

जहाँ एक से अधिक एकल प्रवर्धक चरण का प्रयोग किया जाता है, वहाँ प्रवर्धकों को प्रायः उस विधि के अनुसार वर्गीकृत किया जाता है जिससे वे युग्मित (coupled) किए गए हैं। मुख्य युग्मन विधियाँ हैं : प्रतिरोध-धारिता (RC) युग्मन, प्रतिबाधा (impedence) युग्मन, परिणामित्र युग्मन (transformer coupling) और प्रत्यक्ष (direct) युग्मन। RC-युग्मन में निर्गत लोड एक प्रतिरोध होता है। प्रतिबाधा युग्मन में निर्गत लोड के लिए प्रतिरोध के स्थान पर एक कुंडली (coil) का प्रयोग किया जाता है। परिणामित्र युग्मन में परिणामित्र की सहायता से एक परिपथ के निर्गत को अगले परिपथ के निवेश

से युग्मित किया जाता है। प्रत्यक्ष युग्मन (direct coupling) में एक चरण के निर्गत को अगले चरण के निवेश में सीधे जोड दिया जाता है।

परिपथ विन्यास के अनुसार प्रवर्धक

जिन मुख्य अवयवों को भू-संपर्कित (ac ground) किया जाता है, उस आधार पर भी प्रवर्धकों को वर्गीकृत किया गया है। ये हैं : (i) भू-संपर्कित आधार (grounded base) या उभयनिष्ठ आधार (CB-common base) प्रवर्धक, (ii) भू-संपर्कित उत्सर्जक (grounded emitter) या उभयनिष्ठ उत्सर्जक (CE) प्रवर्धक, (iii) भू-संपर्कित संग्राही (grounded collector) या उभयनिष्ठ संग्राही (CC) प्रवर्धक।

बैंड चौड़ाई के अनुसार प्रवर्धक

दो मुख्य प्रकार के प्रवर्धक होते हैं : एक वे जो कि समस्वरित (tuned) होते हैं तथा सीमित परिसर वाली आवृत्तियों को ही प्रवर्धित करते हैं और दूसरे वे जो असमस्वरित होते हैं तथा अत्यधिक परिसर वाली आवृत्तियों को प्रवर्धित करते हैं।

आवृत्ति के अनुसार प्रवर्धक

इन प्रवर्धकों को दिष्ट धारा (d-c) प्रवर्धक, ऑडियो आवृत्ति (a-f) प्रवर्धक, मध्यवर्ती (intermediate) आवृत्ति (i-f) प्रवर्धक, रेडियो आवृत्ति (r-f) प्रवर्धक और वीडियो आवृत्ति (v-f) प्रवर्धक में वर्गीकृत किया जाता है।

जैसा कि इनके नाम से पता चलता है, d-c प्रवर्धक अति निम्न आवृत्ति वाले सिगनलों को प्रवर्धित करते हैं। ऑडियो प्रवर्धक ऑडियो आवृत्ति परिसर की आवृत्तियाँ अर्थात् 20 से 20,000 चक्र प्रति सेकंड तक की आवृत्तियों को प्रवर्धित करती हैं। वीडियो प्रवर्धक अपेक्षाकृत अधिक निम्न ऑडियो आवृत्तियों से लेकर 4 या 5 मेगा चक्र प्रति सेकंड की उच्च आवृत्तियों वाले सिगनलों को प्रवर्धित करते हैं।

I-f और r-f प्रवर्धक विशिष्ट आवृत्ति-परिसर के रूप में परिभाषित नहीं होते। ये उन आवृत्तियों की प्रकृति से परिभाषित किए जाते हैं, जिन्हें वे प्रवर्धित करते हैं। सामान्यतः ये समस्वरित प्रवर्धक होते हैं, अतः ये अपेक्षाकृत लघु बैंड वाली आवृत्तियों को ही प्रवर्धित करती हैं। I-f प्रवर्धक एक विशेष उपकरण की मध्यवर्ती आवृत्ति पर काम करते हैं और r-f प्रवर्धक विभिन्न r-f वाहक तरंगों (carrier waves) की आवृत्तियों पर समस्वरित होते हैं।

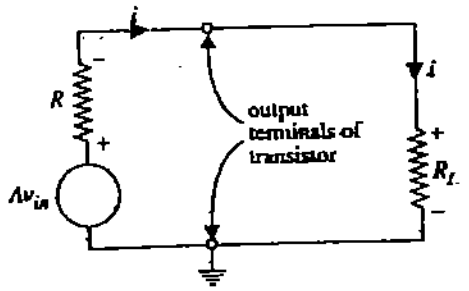
आप देखेंगे कि प्रवर्धकों को वर्गों में रखने की विधि एक स्वेच्छ विधि ही रही है, क्योंकि वर्गीकरण करने की सभी विधियाँ एक-दूसरे को कुछ न कुछ अतिव्याप्त अवश्य करते हैं। उदाहरण के लिए, ऑडियो प्रवर्धक वोल्टता या शक्ति प्रवर्धक भी हो सकते हैं। इसी प्रकार, r-f प्रवर्धक प्रायः एक समस्वरित प्रवर्धक होता है और साथ ही उभयनिष्ठ उत्सर्जक या उभयनिष्ठ आधार प्रवर्धक भी हो सकता है। इस अतिव्यापन के बावजूद, विवरण देने के उद्देश्य से, किसी न किसी प्रकार का वर्गीकरण करना आवश्यक हो जाता है।

4.3 ट्रॉन्जिस्टर का तुल्य परिपथ

इकाई 3 में आप विभिन्न इलेक्ट्रॉनिक युक्तियों के बारे में पढ़ चुके हैं। जब आप किसी अनुप्रयोग के लिए इनका उपयोग करते हैं और परिपथ का विश्लेषण करना चाहते हैं, तब इन युक्तियों के स्थान पर कुछ तुल्य परिपथों (equivalent circuits) का उपयोग किया जाता है। अतः इस इकाई में हम इस बात पर चर्चा करेंगे कि एक ट्रॉन्जिस्टर के स्थान पर किस प्रकार उसके तुल्य परिपथ का उपयोग किया जाता है। आपको भिन्न-भिन्न अवयवों को उपयुक्त वोल्टता सप्लाई करनी होती है और युक्ति को रैखिक रूप से (linearly) प्रचालित होना होता है। अतः हम प्रचालन बिन्दु (operating point) और स्थायित्व (stability) पर भी चर्चा करेंगे।

ट्रॉन्जिस्टर का तुल्य परिपथ मूलतः एक ऐसा परिपथ होता है, जिसमें आदर्श वोल्टता और/या धारा "स्रोत" (source) या "जनित्र" (generator) और निष्क्रिय घटक (R, L और C) (passive component) होते हैं, जो ठीक ट्रॉन्जिस्टर की तरह विद्युततः (electrically) कार्य करते हैं। दूसरे

शब्दों में, ट्रॉन्जिस्टर के स्थान पर तुल्य परिपथ के उपयुक्त जनित्र-संग्रह तथा निष्क्रिय घटकों का उपयोग किया जा सकता है। तुल्य परिपथ लेने से यह फायदा होता है कि विभिन्न लूपों और संधियों (junctions) के लिए किरशॉफ़ वोल्टता और धारा नियम लिखकर और केवल बीजगणित तथा ओम-नियम की सहायता से अभीष्ट राशियों को हल करके ट्रॉन्जिस्टर के ठीक-ठीक व्यवहार (लाभ, आदि) का अनुमान लगाया जा सकता है। एक सरल उदाहरण लेकर यह दिखाया जा सकता है कि इस संबंध में परिकलन किस प्रकार किए जाते हैं। मान लीजिए एक ट्रॉन्जिस्टर का तुल्य परिपथ परिमाण Av_{in} वाला एक आदर्श वोल्टता जनित्र है, जो एक प्रतिरोध R के साथ श्रेणी में लगा है, जैसा कि चित्र 4.4 में दिखाया गया है। बीजगणितीय रूप में A एक धन संख्या है और v_{in} ट्रॉन्जिस्टर में निवेश वोल्टता का आयाम है।



चित्र 4.4: सरल तुल्य परिपथ।

R_L निर्गत टर्मिनलों से जुड़ा लोड प्रतिरोध है। वोल्टता जनित्र निवेश की तुलना में A गुना अधिक वोल्टता उत्पन्न करता है। अतः A के बारे में यह सोचा जा सकता है कि परिकलन के इस चरण पर A वोल्टता लाभ है। अतः वोल्टता लाभ यह होता है :

$$A_v = \frac{v_{out}}{v_{in}} = \frac{iR_L}{v_{in}} \tag{4.1}$$

जनित्र, R और R_L वाले लूप में किरशॉफ़ वोल्टता समीकरण लागू कर धारा i का मान प्राप्त किया जा सकता है। अर्थात्

$$Av_{in} - iR - iR_L = 0$$

या
$$i = \frac{Av_{in}}{R + R_L} \tag{4.2}$$

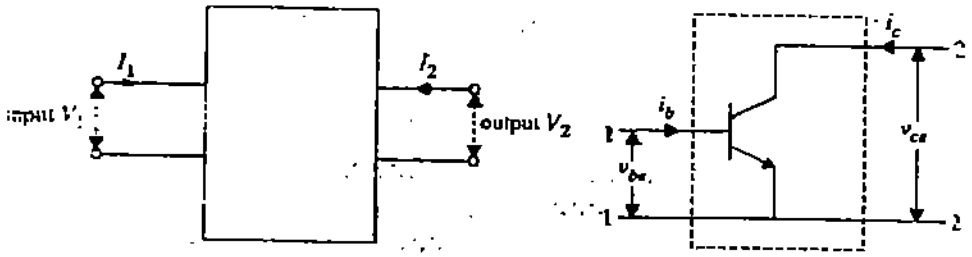
इस तरह, वोल्टता लाभ यह हो जाता है

$$A_v = \frac{v_{out}}{v_{in}} = \frac{iR_L}{v_{in}} = \frac{Av_{in}R_L}{(R + R_L)\,v_{in}}$$

या
$$A_v = A\left(\frac{R_L}{(R + R_L)}\right) \tag{4.3}$$

यहाँ हम यह देखते हैं कि वोल्टता A, R और R_L पर निर्भर करता है और जब R की तुलना में R_L बहुत बड़ा हो जाता है, तभी हमें $A_v \cong A$ प्राप्त होता है।

आइए, अब हम एक पूर्णतः सामान्य तुल्य परिपथ विकसित करें जिसे किसी भी चार-टर्मिनल वाले युक्ति के स्थान पर लागू किया जा सकता हो, जैसा कि चित्र 4.5 (क) में दिखाया गया है। I_1 और I_2 क्रमशः निवेश और निर्गत में प्रवाहित हो रही धाराएँ हैं। V_1 और V_2 क्रमशः निवेश और निर्गत टर्मिनलों पर विभवान्तर हैं। यहाँ हमें चार चर राशियाँ प्राप्त होती हैं : I_1, V_1, I_2 और V_2 ये चार राशियाँ धाराओं और वोल्टताओं के कुल तात्क्षणिक मानों को दर्शाती हैं।



(a) (b)

चित्र 4.5: (क) सामान्य टर्मिनल वाला काला बक्स (ख) एक चार-टर्मिनल नेटवर्क के रूप में ट्रॉन्जिस्टर।

उस नेटवर्क को जिसमें निवेश टर्मिनलों का एक युग्म (pair) और निर्गत टर्मिनलों का एक युग्म होता है, उसे द्विअंशी नेटवर्क (two port network) या चतुर्टर्मिनल नेटवर्क (four terminal network) कहा जाता है। "उभयनिष्ठ उत्सर्जक" (CE), "उभयनिष्ठ आधार" (CB) या "उभयनिष्ठ संग्राही" (CC) विन्यास में लगे ट्रॉन्जिस्टर को भी एक-एक चतुर्टर्मिनल नेटवर्क के रूप में समझा जा सकता है, जैसा कि चित्र 4.5 (ख) में दिखाया गया है। यहाँ 1,1 निवेश टर्मिनल है और 2,2 निर्गत टर्मिनल हैं। i_b और v_{be} निवेश धारा और निवेश वोल्टता हैं जबकि i_c और v_{ce} निर्गत परिपथ के संगत मान हैं। इस तरह, हमें चार राशियाँ प्राप्त होती हैं, जिनमें दो धाराएँ हैं और दो वोल्टताएँ हैं। इन चार राशियों में से हम दो को आश्रित राशियाँ (dependent quantities) और शेष दो को स्वतंत्र राशियाँ (independent quantities) मान सकते हैं। इस तरह हम आश्रित राशियों को स्वतंत्र राशियों के पदों में व्यक्त करते हैं।

एक ट्रॉन्जिस्टर में तीन टर्मिनल होते हैं जबकि काला बक्स में जिसका कि तुल्य परिपथ विकसित करना है, चार टर्मिनल होते हैं। अतः ट्रॉन्जिस्टर के स्थान पर तुल्य परिपथ लागू करने के लिए यह आवश्यक है कि ट्रॉन्जिस्टर का एक टर्मिनल निवेश और निर्गत में उभयनिष्ठ हो। यह टर्मिनल या तो उत्सर्जक, या संग्राही या आधार हो सकता है। इस तरह प्राप्त ट्रॉन्जिस्टर विन्यास को क्रमशः "उभयनिष्ठ उत्सर्जक", (common emitter - CE), उभयनिष्ठ संग्राही (common collector - CC) "उभयनिष्ठ आधार (common base - CB) विन्यास कहा जाता है।

इन राशियों के चयन से चतुर्टर्मिनल नेटवर्क के अलग-अलग तुल्य परिपथ प्राप्त होते हैं। फिर भी सरलता की दृष्टि से ट्रॉन्जिस्टर के लिए उस तुल्य परिपथ का व्यापक रूप से प्रयोग होता है, जिसमें i_b और v_{ce} को स्वतंत्र राशि तथा i_c, v_{be} को आश्रित राशि माना गया हो। इस तरह, हम यह लिखते हैं

$$i_c = f(i_b, v_{ce}) \tag{4.4}$$

और

$$v_{be} = (i_b, v_{ce}) \tag{4.5}$$

यदि हम चित्र 4.5 (क) लें, तो

$$I_2 = I_2(I_1, V_2) \tag{4.6}$$

$$V_1 = V_1(I_1, V_2) \tag{4.7}$$

सामान्यतः हमारी रुचि इस बात में रहती है कि ac सिगनलों के प्रति ट्रॉन्जिस्टर का व्यवहार कैसा रहता है; अतः I_2 में हो रहे परिवर्तन अर्थात् (dI_2) और V_1 में हो रहे परिवर्तन (अर्थात् dV_1) के व्यंजक प्राप्त करने के लिए हम (4.6) और (4.7) के अवकल (differential) लेते हैं, अर्थात्

$$dI_2 = \left(\frac{\partial I_2}{\partial I_1}\right)_{V_2} dI_1 + \left(\frac{\partial I_2}{\partial V_2}\right)_{I_1} dV_2 \tag{4.8}$$

$$dV_1 = \left(\frac{\partial V_1}{\partial I_1}\right)_{V_2} dI_1 + \left(\frac{\partial V_1}{\partial V_2}\right)_{I_1} dV_2 \tag{4.9}$$

आइए, इसे एक ऐसे संकेत में व्यक्त करें, जिससे कि ac सिगनलों या धाराओं और वोल्टताओं में हो रहे परिवर्तनों का प्रयोग करने में उपयोगी हो। मान लीजिए $i_2 = dI_2$, $i_1 = dI_1$, $v_1 = dV_1$ और $v_2 = dV_2$। अर्थात् छोटे अक्षर v और i वोल्टताओं और धाराओं में हो रहे परिवर्तनों अर्थात् ac सिगनल आयामों को प्रकट करते हैं। इन संकेतों का प्रयोग करने पर हमें यह प्राप्त होता है

$$i_2 = \left(\frac{\partial I_2}{\partial I_1}\right)_{V_2} i_1 + \left(\frac{\partial I_2}{\partial V_2}\right)_{I_1} v_2 \qquad (4.10)$$

$$v_1 = \left(\frac{\partial V_1}{\partial I_1}\right)_{V_2} i_1 + \left(\frac{\partial V_1}{\partial V_2}\right)_{I_1} v_2 \qquad (4.11)$$

अब हम आंशिक अवकलजों के पदों में अपने चतुर्टर्मिनल वाले काले बक्स के h प्राचलों को परिभाषित करेंगे :

$h_{21} = h_f = \left(\frac{\partial I_2}{\partial I_1}\right)_{V_2} = \frac{I_2}{I_1}$ = लघु परिपथ अग्र धारा अनुपात, $V_2 = 0$

$h_{22} = h_o = \left(\frac{\partial I_2}{\partial V_2}\right)_{I_1} = \frac{I_2}{V_2}$ = खुला परिपथ निर्गत प्रवेश्यता (admittance), $I_1 = 0$

$h_{11} = h_i = \left(\frac{\partial V_1}{\partial I_1}\right)_{V_2} = \frac{V_1}{I_1}$ = लघु परिपथ निवेश प्रतिबाधा, $V_2 = 0$

$h_{12} = h_r = \left(\frac{\partial V_1}{\partial V_2}\right)_{I_1} = \frac{V_1}{V_2}$ = खुला परिपथ विलोमी वोल्टता अनुपात, $I_1 = 0$

सारणी 4.1 में प्रत्येक प्राचल का अर्थ और अभीष्ट प्रतिरूप के बारे में संक्षिप्त विवरण दिया गया है :

सारणी 4.1 : प्राचल

प्राचल	अर्थ	समीकरण	प्रतिबंध
h_{11}	निवेश प्रतिबाधा	$\frac{V_1}{I_1}$	निर्गत लघु किया गया
h_{12}	विलोमी वोल्टता लाभ	$\frac{V_1}{V_2}$	निवेश खुला हुआ
h_{21}	धारा लाभ	$\frac{I_2}{I_1}$	निर्गत लघु किया गया
h_{22}	निर्गत प्रवेश्यता	$\frac{I_2}{V_2}$	निवेश खुला हुआ

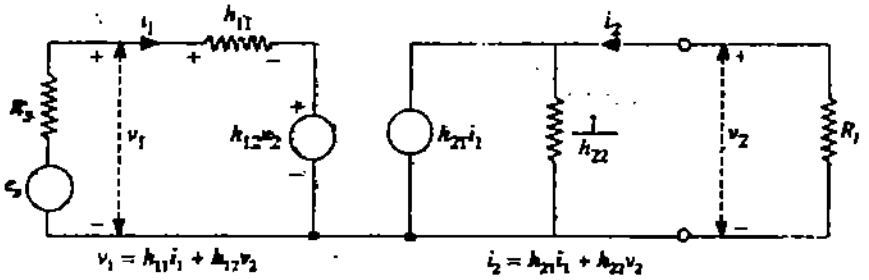
क्योंकि h प्राचलों की विभिन्न विमाएँ होती है, इसलिए इसे "संकर" (hybrid) प्राचल कहा जाता है इस संकेतन से हमें यह प्राप्त होता है

$$i_2 = h_{21}\, i_1 + h_{22}\, v_2 \qquad (4.12)$$

$$v_1 = h_{11}\, i_1 + h_{12}\, v_2 \qquad (4.13)$$

समीकरण (4.12) और समीकरण (4.13) जो कि h प्राचलों के माध्यम से आश्रित चरों i_2 और v_1 तथा स्वतंत्र चरों i_1 और v_2 के बीच सम्बंध स्थापित करता है, तुल्य परिपथ को निर्धारित करता है। पद $h_{21}\, i_1$ का यह अर्थ है कि यहाँ h_{21} गुना i_1 के परिमाण वाला एक धारा जनित्र है। पद $h_{22}\, v_2$ का अर्थ यह है कि चालकत्व h_{22} (अर्थात् $1/h_{22}$ ओम वाले प्रतिरोध) के बीच विभवान्तर v_2 है। पद $h_{11}\, i_1$ का अर्थ यह है कि धारा i_1, h_{11} ओम वाले एक प्रभावी प्रतिरोध में प्रवाहित होती है। पद $h_{12}\, v_2$ का अर्थ है कि यहाँ परिमाण $h_{12}\, v_2$ वाला एक वोल्टता जनित्र है। अतः हम चित्र 4.6 के अनुसार तुल्य परिपथ बना सकते हैं। समीकरण (4.12) निर्गत के लिए केवल किरशॉफ़ धारा समीकरण मालूम पड़ता है और समीकरण (4.13) निवेश के लिए किरशॉफ वोल्टता समीकरण मालूम पड़ता है।

h प्राचलों का कुछ भौतिक अनुभव चित्र 4.6 के तुल्य परिपथ से प्राप्त किया जा सकता है।



चित्र 4.6: ट्रान्जिस्टर का h-प्राचल तुल्य परिपथ।

h_{11} प्राचल निवेश परिपथ में एक प्रतिरोध है जिसे प्रायः "निवेश प्रतिरोध" कहा जाता है। $h_{12}v_2$ पद निवेश में वोल्टता जनित्र का आयाम है, यह इस बात को बताता है कि कितनी निर्गत वोल्टता निवेश में स्थानांतरित या पुनर्भरित हुई है और h_{12} को "विरोधी वोल्टता स्थानांतर अनुपात" कहा जाता है। शब्द "विरोधी" का प्रयोग निर्गत से निवेश में हुए स्थानांतर को प्रकट करता है। h_{21} प्राचल यह बताता है कि कितनी निवेश धारा i_1 निर्गत में स्थानांतरित होती है : h_{21} को "अग्र धारा स्थानांतर अनुपात" कहा जाता है। h_{21} का मान जितना अधिक होता है, उतना ही अधिक एक दिए हुए निवेश धारा परिवर्तन पर निर्गत धारा में परिवर्तन होता है। हम h_{22} को "निर्गत प्रवेश्यता" (output admittance) कहते हैं, क्योंकि यह सीधे निर्गत टर्मिनलों के बीच प्रवेश्यता या चालकत्व का मान प्रकट करता है।

ट्रॉन्जिस्टरों के h प्राचलों की सूची यह है :

$$h_i = h_{11}$$
$$h_r = h_{12}$$
$$h_f = h_{21}$$
$$h_o = h_{22}$$

जहाँ h_i = लघुकृत निर्गत सहित निवेश प्रतिबाधा (input impedence with output shorted)

h_r = खुले निवेश सहित विरोधी वोल्टता लाभ (reverse voltage gain with input open)

h_f = लघुकृत निर्गत सहित अग्र धारा लाभ (forward current gain with output shorted)

h_o = खुले निवेश सहित निर्गत प्रवेश्यता (output admittance with input open)

इसे याद रखने के लिए इस बात को ध्यान में रखिए कि पादाक्षर (subscript), विवरण का पहला अक्षर है :

i = निवेश (input)

r = विरोधी (reverse)

f = अग्र (forward)

o = निर्गत (output)

ट्रॉन्जिस्टर के h प्राचल प्रयुक्त किए गए ट्रॉन्जिस्टर विन्यास अर्थात् CE, CC, CB पर निर्भर करते हैं। यही कारण है कि CE विन्यास में अक्षर e को CC विन्यास में अक्षर c को और CB विन्यास में अक्षर b को सम्मिलित कर लिया गया है। सारणी 4.2 में सामान्य रूप से प्रयुक्त ट्रॉन्जिस्टर h प्राचलों के संकेत का संक्षिप्त विवरण दिया गया है। जैसा कि आप यह देख सकते हैं कि CE प्राचल h_{ie}, h_{re}, h_{fe} और h_{oe} हैं।

सारणी 4.2 : संबंध

सामान्य	CE	CC	CB
h_{11}	h_{ie}	h_{ic}	h_{ib}
h_{12}	h_{re}	h_{rc}	h_{rb}
h_{21}	h_{fe}	h_{fc}	h_{fb}
h_{22}	h_{oe}	h_{oc}	h_{ob}

चित्र 4.6 के सामान्य h प्राचल तुल्य परिपथ और समीकरण (4.12) तथा समीकरण (4.13) का व्यापक प्रयोग अपने निम्नलिखित तीन विन्यासों में ट्रॉन्जिस्टर प्रवर्धक के वोल्टता लाभ, धारा लाभ, निवेश प्रतिबाधा और निर्गत प्रतिबाधा का परिकलन करने में किया जाता है :

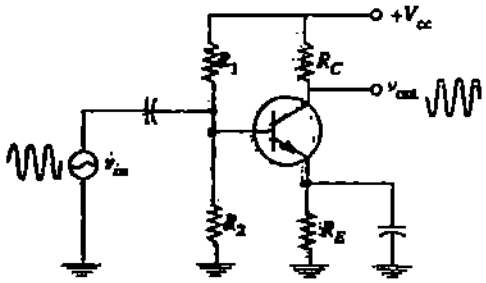
i) उभयनिष्ठ उत्सर्जक

ii) उभयनिष्ठ आधार

iii) उभयनिष्ठ संग्राही

4.3.1 उभयनिष्ठ उत्सर्जक प्रवर्धक

चित्र 4.7 में एक CE प्रवर्धक दिखाया गया है। निवेश पर एक लघु ज्या तरंग (sine wave) लागू किया जाता है। इसके कारण आधार धारा में परिवर्तन होने लगता है। β के कारण संग्राही धारा समान आवृत्ति वाली प्रवर्धित ज्या तरंग होती है। यह ज्यावक्रीय (sinusoidal) संग्राही धारा संग्राही प्रतिरोध में प्रवाहित होती है और एक प्रवर्धित निर्गत वोल्टता उत्पन्न करती है।



चित्र 4.7: उभयनिष्ठ उत्सर्जक प्रवर्धक।

यहाँ यह ध्यान दीजिए कि ac निवेश वोल्टता के सापेक्ष ac निर्गत वोल्टता उलट जाती है अर्थात् यह निवेश से 180° कला-बाह्य (out of phase) हो जाती है।

निवेश वोल्टता के धनात्मक अर्ध चक्र की अवधि में आधार धारा में वृद्धि होने लगती है जिसके कारण संग्राही धारा में वृद्धि होने लगती है। इससे संग्राही प्रतिरोध पर काफी अधिक वोल्टता-ह्रास हो जाता है। अतः संग्राही वोल्टता में कमी आने लगती है और इस प्रकार निर्गत वोल्टता का प्रथम ऋणात्मक अर्ध चक्र प्राप्त होता है। विलोमतः निवेश वोल्टता के ऋणात्मक चक्र के दौरान अपेक्षाकृत कम संग्राही धारा प्रवाहित होती है और संग्राही प्रतिरोधक पर वोल्टता का ह्रास कम होता है। यही कारण है कि संग्राही से भूमि के बीच विभव वोल्टता (collector-to-ground voltage) बढ़ जाता है और हमें निर्गत वोल्टता का धनात्मक अर्ध चक्र प्राप्त होता है।

धारा लाभ

प्रवर्धक का धारा लाभ ac निर्गत धारा और ac निवेश धारा का अनुपात होता है। प्रतीक में

$$A_i = \frac{i_2}{i_1} \tag{4.14}$$

समीकरण (4.12) की सहायता से हम समीकरण (4.14) को इस प्रकार लिख सकते हैं

$$A_i = \frac{h_{21}\, i_1 + h_{22}\, v_2}{i_1} = h_{21} + h_{22}\frac{v_2}{i_1}$$

चित्र 4.6 से आप यह देख सकते हैं कि $v_2' = -i_2 r_L$ है। इसे प्रतिस्थापित करने पर हमें यह प्राप्त होता है :

$$A_i = h_{21} - h_{22}\frac{i_2 r_L}{i_1} = h_{21} - A_i h_{22} r_L$$

A_i के लिए इसे हल करने पर हमे यह प्राप्त होता है

$$A_i = \frac{h_{21}}{1 + h_{22} r_L} \qquad (4.15)$$

वोल्टता लाभ

प्रवर्धक का वोल्टता लाभ ac निर्गत वोल्टता और निवेश वोल्टता का अनुपात होता है। प्रतीक में

$$A_v = \frac{v_2}{v_1}$$

समीकरण (4.13) के साथ हमें यह प्राप्त होता है :

$$A_v = \frac{v_2}{h_{11} i_1 + h_{12} v_2} = \frac{-i_2 r_L}{h_{11} i_1 - h_{12} i_2 r_L}$$

हर और अंश को i_2 से भाग देने पर हमें यह प्राप्त होता है :

$$A_v = \frac{-r_L}{h_{11}/A_i - h_{12} r_L}$$

समीकरण (4.15) को लागू करने पर हमें यह प्राप्त होता है

$$A_v = \frac{-h_{21} r_L}{h_{11} + (h_{11} h_{22} - h_{12} h_{21}) r_L} \qquad (4.16)$$

निवेश प्रतिबाधा (Input Impedence)

निर्गत में लोड लगे हुए एक द्विअंशी नेटवर्क की निवेश प्रतिबाधा यह होती है :

$$Z_{in} = \frac{v_1}{i_1} = \frac{h_{11} i_1 + h_{12} v_2}{i_1} = h_{11} + \frac{h_{12} v_2}{i_1}$$

क्योंकि $v_2 = -i_2 r_L$ है इसलिए

$$Z_{in} = h_{11} - \frac{h_{12} i_2 r_L}{i_1} = h_{11} - A_i h_{12} r_L$$

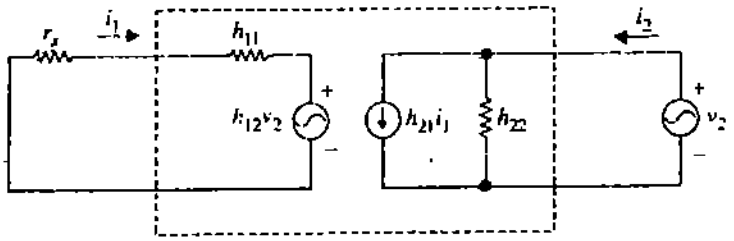
समीकरण (4.15) को लागू करने पर हमें यह प्राप्त होता है

$$Z_{in} = h_{11} - \frac{h_{12} h_{21} r_L}{1 + h_{22} r_L} \qquad (4.17)$$

निर्गत प्रतिबाधा (Output Impedence)

निर्गत प्रतिबाधा प्राप्त करने के लिए चित्र 4.6 में दिखाई गई स्रोत वोल्टता को घटाकर शून्य कर दिया जाता है। तत्पश्चात् निर्गत टर्मिनलों के बीच सिगनल v_2 लगाया जाता है, जैसा कि चित्र 4.8 में दिखाया गया है। v_2 और i_2 का अनुपात द्विअंशी नेटवर्क की निर्गत प्रतिबाधा होती है। प्रतीक में

$$Z_{out} = \frac{v_2}{i_2} = \frac{v_2}{h_{21} i_1 + h_{22} v_2} \qquad (4.18)$$



चित्र 4.8: निर्गत प्रतिबाधा प्राप्त करने के लिए निर्गत टर्मिनलों के बीच सिगनल v_2 लगाया गया है।

निवेश पक्ष में, ओम-नियम से यह प्राप्त होता है :

$$i_1 = \frac{-h_{12}v_2}{r_s + h_{11}}$$

इसे समीकरण (4.18) में प्रतिस्थापित करने पर हमें यह प्राप्त होता है :

$$Z_{out} = \frac{r_s + h_{11}}{(r_s + h_{11})\,h_{22} - h_{12}h_{21}} \tag{4.19}$$

अतः CE प्रवर्धक के लिए h सूत्रों को इस प्रकार लिखा जाता है :

$$A_i = \frac{h_{fe}}{1 + h_{oe}r_L}$$

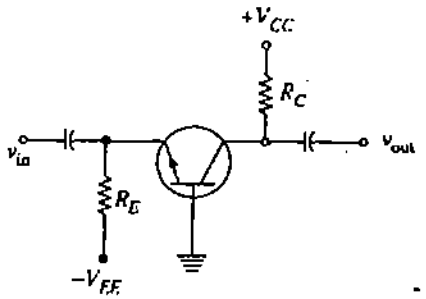
$$A_v = \frac{-h_{fe}r_L}{h_{ie} + (h_{ie}h_{oe} - h_{re}h_{fe})r_L}$$

$$Z_{in} = h_{ie} - \frac{h_{re}h_{fe}r_L}{1 + h_{oe}r_L}$$

$$Z_{out} = \frac{r_s + h_{ie}}{(r_s + h_{ie})\,h_{oe} - h_{re}h_{fe}}$$

4.3.2 उभयनिष्ठ आधार प्रवर्धक

चित्र 4.9 में एक उभयनिष्ठ आधार प्रवर्धक दिखाया गया है। निवेश और निर्गत दोनों में ही आधार टर्मिनल उभयनिष्ठ होता है। निवेश तो उत्सर्जक पर होता है और निर्गत संग्राही पर अर्थात् संग्राही प्रतिरोध R_C पर उपलब्ध होता है। उभयनिष्ठ आधार प्रवर्धक में निर्गत निवेश की कला में होता है।



चित्र 4.9: उभयनिष्ठ आधार प्रवर्धक।

धनात्मक निवेश उत्सर्जक को, आधार की अपेक्षा अधिक धनात्मक बना देता है जिस कारण संग्राही धारा में कमी आने लगती है। संग्राही धारा में आ रही इस कमी के कारण संग्राही पर निर्गत वोल्टता में वृद्धि होने लगती है और इस तरह एक धनात्मक की ओर जाने वाला निर्गत प्राप्त होता है।

धारा लाभ, वोल्टता लाभ, निवेश प्रतिबाधा और निर्गत प्रतिबाधा का परिकलन करने के लिए हमें CB प्राचलों अर्थात् h_{ib}, h_{rb}, h_{fb} और h_{ob} का प्रयोग करना पड़ता है। आधारभूत सूत्र ये होते हैं :

$$A_i = \frac{h_{fb}}{1 + h_{ob} r_L} \qquad (4.20\text{ क})$$

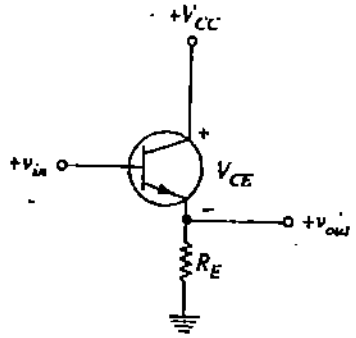
$$A_v = \frac{-h_{fb} r_L}{h_{ib} + (h_{ib} h_{ob} - h_{rb} h_{fb}) r_L} \qquad (4.20\text{ ख})$$

$$Z_{in} = h_{ib} - \frac{h_{rb} h_{fb} r_L}{1 + h_{ob} r_L} \qquad (4.20\text{ ग})$$

$$Z_{out} = \frac{r_s + h_{ib}}{(r_s + h_{ib}) h_{ob} - h_{rb} h_{fb}} \qquad (4.20\text{ घ})$$

4.3.3 उभयनिष्ठ संग्राही प्रवर्धक

चित्र 4.10 में दिखाया गया उभयनिष्ठ संग्राही विन्यास में संग्राही टर्मिनल निवेश और निर्गत दोनों में उभयनिष्ठ है। निवेश आधार पर होता है और निर्गत उत्सर्जक अर्थात् उत्सर्जक प्रतिरोधक R_E पर उपलब्ध होता है। निवेश का अधिक धनात्मक होते ही, ट्रॉन्जिस्टर में धारा प्रवाहित होने लगती है और I_E में वृद्धि होने लगती है अर्थात् निर्गत भी अधिक धनात्मक होने लगता है।



चित्र 4.10: उभयनिष्ठ संग्राही विन्यास।

दूसरे शब्दों में निर्गत वोल्टता निवेश वोल्टता की कला में होती है। अतः उभयनिष्ठ संग्राही प्रवर्धक को प्रायः "उत्सर्जक अनुगामी" (emitter follower) कहा जाता है, क्योंकि उत्सर्जक की वोल्टता आधार पर लगाए गए निवेश वोल्टता का अनुगमन करती है।

धारा लाभ, वोल्टता लाभ, निवेश प्रतिबाधा, निर्गत प्रतिबाधा का परिकलन करने के लिए हमें CC विन्यास के h प्राचलों h_{ic}, h_{rc}, h_{fc} और h_{oc} का प्रयोग करने की आवश्यकता होती है। इस प्रकार निम्नलिखित सूत्र प्राप्त होते हैं :

$$A_i = \frac{h_{fc}}{1 + h_{oc} r_L} \qquad (4.21\text{ क})$$

$$A_v = \frac{-h_{fc} r_L}{h_{ic} + (h_{ic} h_{oc} - h_{rc} h_{fc}) r_L} \qquad (4.21\text{ ख})$$

$$Z_{in} = h_{ic} - \frac{h_{rc} h_{fc} r_L}{1 + h_{oc} r_L} \qquad (4.21\text{ ग})$$

$$Z_{out} = \frac{r_s + h_{ic}}{(r_s + h_{ic}) h_{oc} - h_{rc} h_{fc}} \qquad (4.21\text{ घ})$$

अब यहाँ हम सारणी 4.3 में तीन प्रकार के प्रवर्धक परिपथों का तुलनात्मक विवरण दे रहे हैं।

सारणी 4.3: तीन प्रकार के प्रवर्धक परिपथों का तुलनात्मक अध्ययन

गुणधर्म	उभयनिष्ठ उत्सर्जक	उभयनिष्ठ आधार	उभयनिष्ठ संग्राही
ट्रॉन्जिस्टर प्रतिरोध	मध्यम निवेश प्रतिबाधा और मध्यम निर्गत प्रतिबाधा	अपेक्षाकृत निम्न निवेश प्रतिबाधा और अपेक्षाकृत उच्च निर्गत प्रतिबाधा	उच्च निवेश प्रतिबाधा और निम्न निर्गत प्रतिबाधा
धारा लाभ	वृहत् धारा लाभ	लगभग कोई भी धारा नहीं	उच्च धारा लाभ
वोल्टता लाभ	वृहत् वोल्टता लाभ	साधारण वोल्टता लाभ	वोल्टता लाभ का मान एक से कम होता है।
निवेश और निर्गत सिगनलों के बीच कला संबंध	निवेश सिगनल और निर्गत सिगनल 180° के अंतर पर हैं।	कोई भी कला व्युत्क्रमण नहीं	कोई भी कला व्युत्क्रमण नहीं
मुख्य प्रयोग	ट्रॉन्जिस्टर विन्यास में	अति उच्च आवृत्तियों में	लाउडस्पीकर जैसे निम्न प्रतिबाधा वाले लोडों को चलाने में

4.4 प्रचालन बिन्दु और बायस स्थायित्व

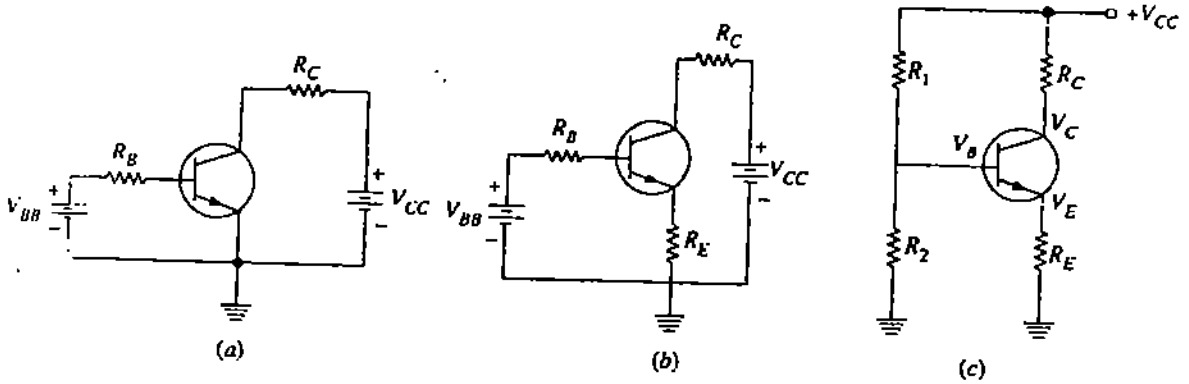
कोई युक्ति इष्टतम ढंग से काम कर सके, इसके लिए यह आवश्यक है कि उसके अलग-अलग अवयवों पर उपयुक्त वोल्टता लागू की जाए। लागू की जाने वाली वोल्टताएं ऐसी होनी चाहिए कि लागू की गई वोल्टता में थोड़ा भी परिवर्तन होने पर भी युक्ति समान रूप से काम करती रहे। निर्गम अवयव पर प्रचालन वोल्टता और धारा तथा निवेश इलेक्ट्रोड की प्रचालन वोल्टता और धारा, युक्ति की प्रचालन बिन्दु (operating point) या "शांत" बिन्दु (quiscent point) परिभाषित करती है। उदाहरण के लिए, उभयनिष्ठ उत्सर्जक विन्यासों के ट्रॉन्जिस्टर में लोड लाइन पर प्रचालन बिन्दु होता है, जो I_C V_{CE} और I_B को निरूपित करता है जबकि निवेश सिगनल लागू नहीं किया गया है (अर्थात् निवेश सिगनल = 0 है)।

जब ट्रॉन्जिस्टर का प्रयोग प्रवर्धक परिपथ में किया जाता है, तब ट्रॉन्जिस्टर पर एक लघु ac सिगनल लगा कर समान आवृत्ति वाला वृहत् ac सिगनल प्राप्त किया जाता है। ac सिगनल को ट्रॉन्जिस्टर में युग्मित करने से पहले हमें लोड लाइन के लगभग मध्य में प्रचालन के शांत (Q) बिन्दु को स्थापित करना होता है। इस प्रकार आगमी (incoming) ac सिगनल इस Q बिन्दु के ऊपर और नीचे उच्चावचन (fluctuation) उत्पन्न करने लगेगा। उभयनिष्ठ उत्सर्जक विन्यास में ट्रॉन्जिस्टर का Q बिन्दु V_{CE} और I_C से निर्दिष्ट होता है। अतः युक्ति ठीक ढंग से काम करे, इसके लिए यह आवश्यक है कि धारा और वोल्टता में हो रहे उच्चावचन न तो संतृप्ति (saturation) में और न ही अंतक (cut off) में ट्रान्जिस्टर को ले जाए।

ट्रॉन्जिस्टर के अलग-अलग अवयवों पर उपर्युक्त वोल्टता लागू करने को बायसन (biasing) कहा जाता है। चूंकि बायसन पर ट्रान्जिस्टर के प्राचल में हो रहे परिवर्तन, ट्रॉन्जिस्टर का प्रतिस्थापन और तापमान में हो रहे परिवर्तन आदि का प्रभाव पड़ता है, अतः इन परिवर्तनों से Q-बिन्दु (प्रचालन बिन्दु) को अप्रभावित रखना ही स्थायीकरण (stabilization) कहलाता है। विभिन्न बायसन परिपथों जैसे नियत बायस (जिसे आधार बायस भी कहा जाता है, स्व-बायस (जिसे संग्राही फीडबैक बायस) भी कहा जाता है और सार्वत्रिक बायस (जिसे वोल्टता विभाजक बायस भी कहा जाता है) का स्थायीकरण dc फीडबैक द्वारा होता है। रैखिक प्रचालन के लिए ट्रॉन्जिस्टर को बायस करने में नियत बायस का कभी भी प्रयोग नहीं किया जाता, क्योंकि इस स्थिति में Q-बिन्दु अस्थायी होता है। चित्र 4.11 में विभिन्न बायसन परिपथ दिखाए गए हैं। स्व-बायस में आधार प्रतिरोध संग्राही से जुड़ा होता है न कि पावर सप्लाई से। नियत बायस और स्व-बायस में यही अंतर है। नियत बायस की तुलना में इस प्रकार का बायस कुछ अधिक प्रभावी होता है। यद्यपि परिवर्तनों के प्रति यह

परिपथ संवेदनशील बना रहता है, फिर भी व्यवहार में इसी का प्रयोग किया जाता है। इसका लाभ इसकी सरलता है (इसमें केवल दो प्रतिरोधक लगे होते हैं)।

सार्वत्रिक बायस वह बायस है, जिसका प्रयोग रैखिक परिपथों में व्यापक रूप से किया जाता है। इसका नामकरण "वोल्टता विभाजक" R_1 और R_2 से बने वोल्टता विभाजक से हुआ है। R_2 की वोल्टता उत्सर्जक डायोड को अग्र बायसित (forward bias) कर देती है।



चित्र 4.11: (क) निश्चत बायस (ख) स्व-बायस (ग) सार्वत्रिक बायस।

चित्र 4.11 (ग) से आप यह देख सकते हैं कि यहाँ हमें केवल एक बैटरी + V_{CC} की आवश्यकता होती है। इसमें चार प्रतिरोधक होते हैं और निम्नलिखित संबंध के अनुसार यह Q-बिन्दु को स्थायित्व प्रदान करता है :

$$I_C \uparrow \rightarrow I_E \rightarrow (I_E R_E) \uparrow \rightarrow V_{BE} \downarrow$$

क्योंकि V_{R_2} अचर है और निम्नलिखित के बराबर है :

$$V_{BE} + I_E R_E \rightarrow I_C \downarrow \qquad (4.22)$$

यहाँ लगाया गया उपरिमुखी तीर यह बताता है कि इस तीर के साथ लगी भौतिक राशि के परिमाण में वृद्धि हो रही है जबकि अधोमुखी तीर के साथ लगी भौतिक राशि के परिमाण में कमी आ रही है। उदाहरण के लिए यदि β_{dc} में वृद्धि होती है तो संग्राही धारा में वृद्धि होती है। इससे उत्सर्जक वोल्टता में वृद्धि होती है जोकि आधार प्रतिरोधक की वोल्टता को कम कर देती है और आधार धारा को भी कम कर देती है। कम हुई आधार धारा के कारण संग्राही धारा कम होती है जो कि β_{dc} में हुई मूल वृद्धि को नकारात्मक कर देती है।

ट्रॉन्जिस्टर का β यह होता है :

$$\beta = \frac{I_C}{I_B},$$

जहाँ I_C संग्राही धारा है और I_B आधार धारा है।

प्रतिरोधक R_1 और R_2 V_{CC} सप्लाई के बीच एक वोल्टता विभाजक बनाता है। इन संयोजनों में प्रवाहित हो रही धारा संग्राही धारा की लगभग दसवां हिस्सा रखी जाती है, अर्थात् $I_1 = I_C / 10$ है। क्योंकि आधार धारा काफी कम होती है, इसलिए R_2 में प्रवाहित हो रही धारा को लगभग I_1 के बराबर माना जा सकता है। R_2 पर वोल्टता यह होती है :

$$V_{R_2} = I_1 R_2 = \frac{V_{CC} R_2}{R_1 + R_2}$$

$$= V_{BE} + VR_E = V_{BE} + I_E R_E$$

$$= V_{BE} + I_C R_E \qquad (\because I_C = I_E)$$

$$\therefore \frac{V_{CC} R_2}{R_1 + R_2} = V_{BE} + I_C R_E$$

क्योंकि वाम पक्ष अचर है, इसलिए I_C मे परिवर्तन होने पर V_{BE} की दिशा बदल जाती है जिससे कि I_C को प्रारम्भिक मानों पर लाया जा सके, जैसा कि समीकरण (4.22) में दिखाया गया है।

उदाहरण 1

चित्र 4.11 (ग) में दिए गए परिपथ की dc बायस वोल्टताएँ (अर्थात् आधार वोल्टता, उत्सर्जक वोल्टता, संग्राही वोल्टता और संग्राही उत्सर्जक वोल्टता) और धाराएँ (अर्थात् उत्सर्जक धारा और

संग्राही धारा) परिकलित कीजिए। यहाँ $R_1 = 40\ \text{K}\Omega$, $R_2 = 5\ \text{k}\Omega$, $R_C = 5\ \text{k}\Omega$; $V_{CC} = 12\ \text{V}$ और $R_E = 1\ \text{k}\Omega$ और मान लीजिए कि प्रयुक्त ट्रॉन्जिस्टर के लिए $V_{BE} = 0.3\ \text{V}$ और $\beta = 60$ है।

हल

आधार वोल्टता यह है :

$$V_B = V_{R_2} = \frac{R_2}{R_1 + R_2} \times V_{CC}$$

यहाँ $R_2 = 5\ \text{k}\Omega = 5 \times 10^3\ \Omega$; $R_1 = 40\ \text{k}\Omega = 40 \times 10^3\ \Omega$; $V_{CC} = 12\text{V}$. अत:

$$V_2 = \frac{5 \times 10^3}{(40 + 5) \times 10^3} \times 12 = 1.3\text{V}.$$

उत्सर्जक वोल्टता यह है :

$$V_E = V_2 - V_{BE} = 1.3 - 0.3 = 1.0\text{V}.$$

अत: उत्सर्जक धारा यह होगी :

$$I_E = \frac{V_E}{R_E} = \frac{1.0}{1 \times 10^3} = 1.0 \times 10^{-3}\text{A}$$

संग्राही धारा यह होगी :

$$I_C \sim I_E = 1.0\ \text{mA}$$

संग्राही वोल्टता यह होगी :

$$V_C = V_{CC} - I_C R_C$$
$$= 12 - 1 \times 10^{-3} \times 5 \times 10^3 = 7\text{V}$$

अंत में संग्राही-उत्सर्जक वोल्टता यह होगी

$$V_{CE} = V_C - V_E = 7 - 1 = 6\text{V}.$$

निम्नलिखित बोध प्रश्न हल कीजिए :

बोध प्रश्न 1

मान लीजिए आपने एक परिपथ बनाया है, जैसा कि चित्र 4.11 (ग) में दिखाया गया है। बताइए कि निम्नलिखित स्थिति में क्या होगा :

यदि R_1 में 50% की वृद्धि कर दी जाए तो

क) V_{R_2} ..... होगा

ख) V_{R_E} ..... होगा

ग) I_C ..... होगा

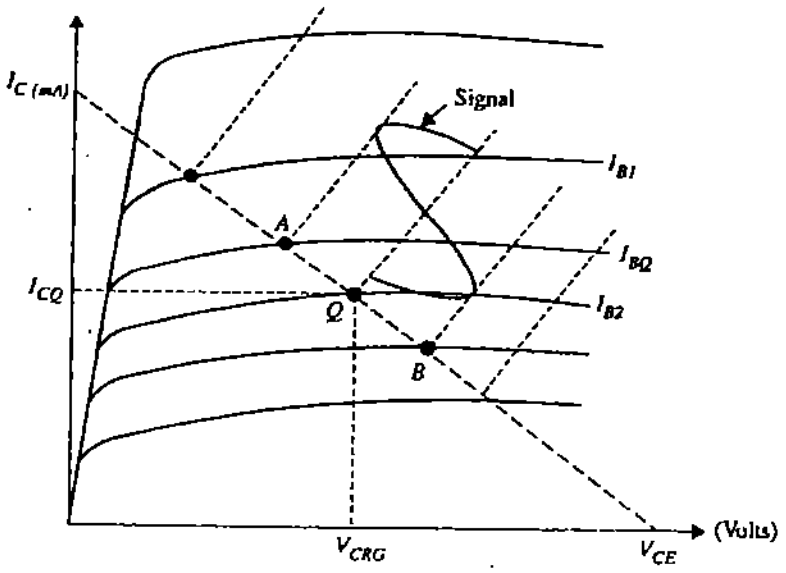
घ) V_C ..... होगा

4.5 लघु सिगनल प्रवर्धक

पिछले भाग में हमने रैखिक प्रचालन के लिए ट्रॉन्जिस्टर को बायस करने की विधियों पर चर्चा की है। dc लोड लाइन के मध्य के निकट Q बिन्दु के लिए ट्रॉन्जिस्टर को बायस कर लेने के बाद हम

ट्रॉन्जिस्टर में एक लघु ac सिगनल युग्मित कर सकते हैं। इससे समान आवृत्ति और समान आकार-प्रकार वाली संग्राही धारा में उतार-चढ़ाव आने लगती है। उदाहरण के लिए यदि निवेश 1 kHz की आवृत्ति वाली एक ज्या तरंग हो, तो निर्गत 1 kHz की आवृत्ति वाली एक वर्धित ज्या तरंग होगी। प्रवर्धक को उस स्थिति में रैखिक प्रवर्धक कहा जाता है जबकि वह सिगनल के आकार में परिवर्तन न करता हो। जब तक निवेश सिगनल का आयाम लघु रहता है, तब तक ट्रॉन्जिस्टर लोड लाइन के एक छोटे भाग का ही केवल प्रयोग करता है और प्रचालन रैखिक होती है।

चित्र 4.12 में दिखाए गए ट्रॉन्जिस्टर के निर्गत अभिलक्षणों को देखिए। प्रचालन बिन्दु Q को I_{CQ}, V_{CQ} और I_{BQ} से परिभाषित किया जाता है। जब आधार पर ज्यावक्रीय सिगनल लागू किया जाता



चित्र 4.12: ज्यावक्रीय निवेश के Q-बिन्दु का दोलन।

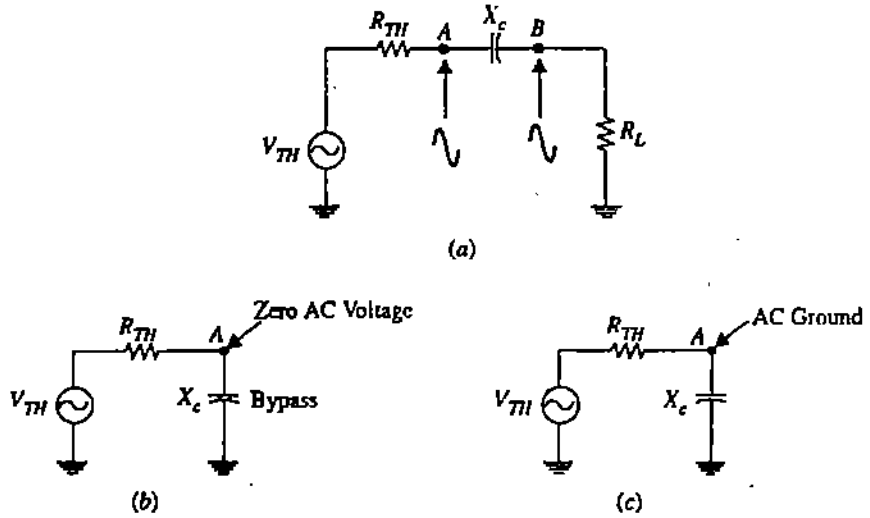
है, तो सिगनल के धनात्मक अर्ध चक्र के दौरान आधार धारा का मान I_{B_1} हो जाता है और ऋणात्मक अर्ध चक्र के दौरान आधार धारा I_{B_2} हो जाती है। इस अवधि में Q-बिन्दु Q से A तक और Q से B तक दोलन करती है। आप यहाँ यह देख सकते हैं कि सभी परिस्थितियों में प्रचालन बिन्दु अभिलक्षणिक के रैखिक भाग पर ही बना रहता है। अतः उस प्रवर्धक को, जिसमें लागू किए गए सिगनल के लिए प्रचालन रैखिक होता है, उसे लघु सिगनल प्रवर्धक कहा जाता है।

इस भाग में कुछ ऐसे विचारों से भी आपको परिचित कराया जाएगा, जिनकी आवश्यकता लघु सिगनल प्रवर्धक का विश्लेषण करने में पड़ती है। इस संबंध में सबसे पहले हम युग्मन संधारित्रों, तथा उन युक्तियों के बारे में अध्ययन करेंगे, जिनकी सहायता से हम dc बायस वोल्टताओं में परिवर्तन लाए बिना ही ac सिगनलों को ट्रॉन्जिस्टर के निवेश में और निर्गत में लागू कर सकते हैं।

4.5.1 युग्मन और उपपथ संधारित्र

एक युग्मन संधारित्र ac सिगनल को एक बिन्दु से दूसरे बिन्दु तक ले जाता है। चित्र 4.13 (क) में बिन्दु A पर की ac वोल्टता बिन्दु B पर संचरित हो जाती है। परन्तु ऐसा होने के लिए यह आवश्यक है कि श्रेणी प्रतिरोधों की तुलना में धारिता-प्रतिघात X_C (capacitive reactance) अत्यधिक लघु हो। उपमार्गी संधारित्र भी ठीक वैसा ही होता है जैसा कि युग्मन संधारित्र होता है, अंतर केवल यह है कि यह एक भू-असंपर्कित बिन्दु को भू-संपर्कित बिन्दु से युग्मित कर देता है, जैसा कि चित्र 4.13 (ख) में दिखाया गया है।

चित्र 4.13 (ग) में, आदर्श रूप में संधारित्र एक सिगनल के लिए लघु परिपथ की तरह दिखाई पड़ता है। यही कारण है कि जहाँ तक सिगनल का संबंध है, बिन्दु A भू-संपर्कित मानी जाती है। इसलिए हमने बिन्दु A को ac भूमि के रूप में अंकित किया है। एक उपमार्गी संधारित्र बिन्दु A पर के dc वोल्टता को क्षुब्ध नहीं करेगा, क्योंकि यह dc धारा के लिए खुले परिपथ के रूप में दिखाई पड़ता है। फिर भी, उपमार्गी संधारित्र बिन्दु A को ac भू-संपर्कित बिन्दु बना देता है।



चित्र 4.13: (क) स्रोत और लोड के बीच युग्मन संधारित्र (ख) और (ग) उपमार्गी संधारित्र।

4.5.2 बहुपदी प्रवर्धक

अधिकांश इलेक्ट्रॉनिक सिस्टमों का आधारभूत निर्माण खंड प्रवर्धक होता है। जिस प्रकार केवल एक ईंट से मकान खड़ा नहीं हो सकता, ठीक उसी प्रकार केवल एक एक-पदी प्रवर्धक व्यावहारिक इलेक्ट्रॉनिक सिस्टम के निर्माण के लिए पर्याप्त नहीं होता। भाग 4.3 में हमने एकल पदी प्रवर्धक पर चर्चा की है। हमने यह देखा है कि व्यावहारिक अनुप्रयोगों में एकल पदी का लाभ पर्याप्त नहीं होता। यदि हम एक से अधिक पदों का प्रयोग करें तो सिगनल के वोल्टता स्तर को अपेक्षित स्तर तक बढ़ाया जा सकता है। जब अनेक प्रवर्धक पदों का प्रयोग एक के बाद एक किया जाता है, तो इसे बहुपदी प्रवर्धक या सोपानी प्रवर्धक (cascaded amplifier) कहा जाता है। बहुपदी प्रवर्धकों से अत्यधिक लाभ प्राप्त किया जा सकता है।

बहुपदी प्रवर्धक का लाभ

बहुपदी प्रवर्धक (multi-stage amplifier) (n-पद) को खंड आरेख से निरूपित किया जा सकता है, जैसा कि चित्र 4.14 में दिखाया गया है। यहाँ आप यह देख सकते हैं कि प्रथम पद का निर्गत दूसरे पद का निवेश होता है, दूसरे पद का निर्गत तीसरे पद का निवेश होता है, आदि, आदि। प्रथम पद के निवेश पर सिगनल वोल्टता v_s लगाई जाती है। अंतिम निर्गत v_0 तब अंतिम पद के निर्गत टर्मिनलों पर उपलब्ध होता है। प्रथम पद का निर्गत (या दूसरे पद का निवेश) यह होता है :

$$v_1 = A_1 v_s$$

जहाँ A_1 प्रथम पद का वोल्टता लाभ है। तब दूसरे पद का निर्गत (या तीसरे पद का निवेश) यह होता है :

$$v_2 = A_2 v_1$$

इसी प्रकार, अंतिम निर्गत v_0 यह होता है

$$v_0 = v_n = A_n v_{n-1}$$

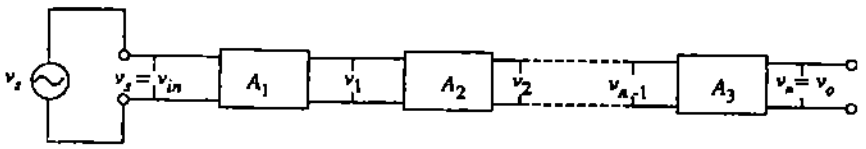
जहाँ A_n अंतिम (nवें) पद का वोल्टता लाभ है।

हम इस बहु-पदी प्रवर्धक को एक ऐसा एकल प्रवर्धक मान सकते हैं, जिसका निवेश v_s है और निर्गत v_0 है। तब प्रवर्धक का समग्र लाभ A यह होता है :

$$A = \frac{v_0}{v_s} = \frac{v_1}{v_s} \times \frac{v_2}{v_1} \times \ldots \times \frac{v_{n-1}}{v_{n-2}} \times \frac{v_0}{v_{n-1}}$$

या

$$A = A_1 \times A_2 \times \ldots \times A_{n-1} \times A_n \qquad (4.23)$$



चित्र 4.14: n पदों वाले बहुपदी प्रवर्धक का ब्लॉक आरेख।

डेसिबेल

अनेक समस्याओं में रैखिक मापक्रम की तुलना में लघुगणकीय मापक्रम (logarithmic scale) पर दो शक्तियों की तुलना करना अधिक सुविधाजनक होता है। शक्ति P_1 से P_2 जितनी बेल (Bel) से अधिक होता है, उसे इस प्रकार परिभाषित किया जाता है :

$$\text{बेलों की संख्या (number of bels)} = \log_{10} \frac{P_2}{P_1}$$

व्यावहारिक कार्यों के संबंध में यह देखा गया है कि मात्रक बेल काफी बड़ा है। वह मात्रक, जो इसका दसवां हिस्सा है, अधिक सुविधाजनक होता है। इस छोटे मात्रक को डेसिबेल (जिसे संक्षेप में dB कहते हैं) कहा जाता है और क्योंकि एक डेसिबेल एक बेल का एक-दसवां होता है, इसलिए

$$\text{dB की संख्या} = 10 \times \text{बेलों की संख्या} = 10 \log_{10} \frac{P_2}{P_1} \qquad (4.24)$$

एक प्रवर्धक के संबंध में मान लीजिए P_1 निवेश शक्ति को निरूपित करता है और P_2 निर्गत शक्ति को, यदि V_1 और V_2 प्रवर्धक के निवेश और निर्गत वोल्टताएँ हों, तो

$$P_1 = \frac{V_1^2}{R_i}$$

और

$$P_2 = \frac{V_2^2}{R_0}$$

जहाँ R_i और R_0 प्रवर्धक की निवेश और निर्गत प्रतिबाधाएँ हैं। तब समीकरण (4.24) को इस प्रकार लिखा जा सकता है

$$\text{dB की संख्या} = 10 \log_{10} \frac{V_2^2 / R_0}{V_1^2 / R_i}$$

यदि प्रवर्धक की निवेश प्रतिबाधा और निर्गत प्रतिबाधा बराबर हों अर्थात् $R_i = R_0 = R$ हो तो समीकरण (4.24) को सरल करने पर यह हो जाता है :

$$\text{dB की संख्या} = 10 \log_{10} \frac{V_2^2}{V_1^2} = 10 \log_{10} \left(\frac{V_2}{V_1}\right)^2$$

$$= 10 \times 2 \log_{10} \frac{V_2}{V_1} = 20 \log_{10} \frac{V_2}{V_1} \qquad (4.25)$$

सामान्यतः निवेश प्रतिबाधा और निर्गत प्रतिबाधा सदा बराबर नहीं होते। परन्तु, समीकरण (4.25) के व्यंजक को प्रवर्धक के डेसिबेल वोल्टता लाभ की एक सुविधाजनक परिभाषा मान लिया जाता है, चाहे निवेश और निर्गत प्रतिबाधाओं के परिमाण कुछ भी क्यों न हों।

एक उदाहरण के रूप में, यदि एक प्रवर्धक का वोल्टता लाभ 10 हो, तो dB मापक्रम में इसे इस प्रकार प्रकट किया जा सकता है :

$$\text{dB में लाभ} = 20 \log_{10} \frac{V_2}{V_1} = 20 \log_{10} 10$$

$$= 20 \times 1 = 20 \text{ dB}$$

dB में बहुपदी प्रवर्धक का लाभ

यदि बहुपदी प्रवर्धक के अलग-अलग पदों के dB में लाभ ज्ञात हों, तो इस प्रवर्धक का लाभ सरलता से अभिकलित किया जा सकता है। एक बहुपदी प्रवर्धक का dB में समग्र वोल्टता लाभ अलग-अलग पदों के डेसिबेल वोल्टता लाभों का योगफल होता है। अर्थात्

$$A_{dB} = A_{dB_1} + A_{dB_2} + \ldots + A_{dB_n} \qquad (4.26)$$

बोध प्रश्न 2

एक बहुपदी प्रवर्धक में तीन पद हैं। इन पदों के वोल्टता लाभ 30, 50 और 80 हैं। dB में समग्र वोल्टता लाभ परिकलित कीजिए। समीकरण (4.23) को लागू करके भी समग्र लाभ परिकलित कीजिए।

दो पदों का युग्मन

बहुपदी प्रवर्धक में एक पद का निर्गत अगले पद का निवेश होता है (देखिए चित्र 4.14)। क्या हम एक प्रवर्धक के निर्गत टर्मिनलों को अगले प्रवर्धक के निवेश टर्मिनलों से सीधे जोड़ सकते हैं ? कुछ व्यावहारिक कठिनाइयों के कारण ऐसा करना सदा संभव नहीं हो सकता । अतः हमें दो पदों के बीच एक उपयुक्त युग्मन नेटवर्क का प्रयोग करना होगा, जिससे कि जब इस नेटवर्क से होते हुए सिगनल अगले पद में जाए तो वोल्टता की कम से कम हानि हो। और, एक पद के निर्गत पर की dc वोल्टता को अगले पद के निवेश में जाने की अनुमति कतई नहीं होनी चाहिए। यदि ऐसा होता है, तो अगले पद की बायसन दशाएँ क्षुब्ध (disturb) हो जाती हैं।

युग्मन नेटवर्क न केवल दो पदों को युग्मित करता है, अपितु यह पिछले पद की लोड प्रतिबाधा का एक अंश भी बन जाता है। इस तरह, हम यह पाते हैं कि प्रवर्धक का निष्पादन प्रयुक्त युग्मन नेटवर्क के प्रकार पर भी निर्भर करता है। सामान्यतः प्रयोग में लाई जाने वाली तीन युग्मन योजनाएँ ये हैं :

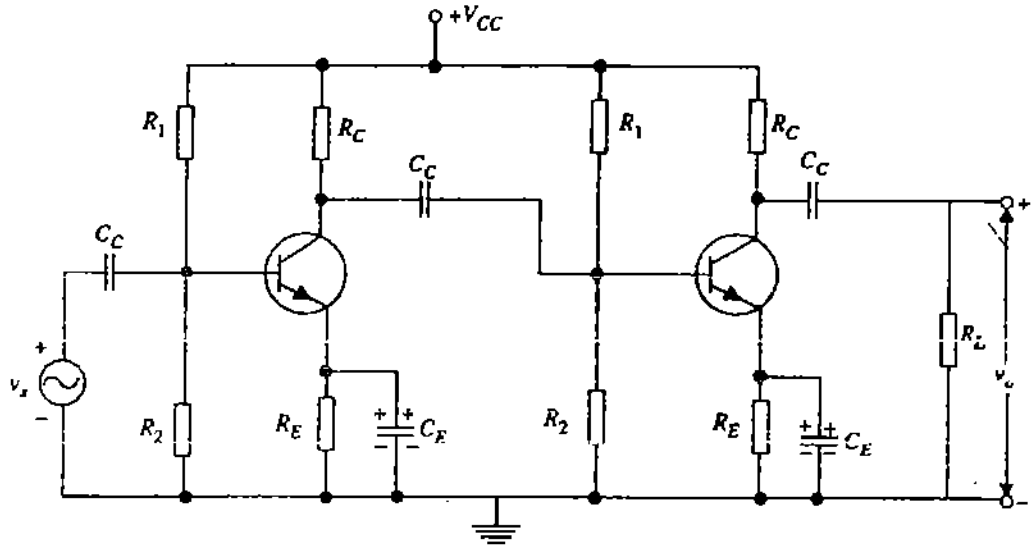
i) प्रतिरोध-संधारित्र युग्मन

ii) परिणामित्र (transformer) युग्मन

iii) प्रत्यक्ष (direct) युग्मन

प्रतिरोध-संधारित्र युग्मन

चित्र 4.15 में यह दिखाया गया है कि किस प्रकार प्रतिरोध-संधारित्र (RC) युग्मन योजना का प्रयोग करके प्रवर्धकों के दो पदों का युग्मन किया जाता है। इस विधि का प्रयोग व्यापक रूप से किया जाता है। इस योजना के अंतर्गत प्रथम पद के संग्राही प्रतिरोधक R_c पर विकसित सिगनल को

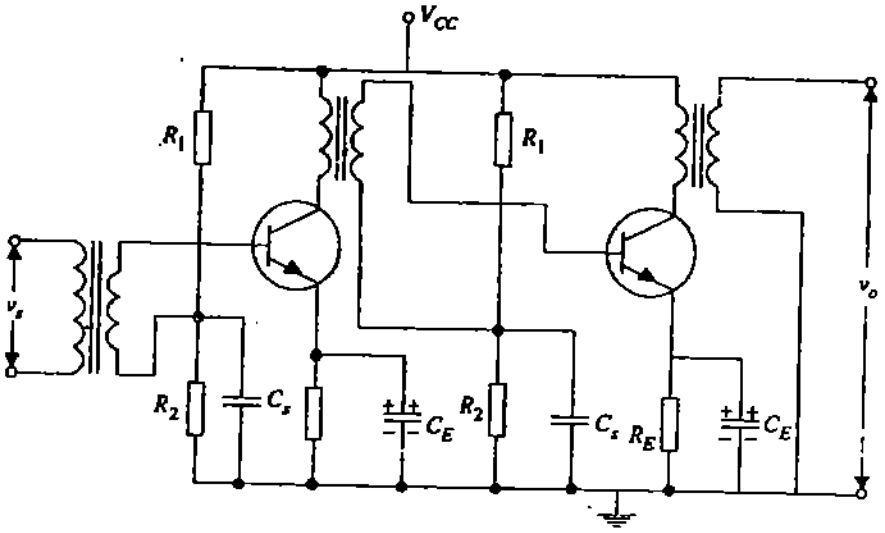


चित्र 4.15: ट्रांज़िस्टरों का प्रयोग करके दो पदी RC-युग्मित प्रवर्धक।

संधारित्र C_c के माध्यम से दूसरे पद के आधार से युग्मित किया जाता है। युग्मन संधारित्र C_c दूसरे पद के आधार तक पहुँचने में पहले पद की वोल्टता को रोक देता है। इस प्रकार अगले पद के dc बायसन में कोई व्यवधान नहीं आता। यही कारण है कि संधारित्र C_c को अवरोधी संधारित्र (blocking capacitor) भी कहा जाता है।

परिणामित्र युग्मन (transformer coupling)

इस प्रकार के युग्मन में पहले पद की ac निर्गत वोल्टता को दूसरे पद के निवेश में स्थानांतरित करने के लिए एक परिणामित्र का प्रयोग किया जाता है। प्रतिरोधक R_c के स्थान पर (देखिए चित्र 4.15) परिणामित्र के प्राथमिक कुंडलन का प्रयोग किया जाता है। परिणामित्र की द्वितीयक कुंडलन वोल्टता विभाजक (बायसन नेटवर्क के) और दूसरे पद के आधार के बीच के तार का स्थान ले लेता है। चित्र 4.16 में प्रवर्धकों के दो पदों के बीच के परिणामित्र युग्मन को दिखाया गया है।



चित्र 4.16: ट्रान्जिस्टरों का प्रयोग करके एक परिणामित्र द्वारा दो पदों को युग्मित किया गया है।

ध्यान दीजिए कि इस परिपथ में कोई युग्मन संधारित्र नहीं है। दो पदों के बीच का dc विगलन (dc isolation) स्वयं परिणामित्र द्वारा हो जाता है। परिणामित्र के प्राथमिक और द्वितीयक कुंडलनों के बीच कोई dc पथ नहीं होता। फिर भी प्राथमिक कुंडलन के बीच स्थापित ac वोल्टता द्वितीयक कुंडलन में परिणामित्र के फेरा-अनुपात (turns-ratio) पर निर्भर करने वाले एक गुणन कारक (multiplication factor) के साथ स्थानांतरित हो जाता है।

RC युग्मन की तुलना में परिणामित्र युग्मन का मुख्य लाभ यह होता है कि इसमें V_{cc} द्वारा सप्लाई की गई dc वोल्टता संग्राही पर उपलब्ध होती है। RC-युग्मित प्रवर्धक के संग्राही प्रतिरोधक R_c पर कोई वोल्टता-ह्रास नहीं होता। संग्राही परिपथ में प्रतिरोधक R_c के होने से प्रतिरोधक में होने वाली अनावश्यक शक्ति हानि भी नहीं होती है।

परिणामित्र युग्मन योजना का प्रयोग निम्न आवृत्ति (ऑडियो) सिगनलों का प्रवर्धन करने में नहीं किया जाता। फिर भी, इनका व्यापक प्रयोग रेडियो-आवृत्ति (20 kHz से अधिक) सिगनलों के प्रवर्धन में किया जाता है। रेडियो अभिग्राहियों (radio receivers) में मध्यम तरंग बैंड के लिए rf का परिसर 550 kHz से 1600 kHz तक होता है और लघु तरंग बैंड के लिए 3 MHz से 30 MHz तक होता है। टी.वी. के अभिग्राहियों में rf सिगनलों की आवृत्तियों का परिसर 54 MHz से 216 MHz तक होता है। परिणामित्र के प्रत्येक कुंडलन पर उपयुक्त शंटकारी (shunting) संधारित्र लगाकर हम किसी भी अपेक्षित rf आवृत्ति पर अनुनाद प्राप्त कर सकते हैं। इस प्रकार के प्रवर्धकों को समस्वरित वोल्टता प्रवर्धक (tuned voltage amplifier) कहा जाता है। इनसे अपेक्षित rf आवृत्ति पर उच्च लाभ प्राप्त होता है। यही कारण है कि सिगनलों के प्रवर्धन के लिए रेडियो और टी.वी अभिग्राहियों में परिणामित्र युग्मित प्रवर्धकों का प्रयोग किया जाता है (भाग 4.7 में इस प्रकार के प्रवर्धकों पर चर्चा की गई है)।

युग्मन के लिए परिणामित्र का प्रयोग करने से उचित प्रतिबाधा सुमेलन (impedence matching) में भी सहायता मिलती है। परिणामित्र के फेरा-अनुपात का उचित रूप में चयन करके हम प्रवर्धक की निर्गत प्रतिबाधा के साथ किसी भी लोड का सुमेलन कर सकते हैं। इससे प्रवर्धक से लोड में

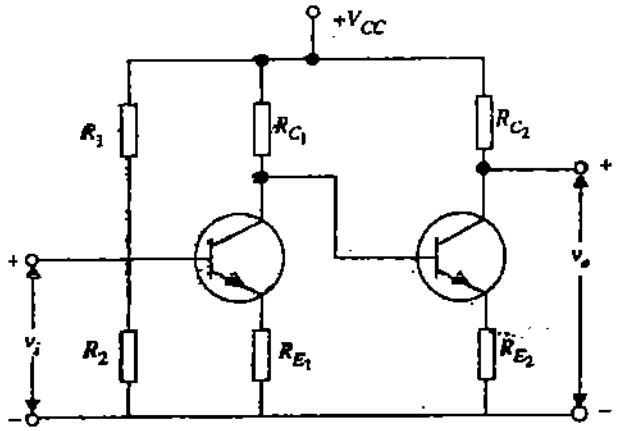
अधिकतम शक्ति स्थानांतरित करने में सहायता मिलती है। शक्ति प्रवर्धक से संबंधित भाग 4.6 में इस पर विस्तार से चर्चा की गई है।

प्रत्यक्ष युग्मन (direct coupling)

कुछ अनुप्रयोगों में सिगनल वोल्टताएँ अति निम्न आवृत्ति वाली होती हैं। इस प्रकार के धीरे-धीरे बदल रहे सिगनलों के प्रवर्धन के लिए प्रयुक्त किए जाने वाले प्रवर्धकों में प्रत्यक्ष युग्मन (direct coupling) का प्रयोग किया जाता है। इस प्रकार की युग्मन योजना में प्रवर्धक के एक पद के निर्गत को एक सरल संबंधित तार (connecting wire) की सहायता से अगले पद के निवेश से जोड़ दिया जाता है।

उन अनुप्रयोगों में, जहाँ सिगनल आवृत्ति 10 Hz से कम होती है, युग्मन संधारित्रों और उपमार्गी संधारित्रों का प्रयोग नहीं किया जा सकता। निम्न आवृत्तियों पर इन संधारित्रों को लघु परिपथ नहीं माना जा सकता, क्योंकि आवृत्ति पर इनकी प्रतिबाधा अत्यधिक होती है। चित्र 4.17 में एक द्विपदी प्रत्यक्ष युग्मित प्रवर्धक दिखाया गया है।

प्रत्यक्ष युग्मन योजना में एक गंभीर कमी भी है। ट्रॉन्जिस्टर प्राचल जैसे V_{BE} और β में तापमान के साथ परिवर्तन होता रहता है। इसके कारण संग्राही धारा और वोल्टता में भी परिवर्तन होने लगता है। प्रत्यक्ष युग्मन के कारण यह वोल्टता अंतिम निर्गत पर भी प्राप्त होती है।



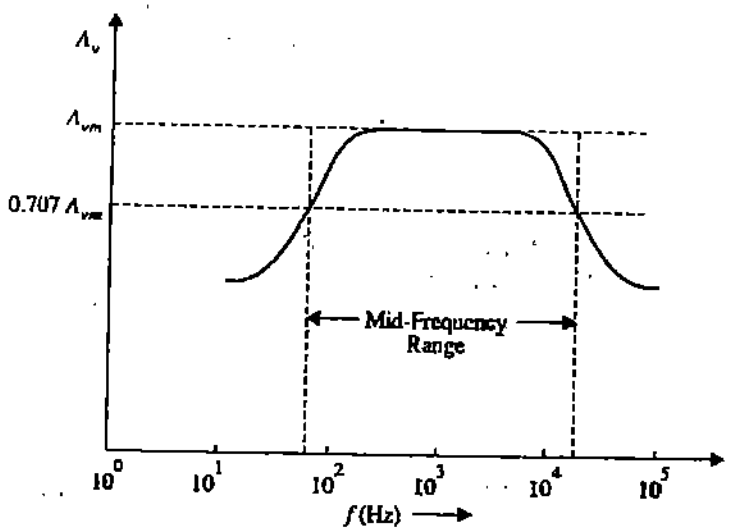
चित्र 4.17: द्विपदी प्रत्यक्ष युग्मित प्रवर्धक जिसमें ट्रॉन्जिस्टरों का प्रयोग किया गया है।

4.5.3 RC-युग्मित प्रवर्धक की आवृत्ति अनुक्रिया

व्यावहारिक प्रवर्धक परिपथ का काम निवेश सिगनल के वोल्टता-स्तर को ऊपर उठाना है। इस सिगनल को टेप रिकार्डर के साउंड हेड से और यदि PA सिस्टम हो, तो माइक्रोफोन से प्राप्त किया जा सकता है। इस प्रकार का सिगनल एकल आवृत्ति वाला नहीं होता। परंतु इसमें आवृत्तियों की एक बैंड होती है। उदाहरण के लिए, मनुष्य की आवाज से या संगीत आर्केस्ट्रा से उत्पन्न वैद्युत सिगनल में 30 Hz तक की निम्न और 15 kHz तक की उच्च आवृत्तियाँ हो सकती हैं। यदि लाउडस्पीकरों को ठीक-ठीक मूल ध्वनि पुनरुत्पादित करनी हो, तो प्रयोग में लाए गए प्रवर्धक को सिगनल के सभी आवृत्ति-घटकों का प्रवर्धन समान रूप से करना होगा। यदि वह ऐसा नहीं कर पाता तो लाउडस्पीकर के निर्गत को मूल ध्वनि का ठीक-ठीक प्रतिकृति (replica) नहीं माना जाएगा।

प्रवर्धक के निष्पादन को जानने के लिए यह देखना पड़ता है कि सिगनल के सभी आवृत्ति घटक समान रूप से प्रवर्धित हुए हैं या नहीं। इसकी जानकारी इसके आवृत्ति अनुक्रिया वक्र से मिल जाती है। इस वक्र में यह दिखाया गया है कि किस प्रकार निवेश सिगनल (ज्यावक्रीय) की आवृत्ति के साथ प्रवर्धक के वोल्टता-लाभ के परिमाण में परिवर्तन होता है।

चित्र 4.18 में एक प्रतिरूपी RC-युग्मित प्रवर्धक का आवृत्ति अनुक्रिया वक्र दिखाया गया है। यहाँ यह ध्यान दीजिए कि केवल सीमित बैंड वाली आवृत्तियों के लिए ही लाभ अचर होता है। इस आवृत्ति-परिसर को मध्य आवृत्ति परिसर (mid-frequency range) और लाभ को मध्य बैंड लाभ A_m कहा जाता है। मध्य-आवृत्ति परिसर की दोनों ओर लाभ में कमी आती जाती है। अति निम्न और अति उच्च आवृत्तियों पर प्रवर्धक का लाभ घटकर लगभग शून्य हो जाता है।



चित्र 4.18: एक RC-युग्मित प्रवर्धक का आवृत्ति अनुक्रिया वक्र।

निम्न आवृत्ति परिसर

भाग 4.3 में प्रवर्धक परिपथ का वोल्टता लाभ मालूम करने के लिए हमने उस परिपथ का विश्लेषण किया था। यह लाभ मध्य आवृत्ति लाभ था। मध्य-आवृत्ति परिसर में युग्मन और उपमार्गी संधारित्र ठीक वैसे ही होते हैं, जैसे कि लघु परिपथ। परंतु, जब आवृत्ति निम्न होती है, तो इन संधारित्रों के स्थान पर लघु परिपथ सन्निकटन का प्रयोग नहीं किया जा सकता। आवृत्ति जितनी कम होगी, इन संधारित्रों के प्रतिघात (reactance) का मान उतना ही अधिक होगा, क्योंकि

$$X_c = \frac{1}{2\pi fC}$$

इसके कारण C_c पर अत्यधिक वोल्टता-ह्रास होता है परिणाम यह होता है कि प्रभावी निर्गत वोल्टता में कमी आने लगती है। इस सिगनल की आवृत्ति जितनी कम होगी, संधारित्र C_c का प्रतिघात उतना ही अधिक होगा और निर्गत वोल्टता में उतनी ही कमी आएगी। शून्य आवृत्ति (dc सिगनल) पर, संधारित्र C_c का प्रतिघात अनंततः वृहत् (एक खुला परिपथ) होता है। तब प्रभावी निर्गत वोल्टता घटकर शून्य हो जाती है।

इस तरह, हम यह देखते हैं कि जब सिगनल की आवृत्ति मध्य-आवृत्ति परिसर से कम होने लगती है तो निर्गत वोल्टता (और इस तरह वोल्टता लाभ) में कमी आने लगती है।

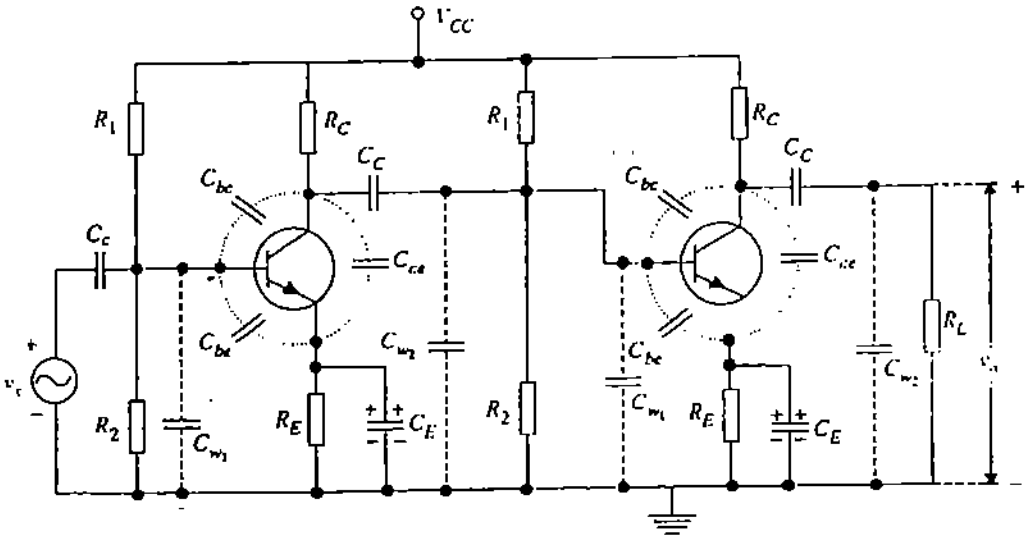
दूसरा घटक जिसके कारण निम्न आवृत्तियों पर लाभ में कमी होने लगती है, वह है – उपमार्गी संधारित्र C_E। निवेश के युग्मन संधारित्र के कारण भी निम्न आवृत्तियों पर लाभ में कमी आने लगती है।

व्यवहारिक परिपथों में उपमार्गी संधारित्र C_E का मान काफी अधिक (= 100 μF) होता है। अतः मुख्यतः युग्मन संधारित्र के कारण ही निम्न आवृत्तियों पर लाभ में कमी आने लगती है।

उच्च आवृत्ति परिसर

जैसे-जैसे निवेश सिगनल की आवृत्ति में वृद्धि होने लगती है, वैसे-वैसे प्रवर्धक के लाभ में कमी आने लगती है। लाभ में कमी आने के अनेक कारक हैं। पहला, ट्रॉन्जिस्टर के बीटा (β) का आवृत्ति पर निर्भर होना है। उच्च आवृत्तियों पर इसके मान में कमी आ जाती है। यही कारण है कि आवृत्ति में वृद्धि होने पर प्रवर्धक के वोल्टता लाभ में कमी आने लगती है।

उच्च आवृत्तियों पर प्रवर्धक के लाभ में कमी लाने के लिए उत्तरदायित्व एक अन्य महत्वपूर्ण कारक है युक्ति का वहाँ होना। ट्रॉन्जिस्टर के संबंध में संधियों पर ह्रासी परत (depletion layer) बनने के कारण वहाँ कुछ धारिता आ जाती है। इन आंतर-इलेक्ट्रोड धारिताओं C_{in}, C_{bc}, C_{ce} को चित्र 4.19 में दिखाया गया है। ध्यान दीजिए कि चित्र में इन धारिताओं के संबंधन को बिन्दुकित रेखाओं (dotted lines) से दिखाया गया है, जो यह बताता है कि ये संबंधन-भौतिक रूप में वहाँ उपस्थित नहीं हैं, अपितु युक्ति के साथ अंतर्निहित रूप में उपस्थित होता है (चाहे हम इसे पसंद करें या नहीं)।



चित्र 4.19: RC-युग्मित प्रवर्धक। उच्च-आवृत्ति अनुक्रिया को प्रभावित करने वाली धारिताओं को बिन्दुकित संबंधनों से दिखाया गया है।

संधि धारिताओं के अतिरिक्त वहाँ तार-धारिताएँ C_{w1} और C_{w2} भी होती हैं, जैसा कि चित्र 4.19 में दिखाया गया है। धारिता C_{ce}, C_{w2} और अगले पद की निवेश धारिता C_i के प्रभाव को केवल एक शंट धारिता से निरूपित किया जा सकता है। उच्च आवृत्ति पर ये धारिताएँ यह हो जाती हैं :

$$C_s = C_{ce} + C_{w2} + C_i$$

ध्यान दीजिए कि उच्च आवृत्ति पर युग्मन संधारित्र द्वारा उत्पन्न की गई प्रतिबाधा नगण्य होती है।

निवेश सिगनल की आवृत्ति में वृद्धि होने पर शंट धारिता C_s की प्रतिबाधा में कमी आ जाती है। क्योंकि

$$X_{C_s} = \frac{1}{2\pi f C_s}$$

आवृत्ति जितनी अधिक होगी, C_s द्वारा उत्पन्न की गई प्रतिबाधा उतनी ही कम होगी और निवेश वोल्टता भी उतनी ही कम होगी।

प्रवर्धक की बैंड चौड़ाई

चित्र 4.18 में दिए गए RC-युग्मित प्रवर्धक का आवृत्ति अनुक्रिया वक्र को देखने से यह पता चलता है कि आवृत्तियों के केवल कुछ सीमित बैंड के लिए ही लाभ अचर बना रहता है। दोनों निम्न आवृत्ति के तथा उच्च आवृत्ति की ओर लाभ में कमी आ जाती है। अब, एक महत्वपूर्ण प्रश्न यह उठता है कि ठीक-ठीक कहाँ पर हम आवृत्ति-सीमाओं (निवेश सिगनल) को नियत करें जिसके अंतर्गत प्रवर्धक को एक उत्तम प्रवर्धक कहा जा सके ? यह सीमा उन आवृत्तियों के लिए स्थापित की जाती है जिन पर वोल्टता लाभ घटकर अधिकतम लाभ A_m का 70.7% हो जाता है। इन आवृत्तियों को प्रवर्धक की अंतकीय आवृत्ति (cut-off frequency) कहा जाता है। इन आवृत्तियों को चित्र 4.18 में अंकित किया गया है। आवृत्ति f_1 निम्न अंतकीय आवृत्ति है और आवृत्ति f_2 उपरि अंतकीय आवृत्ति है। दोनों आवृत्तियों का अंतर अर्थात् $f_2 - f_1$ को प्रवर्धक की बैंड चौड़ाई (BW) कहा जाता है। प्रवर्धक का मध्य आवृत्ति-परिसर f_1 से f_2 तक होता है। प्रायः उच्च अंतकीय आवृत्ति f_2 की तुलना में निम्न अंतकीय आवृत्ति काफी कम होती है, जिससे कि हमें यह प्राप्त होता है :

$$BW = f_2 - f_1 = f_2$$

उदाहरण 2

400 Hz से 25 kHz के आवृत्ति परिसर में एक RC-युग्मित प्रवर्धक का वोल्टता लाभ 100 है। इन आवृत्तियों की दोनों ओर लाभ में कमी आती जाती है जिससे कि 80 Hz और 40 kHz पर घटकर यह 3 dB हो जाता है। अंतकीय आवृत्तियों पर dB में हुआ लाभ परिकलित कीजिए और आवृत्ति अनुक्रिया वक्र को आलेखित भी कीजिए।

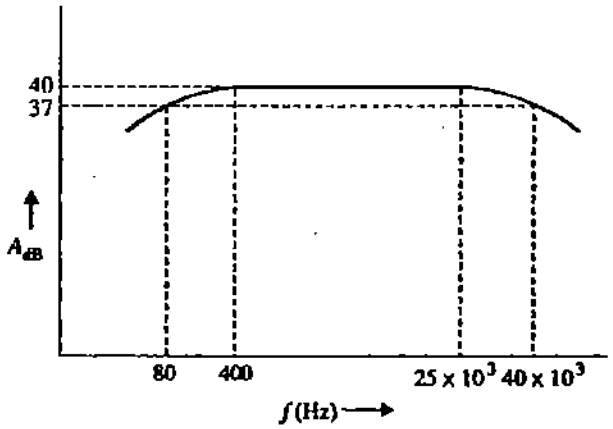
dB में लाभ यह है :

$$A_{dB} = 20 \log_{10} A = 20 \log_{10} 100 = 40 \text{ dB}$$

यह मध्य बैंड लाभ है। अंतकीय आवृत्तियों पर लाभ मध्य बैंड लाभ से 3 dB कम है, अर्थात्

(अंतकीय आवृत्तियों पर) $A_{dB} = 40 - 3 = 37$ dB

आवृत्ति अनुक्रिया वक्र का आलेख चित्र 4.20 में दिया गया है।



चित्र 4.20

4.6 वृहत् सिगनल प्रवर्धक

लगभग सभी इलेक्ट्रॉनिक सिस्टमों में अंतिम पद को एक शक्ति प्रवर्धक होना होता है। उदाहरण के लिए, पब्लिक एड्रेस (PA) सिस्टम में शक्ति-प्रवर्धक ही लाउडस्पीकर को चलाता है। जब कोई व्यक्ति माइक्रोफोन पर बोलता है, तब ध्वनि तरंग वैद्युत सिगनल में रूपांतरित हो जाती हैं। यह वैद्युत सिगनल अति निम्न वोल्टता (कुछ mV) वाला होता है। यदि इस सिगनल का भरण सीधे किया जाए, तो यह सिगनल लाउडस्पीकर को चला नहीं सकता, जिससे कि ध्वनि (आडियो) निर्गत हो सके। इस सिगनल को एक बहुपदी वोल्टता प्रवर्धक के माध्यम से ले जाकर के पहले इस सिगनल के वोल्टता स्तर को अति उच्च मान (कुछ V) तक उठाना होता है। तब इस वोल्टता का प्रयोग शक्ति-प्रवर्धक को चलाने (या उत्तेजित करने) में किया जाता है। शक्ति-प्रवर्धक में इतनी क्षमता होती है कि वह लाउडस्पीकरों को शक्ति दे सके। अंततः लाउडस्पीकर वैद्युत ऊर्जा को ध्वनि ऊर्जा में बदल देता है। इस तरह श्रोताओं का एक बड़ा समूह भाषण (या आर्केस्ट्रा से संगीत, टेप रेकार्डर, रेकार्ड प्लेयर या इसी प्रकार के अन्य किसी गैजेट) सुन सकता है।

इस तरह, हम यह पाते हैं कि शक्ति प्रवर्धक प्रत्येक इलेक्ट्रॉनिक सिस्टम का एक अनिवार्य अंग है।

वोल्टता प्रवर्धक का प्राथमिक कार्य सिगनल के वोल्टता-स्तर को ऊपर उठाना है। इसकी डिजाइन ऐसी की जाती है जिससे कि वृहत्तम संभव वोल्टता प्राप्त हो सके। इसके निर्गत से बहुत ही कम शक्ति निकाली जा सकती है। जबकि इसके विपरीत, शक्ति प्रवर्धक का उपयोग निवेश संकेत के शक्ति स्तर को अभिवर्धित करने के लिए किया जाता है। यह प्रवर्धक लोड को काफी मात्रा में शक्ति दे सकता है। शक्ति प्रवर्धक के निर्गत पर वृहत् शक्ति प्राप्त करने के लिए इसकी निवेश सिगनल वोल्टता को भी वृहत् होना चाहिए। यही कारण है कि इलेक्ट्रॉनिक सिस्टम में वोल्टता प्रवर्धक शक्ति प्रवर्धक के पहले होता है। और, इसी कारण से शक्ति प्रवर्धकों को वृहत् सिगनल प्रवर्धक कहा जाता है।

अब प्रश्न यह उठता है कि वोल्टता प्रवर्धक शक्ति प्रवर्धक के रूप में कार्य क्यों नहीं कर सकता या दूसरे शब्दों में, हम यह कह सकते हैं कि वोल्टता प्रवर्धक और शक्ति प्रवर्धक में क्या अंतर है। इसके लिए भाग 4.5 का चित्र 4.15 देखिए।

शांत अवस्था में, (under quiescent conditions) dc संग्राही धारा I_{CQ} होती है। इस स्थिति में ट्रॉन्जिस्टर के संग्राही और उत्सर्जक के बीच जो वोल्टता उपलब्ध होती है वह V_{CEQ} है। सप्लाई से ली गई कुल dc शक्ति $V_{CC} I_{CQ}$ है। इसमें से केवल $V_{CEQ} I_{CQ}$ ही प्रवर्धक के लिए प्रभावी dc निवेश शक्ति होती है, क्योंकि अधिक से अधिक यही वह शक्ति होती है, जिसे उपयोगी ac शक्ति में बदला जा सकता है। शक्ति का अंतर, जो कि

$$I^2_{CQ}(R_C + R_E)$$

है, अनावश्यक रूप से प्रतिरोधकों को गर्म करने में व्यर्थ जाता है।

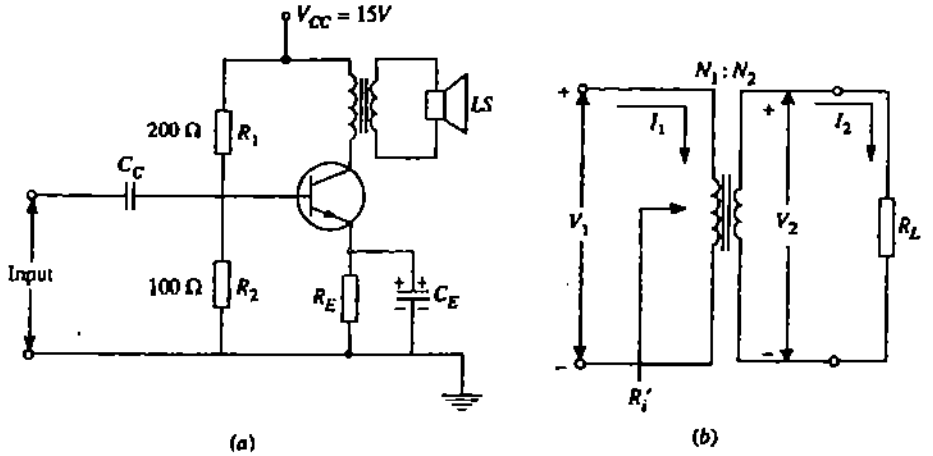
शक्ति कम व्यर्थ हो पाए, इसका प्रयास हम कर सकते हैं। इस परिपथ में प्रतिरोधक R_E का होना आवश्यक है, क्योंकि वह बायसन नेटवर्क का एक अंग है। यदि R_E न हो, तो प्रचालन बिन्दु का स्थायीकरण कम हो जाता है। अलबत्ता हम प्रतिरोध R_C के बारे में कुछ कर सकते हैं।

R_C के स्थान पर हम एक ऐसा घटक ले सकते हैं, जिसका dc प्रतिरोध शून्य हो, परन्तु ac प्रतिबाधा काफी अधिक हो। ऐसा R_C के स्थान पर एक चोक (प्रेरक) लेकर किया जा सकता है। ऐसा करने से हमें दो बातें प्राप्त होती हैं। पहली बात यह है कि चोक पर कोई dc वोल्टता ह्रास नहीं होता (क्योंकि dc प्रतिरोध लगभग शून्य होता है) हम इसी प्रवर्धक के लिए निम्न वोल्टता सप्लाई V_{cc} का प्रयोग कर सकते हैं। दूसरी बात यह है कि चोक में dc शक्ति की हानि लगभग नहीं के बराबर होती है। इस तरह, हम यह पाते हैं कि चित्र 4.15 में प्रयुक्त परिपथ की तुलना में सह परिपथ अधिक उत्तम होता है।

अब भी इस परिपथ में कुछ और सुधार किए जा सकते हैं, जिससे कि यह एक उत्तम शक्ति प्रवर्धक के रूप में काम कर सके। ऐसा कैसे होता है – इसकी व्याख्या हमने अगले उपभाग में की है।

4.6.1 एकल सिरा शक्ति प्रवर्धक

चित्र 4.21 में एक प्रतिरूपी एकल सिरा ट्रॉन्जिस्टर शक्ति प्रवर्धक दिखाया गया है। शब्द "एकल सिरा" (जो केवल एक ट्रॉन्जिस्टर को व्यक्त करता है) का प्रयोग इस प्रकार के प्रवर्धक का कर्षापकर्षी प्रवर्धक (जिसमें दो ट्रॉन्जिस्टर होते हैं और जिस पर चर्चा अगले उपभाग में की गई है) से भेद करने के लिये किया जाता है।



चित्र 4.21: एकल सिरा शक्ति प्रवर्धक।

रेडियो, टेलिविज़न, टेप रेकार्डर, पब्लिक ऐड्रेस सिस्टम आदि जैसे अनेक इलेक्ट्रॉनिक सिस्टमों में अंतिम निर्गत ध्वनि के रूप में होता है। ऐसे सिस्टमों में लाउडस्पीकर ही शक्ति प्रवर्धक का लोड होता है। शक्ति प्रवर्धक अंतिम पद होता है और यह लाउडस्पीकर को चलाता है। यहाँ पर परिपथ में हमने चोक के स्थान पर एक परिणामित्र (transformer) का प्रयोग किया है, क्योंकि इससे प्रतिबाधा सुमेलन (impedence matching) उपलब्ध हो जाता है।

शक्ति प्रवर्धक में ac निर्गत शक्ति काफी अधिक होती है जबकि आधार परिपथ में शक्ति काफी कम होती है। अब इस प्रश्न का उठना स्वाभाविक है कि शक्ति आती कहाँ से है। शक्ति प्रवर्धक में शक्ति का केवल एक स्रोत dc सप्लाई V_{cc} है। इस dc निवेश शक्ति का एक भाग लोड R_L पर एक उपयोगी ac शक्ति के रूप में प्रकट होता है और शेष भाग की हानि परिपथ में हो जाती है। अर्थात्

dc निवेश शक्ति = ac निर्गत शक्ति + हानियाँ

$$P_i\,(\text{dc}) = P_0\,(\text{ac}) + \text{हानियाँ} \qquad (4.27)$$

समीकरण (4.27) में निवेश dc शक्ति बैटरी से प्राप्त की जाती है। यह शक्ति वोल्टता V_{CC} और बैटरी से ली गई औसत धारा का गुणनफल होती है। यदि प्रवर्धक वर्ग-A प्रचालन में काम कर रहा हो, तो औसत संग्राही धारा वही होगी जो कि शांत संग्राही धारा I_{CQ} है। अतः dc निवेश शक्ति यह होती है :

$$P_i = V_{CC} I_{CQ} \qquad (4.28)$$

परिणामित्र-युग्मित प्रवर्धक के संबंध में केवल जिस शक्ति की हानि होती है, वह है P_D, जो कि ट्रॉन्जिस्टर से क्षयित (dissipated) हो जाती है (अन्य हानियाँ नगण्य होती हैं)। अब हम समीकरण (4.27) को इस प्रकार लिख सकते हैं :

$$P_D = P_i - P_0$$

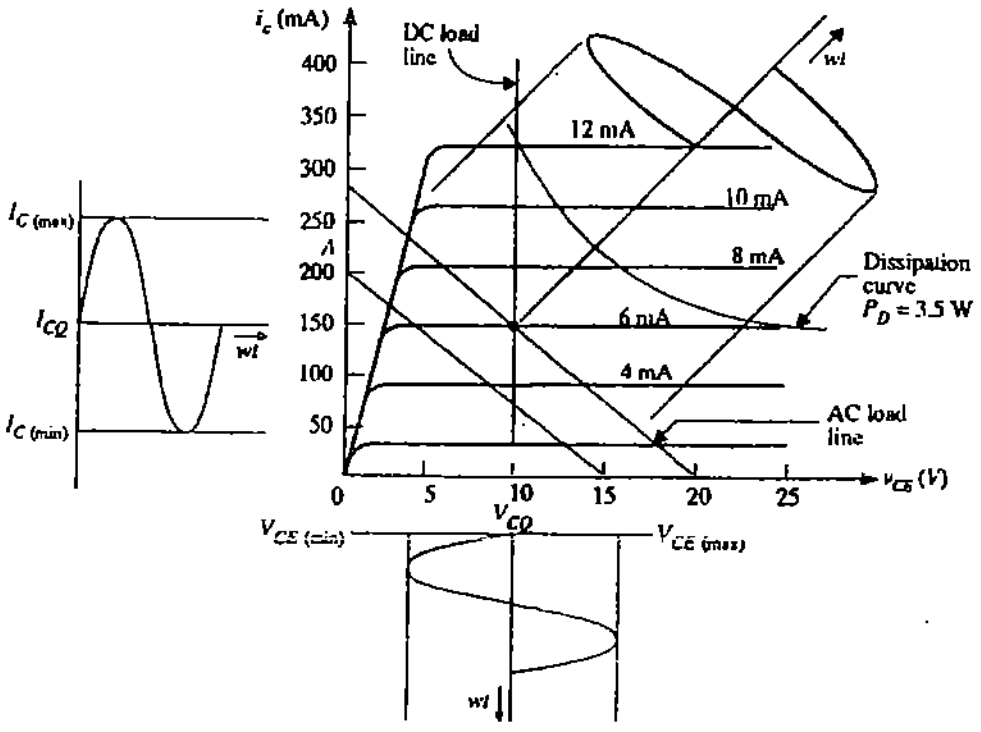
या

$$P_D = V_{CC} I_{CQ} - P_0 \qquad (4.29)$$

शक्ति प्रवर्धक के प्रचालन में इस समीकरण का काफी महत्व है। ट्रॉन्जिस्टर में अधिक शक्ति का क्षय तब होता है, जब ac निर्गत शक्ति शून्य होती है। इस स्थिति में,

$$P_{D\,(\max)} = V_{CC} I_{CQ} \qquad (4.30)$$

चित्र 4.22 में एक शक्ति ट्रॉन्जिस्टर के संग्राही अभिलक्षणिक (collector characteristics) दिखाए गए हैं। मान लीजिए, इसका क्षय अनुमतांक (dissipation rating) 3.5 W है। यहाँ हमें इस बात से सुनिश्चित हो जाना चाहिए कि P_D, 3.5 W से अधिक न हो। पहले हम इसके संग्राही क्षय वक्र को आलेखित करते हैं। इसके लिए हम V_{CE} के कुछ स्वेच्छ मान लेते हैं और उस के संगत I_C के मान परिकलित करते हैं जिससे कि हमें सदा $V_{CE} I_C = P_D = 3.5$ W प्राप्त हो। इन मानों से प्राप्त वक्र एक अतिपरवलय होता है, जैसा कि चित्र 4.22 में दिखाया गया है। यदि एक शक्ति प्रवर्धक में इस ट्रॉन्जिस्टर का प्रयोग किया जाए, तो इसका Q बिन्दु इस वक्र के नीचे स्थित होगा।



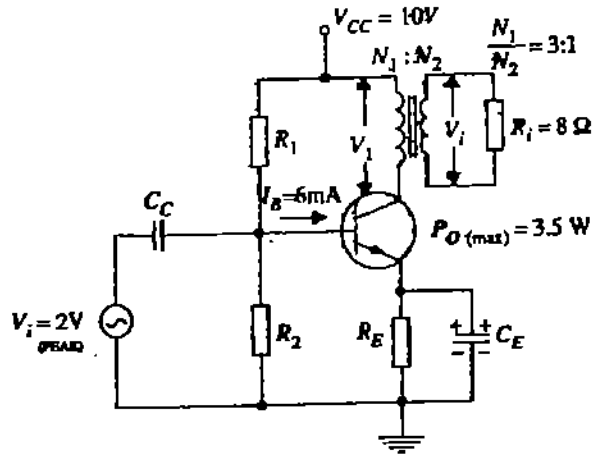
चित्र 4.22: अपने संग्राही क्षय वक्र के साथ शक्ति ट्रॉन्जिस्टर के अभिलक्षणिक।

उस स्थिति में शक्ति प्रवर्धक को उच्च दक्षता वाला माना जाता है जब वह बैटरी से ली गई dc निवेश शक्ति के अधिकांश भाग को उपयोगी ac निर्गत शक्ति में रूपांतरित करता है। हम निर्गत परिपथ की दक्षता को संग्राही-उत्सर्जक परिपथ को सप्लाई की गई ac शक्ति और dc निवेश शक्ति के अनुपात से परिभाषित करते हैं :

$$\eta = \frac{P_0\,(\text{ac})}{P_i\,(\text{dc})} = \frac{P_0}{V_{CC} I_{CQ}} \tag{4.31}$$

दक्षता इस बात का माप है कि कितनी अच्छी तरह से एक प्रवर्धक बैटरी से प्राप्त dc शक्ति को उपयोगी ac निर्गत शक्ति में रूपांतरित करता है।

आइए, अब हम चित्र 4.23 में दिखाए गए परिपथ का विश्लेषण करें। चित्र 4.22 में ट्रॉन्जिस्टर के संग्राही अभिलक्षणिक दिए गए हैं। इस परिपथ के लिए हम संग्राही धारा और वोल्टता के rms मान और संग्राही पर विकसित ac शक्ति तथा संग्राही परिपथ दक्षता ज्ञात करेंगे।



चित्र 4.23: एक व्यावहारिक एकल सिरा प्रवर्धक।

परिपथ का विश्लेषण करने के लिए पहले हम संग्राही अभिलक्षणिक पर dc लोड रेखा खींचते हैं। यह मान लिया गया है कि परिणामित्र के प्राथमिक का dc प्रतिरोध 0 Ω है और प्रतिरोध R_E उपेक्षणीय लघु है। अतः dc लोड रेखा ऊर्ध्वाधर सरल रेखा है।

चित्र 4.22 में दिए गए ग्राफ से हम संग्राही धारा और वोल्टता के अधिकतम और निम्नतम मान, जिनके बीच सिगनल दोलन करता है, ज्ञात कर सकते हैं। परिणामित्र प्राथमिक पर विकसित ac शक्ति को इस प्रकार परिकलित किया जा सकता है :

$$P_0\,(\text{ac}) = V_{CE}\,(\text{rms}) \times I_C\,(\text{rms}) = \frac{V_{CE}\,(\text{peak})}{\sqrt{2}} \times \frac{I_C\,(\text{peak})}{\sqrt{2}}$$

$$= \frac{[V_{CE\,(max)} - V_{CE\,(min)}]}{2\sqrt{2}} \; \frac{[I_{C\,(max)} - I_{C\,(min)}]}{2\sqrt{2}}$$

या

$$P_0 = \frac{[V_{CE\,(max)} - V_{CE\,(min)}]\,[(I_{C\,(max)} - I_{C\,(min)}]}{8}$$

यदि परिणामित्र 100% दक्ष हो, तो लोड R_L पर समान शक्ति उपलब्ध होगी। यही मानकर कि परिणामित्र में हो रही हानियाँ उपेक्षणीय हैं, हम समीकरण 4.32 से लाउडस्पीकर R_L को दी गई ac शक्ति परिकलित कर सकते हैं। इस स्थिति में,

$$V_{CE\,(max)} = 18.0\ \text{V};\ V_{CE\,(min)} = 2.0\ \text{V}$$

$$I_{C\,(max)} = 245\ \text{mA};\ I_{C\,(min)} = 25\ \text{mA}$$

अतः $$P_0 = \frac{(18.0 - 2.0) \times (245 - 25) \times 10^{-3}}{8}$$

$$= \frac{16.0 \times 0.220}{8}$$

$$= 0.44 \text{ W}$$

ग्राफ के अनुसार शांत संग्राही धारा $I_{CQ} = 135$ mA है। प्रवर्धक की dc निवेश शक्ति समीकरण 4.28 से प्राप्त हो जाती है और इस स्थिति में,

$$P_i(\text{dc}) = V_{CC} I_{CQ}$$

$$= 10 \times 0.135 = 1.35 \text{ W}$$

अब समीकरण 4.31 की सहायता से निर्गत परिपथ दक्षता इस प्रकार परिकलित की जा सकती है :

$$\eta = \frac{P_0}{P_i(\text{dc})} = \frac{0.44}{1.35} \times 100\% = 32.6\%$$

समीकरण 4.29 की सहायता से हम ट्रॉन्जिस्टर द्वारा क्षयित शक्ति ज्ञात कर सकते हैं

$$P_D = P_i(\text{dc}) - P_0 = 1.35 - 0.44 = 0.91 \text{ W}$$

ऊपर किए गए परिकलनों से हम यह पाते हैं कि निर्दिष्ट किए गए प्रतिबंधों के अंतर्गत एकल-सिरा शक्ति प्रवर्धक-परिपथ की संग्राही-परिपथ दक्षता 32.6% है। वास्तव में यह दक्षता कम है। इसका कारण यह है कि नेट निवेश dc शक्ति का एक बड़ा भाग ट्रॉन्जिस्टर द्वारा ऊष्मा के रूप में क्षयित हो जाता है। अतः निवेश पर सिगनल की वृद्धि करके हम अधिक निर्गत शक्ति प्राप्त कर सकते हैं। इस प्रकार दक्षता भी बढ़ जाती है। परन्तु, तब ac चक्र के एक भाग के दौरान प्रवर्धक संतृप्ति (या अंतक या दोनों) वाली स्थिति में चली जाती है। इसके कारण निर्गत में एक वृहत् विरूपण आ जाता है। विरूपण को कम से कम रखने के लिए प्रवर्धक को वर्ग-A प्रचालन के अंतर्गत काम करना होता है। इस प्रचालन के लिए अधिकतम सैद्धांतिक दक्षता 50% है। व्यावहारिक परिपथों में दक्षता 35% से कम होती है।

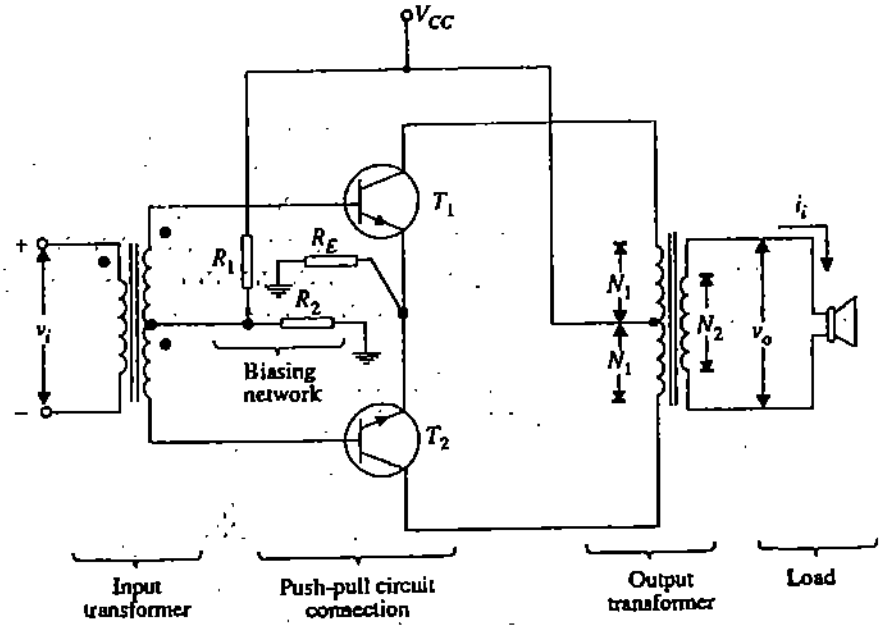
प्रवर्धक को वर्ग-B (या वर्ग-AB, या वर्ग-C) प्रचालन के अंतर्गत काम कराके उच्च दक्षता प्राप्त की जा सकती है : और विरूपण को निम्न रखा जा सकता है। इसे एक परिपथ से, जिसे कर्षापकर्षी प्रवर्धक कहा जाता है, प्राप्त किया जाता है। हम इस परिपथ पर चर्चा अगले उपभाग में करेंगे।

4.6.2 कर्षापकर्षी प्रवर्धक

कर्षापकर्षी प्रवर्धक परिपथ में दो ट्रॉन्जिस्टरों का प्रयोग किया जाता है, जैसा कि चित्र 4.24 में दिखाया गया है। यह परिपथ वर्ग-B, वर्ग-AB या वर्ग-A प्रचालन में काम कर सकता है। इस विशिष्ट परिपथ संबंधन के कारण इसमें निम्न विरूपण होता है और साथ ही एक उच्च दक्ष प्रचालन (वर्ग-AB या वर्ग-B) होता है।

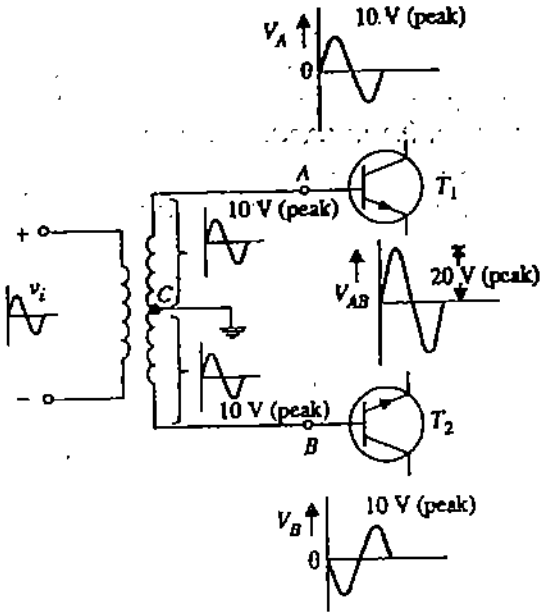
चित्र 4.24 में दिए गए परिपथ में दो ट्रॉन्जिस्टरों T_1 और T_2 का प्रयोग किया जाता है। इन दो ट्रॉन्जिस्टरों के उत्सर्जक टर्मिनलों को एक साथ जोड़ दिया जाता है। इस परिपथ में दो परिणामित्र होते हैं – इनमें से एक निवेश पर होता है और दूसरा निर्गत पर। निवेश परिणामित्र में केन्द्र अंशनिष्कासित द्वितीयक कुंडलन (centre tapped secondary winding) होता है। यह दो ट्रॉन्जिस्टर निवेशों को विपरीत ध्रुवता वाले सिगनल उपलब्ध कराता है। निर्गत परिणामित्र का प्राथमिक भी केन्द्र-अंशनिष्कासित होता है। दो ट्रॉन्जिस्टरों के संग्राही टर्मिनल इस परिणामित्र के प्राथमिक से होते हुए सप्लाई V_{CC} से जुड़े होते हों।

लोड प्रतिरोध को (जो प्रायः लाउडस्पीकर होता है) निर्गत परिणामित्र के द्वितीयक से जोड़ दिया जाता है। ध्यान रहे कि प्रतिरोधक R_1, R_2 और R_E से बायसन नेटवर्क प्राप्त होता है।



चित्र 4.24: कर्षापकर्षी प्रवर्धक परिपथ जिसमें ट्रॉन्जिस्टरों का प्रयोग किया गया है।

आइए, अब हम यह देखें कि प्रवर्धक निवेश पर सिगनल लगाने पर दो ट्रॉन्जिस्टर निवेशों पर विपरीत ध्रुवता वाले सिगनल किस प्रकार आते हैं (देखिए चित्र 4.25) : यहाँ यह मान लीजिए कि जब हम निवेश पर ज्यावक्रीय सिगनल v_i लगाते हैं, तब द्वितीयक कुंडलन (अर्थात् टर्मिनलों AB) पर 20 V (शीर्ष) की प्रेरित वोल्टता विकसित हो जाती है। बिन्दु C, द्वितीयक केन्द्र-अंशनिष्कास (centre-tap) है। ac के संबंध में यह बिन्दु भौम (0V विभव) पर होता है।



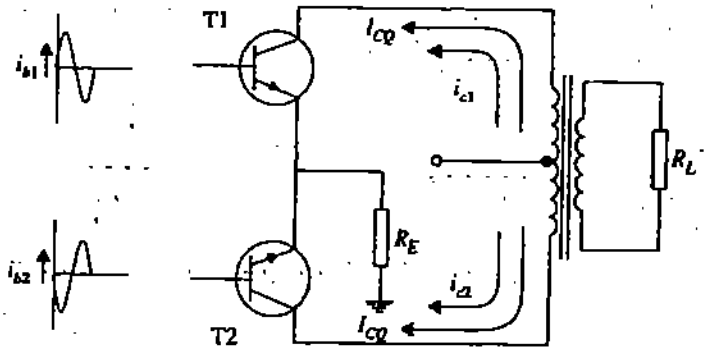
चित्र 4.25: एक केन्द्र-अंश निष्कासित परिणामित्र का प्रयोग करके दो ट्रॉन्जिस्टरों पर विपरीत ध्रुवता वाले निवेश प्राप्त होते हैं।

द्वितीयक के प्रत्येक अर्ध पर वोल्टताएँ 10 V (शीर्ष) हैं। दोनों वोल्टताओं को जोड़ने पर कुल 20 V की वोल्टता पूरे कुंडलन पर होती है। आइए, हम एक क्षण यह मान लें कि बिन्दु B के सापेक्ष बिन्दु A पर वोल्टता 20 V है अर्थात् $V_{AB} = 20$ V। इस क्षण पर बिन्दु C के सापेक्ष बिन्दु A पर वोल्टता 10 V है अर्थात् $V_{AC} = V_A = 10$ V। इसी समय बिन्दु B के सापेक्ष बिन्दु C पर वोल्टता भी 10 V है अर्थात् $V_{CB} = 10$ V अर्थात् $V_{BC} = -V_{CB} = -10$ V। यह भूमि के सापेक्ष बिन्दु B पर वोल्टता है और यह वोल्टता ट्रॉन्जिस्टर T_2 के निवेश पर होती है। इस तरह, हम यह पाते हैं कि दो ट्रॉन्जिस्टरों के आधार पर आने वाले सिगनल विपरीत ध्रुवता वाले हैं। दूसरे शब्दों में, यह भी कहा जा सकता है कि ये विपरीत कलाओं (π रेडियन का कलांतर) में हैं। तब दो ट्रॉन्जिस्टरों की परिणामी आधार धाराओं को इस प्रकार लिखा जा सकता है :

$$i_{b_1} = I_b \sin \omega t \quad (4.33)$$

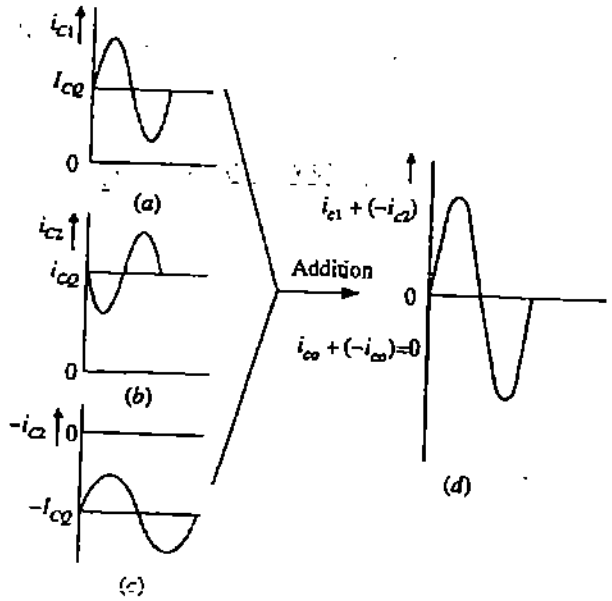
$$i_{b_2} = I_b \sin (\omega t + \pi) \quad (4.34)$$

अब हम इस बात पर चर्चा करेंगे कि प्रवर्धक के निर्गत पर क्या होता है। पहले हम वर्ग-A प्रचालन पर विचार करेंगे (यद्यपि वर्ग-B या वर्ग-AB प्रचालन में कर्षापकर्षी संबंधनों का प्रयोग अधिक दक्षता के साथ किया जा सकता है)। जैसा कि चित्र 4.26 में दिखाया गया है, दो ट्रॉन्जिस्टरों की शांत संग्राही धाराएँ (I_{CQ}) प्राथमिक कुंडलन के दो अर्धों से होती हुई विपरीत दिशाओं में प्रवाहित होती हैं। ये धाराएँ परिणामित्र के चुंबकीय क्रोड से होते हुए विपरीत अभिवाह (flux) उत्पन्न करती हैं। यदि दो ट्रॉन्जिस्टर पूरी तरह से सुमेलित हों, तो क्रोड में नेट अभिवाह शून्य होगा।



चित्र 4.26: निर्गत पर कर्षापकर्षी प्रचालन के ब्यौरे।

जब निवेश पर एक ac सिगनल लागू किया जाता है, तब दोनों ट्रॉन्जिस्टरों में विपरीत कलाओं और परिवर्ती आधार धाराएँ प्रवाहित होती हैं। परिणाम यह होता है कि दो ट्रॉन्जिस्टरों में ac संग्राही धाराएँ भी विपरीत कलाओं वाली होती हैं। ट्रॉन्जिस्टर T_1 में कुल धारा i_{C1} और ट्रान्जिस्टर T_2 में कुल धारा i_{C2} में परिवर्तन होने लगता है, जैसा कि क्रमशः चित्र 4.27 (क) और (ख) में दिखाया गया है। ये धाराएँ प्राथमिक कुंडलन के दो अर्धों में विपरीत दिशाओं में प्रवाहित होती हैं। इन धाराओं द्वारा उत्पन्न अभिवाह भी विपरीत दिशाओं में होगा। क्रोड में नेट अभिवाह वही होगा, जो कि धाराओं i_{C1} और i_{C2} के अंतर से उत्पन्न होता है। अंतर $i_{C1} - i_{C2}$ ज्ञात करने के लिए पहले हम i_{C2} का ऋणात्मक ज्ञात करते हैं। इस चित्र 4.27 (ग) में दिखाया गया है। अब हम अंतर ज्ञात करने



चित्र 4.27: (क) ट्रॉन्जिस्टर T_1 में संग्राही धारा i_{C1} (ख) ट्रॉन्जिस्टर T_2 में संग्राही धारा i_{C2}
(ग) i_{C2} का ऋणात्मक (घ) अंतर $i_{C1} - i_{C2}$

के लिए चित्र 4.27 (क) और (ग) की धाराओं को जोड़ सकते हैं, क्योंकि

$$i_{C1} - i_{C2} = i_{C1} + (-i_{C2})$$

दो संग्राही धाराओं का अंतर चित्र 4.27 (घ) में प्राप्त किया गया है। ध्यान दीजिए कि इस प्रक्रम की अवधि में दो ट्रॉन्जिस्टरों की शांत धाराएँ (I_{CQ}) एक-दूसरे को निष्प्रभावित कर देती हैं, परन्तु ac धाराएँ एक-दूसरे में जुड़ जाती हैं। अतः कुल मिलाकर प्रचालन में परिणामित्र के प्राथमिक से होती हुई नेट ac धारा प्रवाहित होती है। इसके कारण क्रोड के अभिवाह में परिवर्तन होने लगता है। द्वितीयक में ac वोल्टता आ जाती है और लोड प्रतिरोधक R_L को ac शक्ति मिल जाती है।

चित्र 4.27 (क) और (ख) से यह देखा जा सकता है कि प्रथम अर्ध चक्र की अवधि में धारा i_{C1} में वृद्धि होती है, परन्तु साथ ही धारा i_{C2} में कमी आने लगती है, दूसरे शब्दों में, जब एक ट्रॉन्जिस्टर को अधिक चालन में चलाया जा रहा होता है, तो दूसरा ट्रॉन्जिस्टर अपेक्षाकृत कम चालन में चलाया जाता है। इसकी ठीक उलटी प्रक्रिया अगले अर्ध चक्र में होती है। ऐसी स्थिति में तब यह कहा जाता है कि जब एक ट्रॉन्जिस्टर में धारा को "कर्षित" (pushed) किया जाता है, तो दूसरे ट्रॉन्जिस्टर में धारा "अपकर्षित" (pulled down) हो जाती है। यही कारण है कि इस प्रवर्धक को कर्षापकर्षी प्रवर्धक (push-pull amplifier) कहा जाता है।

4.7 रेडियो आवृत्ति (r-f) प्रवर्धक

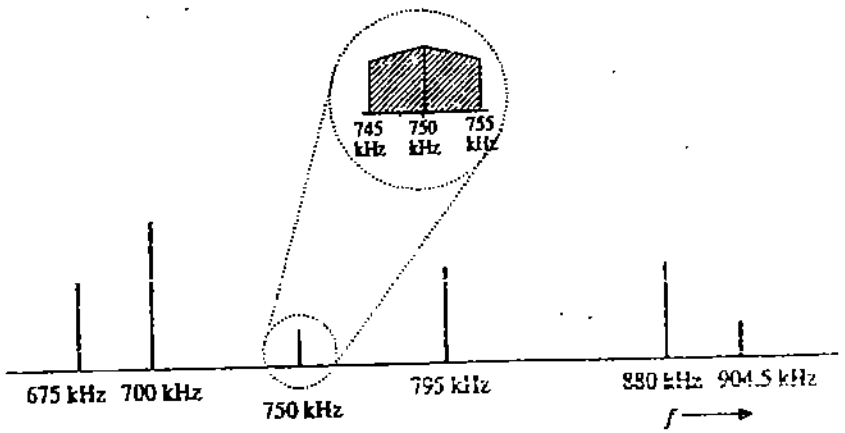
अभी तक हमने ऑडियो प्रवर्धकों के बारे में चर्चा की है। इस प्रकार के प्रवर्धकों का प्रयोग रेकार्ड प्लेयर, टेप रेकार्डर, पब्लिक ऐड्रेस सिस्टम जैसे विभिन्न ऑडियो सिस्टमों में किया जाता है। रेडियो प्रसारण में ऑडियो सिगनल (आवाज़ या संगीत) को कुछ उच्च आवृत्ति स्तर तक उठा दिया जाता है। यह उच्च आवृत्ति रेडियो आवृत्ति (r-f) परिसर में होती है और यह ऑडियो सिगनल के वाहक का काम करती है। कुछ प्रसारण केन्द्रों की वाहक आवृत्तियां (और संगत तरंगदैर्घ्य) नीचे दी गई हैं :

केन्द्र	आवृत्ति	तरंगदैर्घ्य
दिल्ली 'बी'	1017 kHz	294.9 m
मुम्बई 'सी'	1188 kHz	252.5 m

ऑडियो सिगनल को rf आवृत्तियों तक उठाने के प्रक्रम को माडुलन (modulation) कहा जाता है। यह माडुलित तरंग ही होती है जो प्रसारण केन्द्र से संचारित की जाती है। यह माडुलित तरंग वास्तव में वाहक आवृत्ति के आसपास केन्द्रित आवृत्तियों का एक अपेक्षाकृत संकीर्ण बैंड होता है, जैसा कि चित्र 4.28 में दिखाया गया है। वाहक आवृत्ति f_2 की तुलना में इस सिगनल की बैंड-चौड़ाई ($f_1 - f_2$) अत्यधिक कम होती है।

जब rf सिगनल (माडुलित तरंग) अभिग्राही एन्टेना के पास पहुँचता है, तो इसमें एक अति दुर्बल वोल्टता प्रेरित हो जाती है। यह वोल्टता कुछ μV की कोटि की होती है। यहाँ यह संभव नहीं होता है कि इस दुर्बल वोल्टता से मूल ऑडियो सिगनल को निष्कर्षित किया जा सके। इसके लिए सबसे पहले यह आवश्यक होता है कि rf-सिगनल को एक उपयुक्त स्तर तक प्रवर्धित कर दिया जाए। एक समस्वरित वोल्टता प्रवर्धक, जिसे रेडियो आवृत्ति प्रवर्धक, भी कहा जाता है, की सहायता से रेडियो अभिग्राही में यह कार्य पूरा कर लिया जाता है।

rf-सिगनल से मूल सिगनल का निष्कर्षक करने के प्रक्रम को विमाडुलन कहा जाता है। यहाँ हमने शब्दों : माडुलन और विमाडुलन का प्रयोग इनसे आपको परिचित कराने के लिए ही किया है। संचार इंजीनियरिंग का अध्ययन करने के दौरान हम इस पर विस्तार से चर्चा करेंगे।

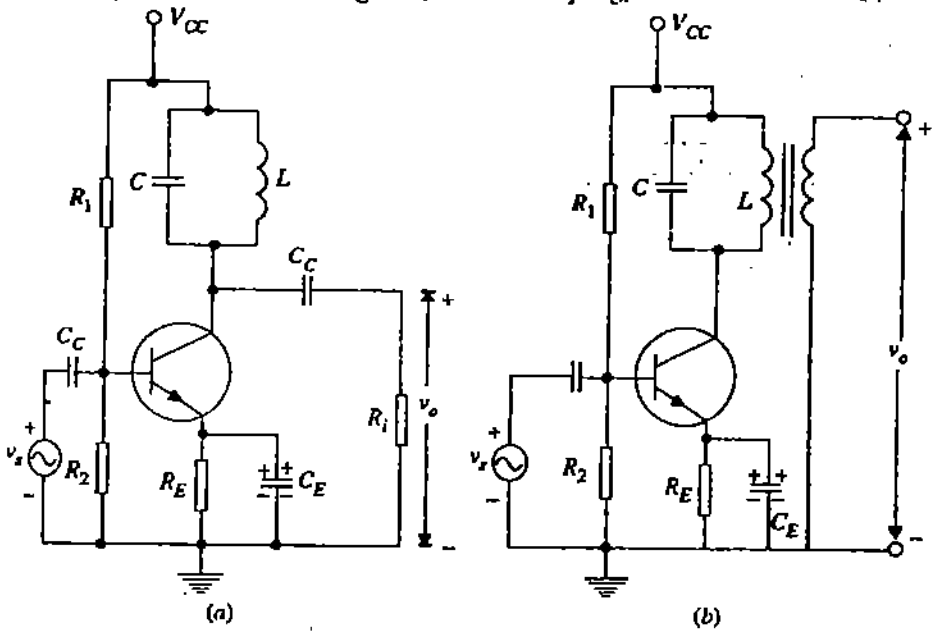


चित्र 4.28: माडुलित तरंगों के आवृत्ति स्पेक्ट्रम जो विभिन्न प्रसार केन्द्रों से संचारित किए जाते हैं।

समस्वरित वोल्टता प्रवर्धक में एक समस्वरित परिपथ का प्रयोग किया जाता है। रेडियो आवृत्ति प्रवर्धक को दो वर्गों में वर्गीकृत किया जा सकता है : एकल समस्वरित वोल्टता प्रवर्धक और द्विक समस्वरित वोल्टता प्रवर्धक।

4.7.1 एकल-समस्वरित वोल्टता प्रवर्धक

चित्र 4.29 में एकल समस्वरित वोल्टता प्रवर्धक के परिपथ दिखाए गए हैं। चित्र 4.29 (क) के परिपथ में निर्गत को धारिता युग्मन (capacitive coupling) की सहायता से प्राप्त किया जाता है, जबकि चित्र 4.29 (ख) में निर्गत को प्रेरणिक युग्मन (inductive coupling) से प्राप्त किया जाता है।



चित्र 4.29: एकल समस्वरित प्रवर्धक जिसमें द्विध्रुवी संधि ट्रांजिस्टर का प्रयोग किया जाता है। (क) धारिता रूप में युग्मित प्रवर्धक (ख) प्रेरणिक रूप में युग्मित प्रवर्धक।

चित्र 4.29 में प्रतिरोधक R_1, R_2 और R_E प्रचालन बिन्दु को निर्धारित करते हैं और इसे स्थायित्व भी प्रदान करते हैं। समस्वरित परिपथ, जिसमें प्रेरकत्व (inductance) और धारिता होती है, प्रवर्धक परिपथ के एक लोड प्रतिरोध की तरह काम करता है। इन दो घटकों में से कोई भी एक घटक, चाहे वह प्रेरकत्व हो या धारिता हो, परिवर्ती होता है। ऐसा इसलिए किया जाता है, ताकि परिपथ की अनुनादी आवृत्ति (resonant frequency) का समायोजन हो सके।

वोल्टता लाभ और आवृत्ति अनुक्रिया वक्र

हम पहले यह पढ़ चुके हैं कि प्रवर्धक का वोल्टता लाभ ac लोड प्रतिरोध पर निर्भर करता है।

$$A = \frac{\beta R_{ac}}{r_{in}} \angle 180^\circ$$ (जहाँ 180° यह बताता है कि निर्गत निवेश के कला-बाह्य है)

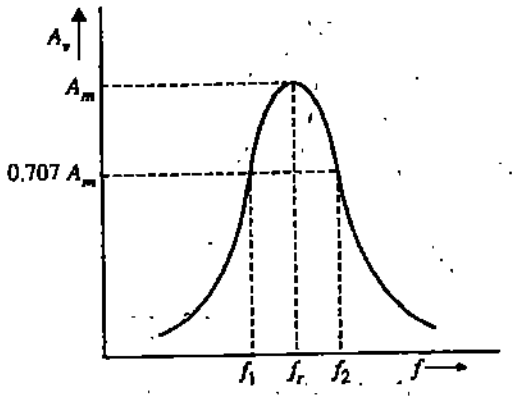
समस्वरित प्रवर्धक में, R_{ac} समस्वरित परिपथ की प्रतिबाधा है। इस प्रतिबाधा को Z_p से प्रकट किया जाता है। अनुनाद पर समस्वरित परिपथ की प्रतिबाधा प्रतिरोधी होती है और L/CR के बराबर होती है। अतः अनुनाद पर समस्वरित प्रवर्धक की वोल्टता लाभ यह होता है :

$$A = \frac{\beta \frac{L}{CR}}{r_{in}} \angle 180^\circ$$

यह वोल्टता लाभ काफी अधिक होता है, क्योंकि समस्वरित परिपथ के लिए राशि L/CR काफी बड़ी राशि होती है। अनुनाद से परे की आवृत्तियों पर वोल्टता लाभ में कमी आने लगती है, क्योंकि इन आवृत्तियों पर समस्वरित परिपथ की प्रतिबाधा भी कम होने लगती है। इस तरह, जैसे-जैसे हम दोनों ओर अनुनाद से दूर होते जाते हैं, प्रवर्धक के वोल्टता लाभ में कमी आने लगती है। समस्वरित प्रवर्धक की आवृत्ति अनुक्रिया वक्र एक समान्तर अनुनादी परिपथ के प्रतिबाधा-आवृत्ति वक्र के समान होती है। इस आवृत्ति अनुक्रिया वक्र को चित्र 4.30 में आलेखित किया गया है। प्रवर्धक की बैंड-चौड़ाई यह होती है :

$$BW = \frac{f_r}{Q}, \tag{4.35}$$

जहाँ $f_r = \frac{1}{2\pi\sqrt{LC}}$ इस सिगनल की बैंड-चौड़ाई $(f_1 - f_2)$ (4.36)



चित्र 4.30: एकल-समस्वरित प्रवर्धक की आवृत्ति अनुक्रिया वक्र।

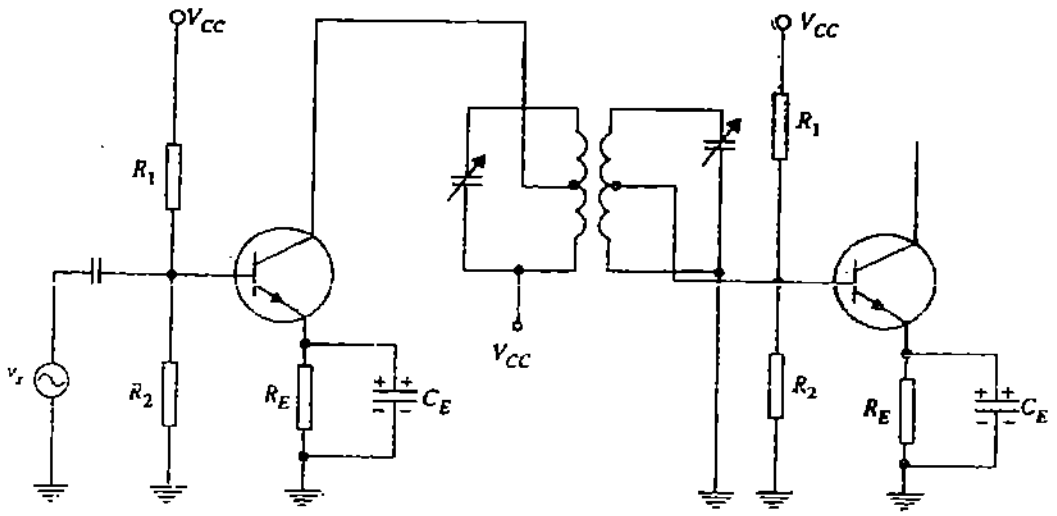
ऊपर दिया गया व्यंजक समान्तर अनुनादी परिपथ की बैंड-चौड़ाई के सूत्र से प्राप्त होता है।

एकल समस्वरित वोल्टता प्रवर्धकों की सीमाएँ

सामान्यतः समस्वरित वोल्टता प्रवर्धकों का प्रयोग बेतार संचार प्रणाली के rf-चरण में किया जाता है। यहाँ इन परिपथों का उपयोग वाहक आवृत्ति का चयन करने और चयन की गई इस वाहक आवृत्ति के आसपास के अनुमत (allowed) पास बैंड का आवर्धन करने के लिए किया जाता है। उच्च वरण क्षमता (selectivity) के लिए उच्च Q-अनुनादी परिपथ की आवश्यकता होती है। उच्च Q-परिपथ से उच्च लाभ भी प्राप्त होगा, परन्तु, साथ ही इसकी बैंड-चौड़ाई भी काफी कम हो जाएगी। अति संकीर्ण बैंड के कारण बहुत ही दुर्बल पुनरुत्पादन होता है। यह एकल-समस्वरित परिपथ में एक कमी है। फिर भी, द्विक समस्वरित परिपथों की कुंडलियों के बीच के युग्मन का समायोजन उचित रूप से कर दिया जाए, तो इस स्थिति में अभीष्ट-परिणाम (उच्च वरण क्षमता, उच्च लाभ और अपेक्षित बैंड-चौड़ाई) प्राप्त किए जा सकते हैं।

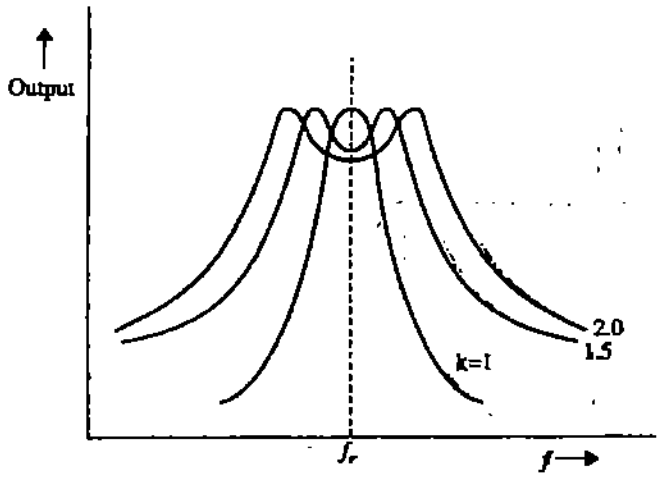
4.7.2 द्विक-समस्वरित वोल्टता प्रवर्धक

द्विक-समस्वरित परिपथों में प्रेरणिक युग्मन का प्रयोग किया जाता है। परिणामित्र के प्राथमिक और द्वितीयक कुंडलियों को संधारित्रों से शंट कर दिया जाता है और इस तरह दो समस्वरित परिपथ प्राप्त होते हैं। द्विक-समस्वरित वोल्टता प्रवर्धक का परिपथ आरेख चित्र 4.31 में दिखाया गया है।



चित्र 4.31: द्विक समस्वरित ट्रांज़िस्टर प्रवर्धक।

युग्मन के भिन्न-भिन्न गुणांकों के लिए द्विक समस्वरित प्रवर्धक के आवृत्ति अनुक्रिया वक्र को चित्र 4.32 में दिखाया गया है।



चित्र 4.32: युग्मन के भिन्न-भिन्न गुणांकों के लिए द्विक-समस्वरित प्रवर्धक का आवृत्ति अनुक्रिया वक्र।

यह बात ध्यान में रखनी चाहिए कि अति उपयुक्त अनुक्रिया वक्र तब प्राप्त होता है, जब दो समस्वरित परिपथों के बीच अनुकूलतम (optimum) युग्मन गुणांक होता है। इस प्रतिबंध के अंतर्गत परिपथ काफी वरणात्मक होता है और एक विशेष आवृत्ति-बैंड पर पर्याप्त लाभ उपलब्ध कराता है।

बोध प्रश्न 3

एक समस्वरित प्रवर्धक में एक समान्तर LC परिपथ है जो कि 100 k Ω के निर्गत प्रतिरोध वाले ट्रॉन्जिस्टर से चलता है और जो 100 k Ω के एक प्रतिरोधी लोड से जुड़ा है। प्रेरक का प्रेरकत्व 100 μH है और कुल तुल्य धारिता (जिसमें अवांछित धारिता भी सम्मिलित है) 100 pF है। समस्वरित प्रवर्धक की केन्द्र आवृत्ति, f_r और बैंड-चौड़ाई परिकलित कीजिए।

4.8 सारांश

1. प्रवर्धन वह प्रक्रम है, जिससे कि सिगनल की शक्ति बढ़ जाती है।
2. CB या CE या CC विन्यास में ट्रॉन्जिस्टर के स्थान पर एक h-प्राचल तुल्य परिपथ का प्रयोग किया जा सकता है।
3. प्रचालन बिन्दु (Q-बिन्दु) ट्रॉन्जिस्टर को सप्लाई किए जाने वाले I_B, I_C और V_{CE} के मानों को नियत करता है जबकि कोई सिगनल लागू न किया गया हो।
4. लघु सिगनल प्रवर्धक में सिगनल आयाम के कारण अभिलक्षणिक वक्र के रैखिक भाग पर Q-बिन्दु दोलन करने लगता है।
5. वृहत् सिगनल प्रवर्धक वह होता है, जिसमें सिगनल आयाम के कारण अभिलक्षणिक वक्र के अरैखिक भाग पर Q-बिन्दु दोलन करता है।
6. कर्षापकर्षी प्रवर्धक में, प्रवर्धित किए जाने वाले सिगनल को 180° से कला-बाह्य दो सिगनलों में रूपांतरित कर दिया जाता है जो कि दो ट्रॉन्जिस्टरों के निवेशों में एक साथ लागू किया जाता है। प्रवर्धित सिगनल दो ट्रॉन्जिस्टरों की संग्राहियों के बीच जुड़े परिणामित्र पर विकसित हो जाता है।
7. सामान्यत समस्वरित प्रवर्धकों में LCR-समस्वरित परिपथों का प्रयोग किया जाता है और इसकी आवृत्ति-अनुक्रिया समान्तर समस्वरित LCR फिल्टर के समान होती है।

4.9 अंत में कुछ प्रश्न

1. आप प्रचालन विन्दु का चयन अभिलक्षणिक रैखिक भाग पर क्यों करते हैं ?
2. बायसन का अर्थ क्या है ? सामान्यतः किस बायसन का प्रयोग सबसे अधिक किया जाता है ?
3. यदि बोध प्रश्न 1 में R_2 में 50% की वृद्धि कर दी जाए, तो
   क) V_{R2} ..... होगा
   ख) V_{R_E} ..... होगा
   ग) I_C ..... होगा
   घ) V_C ..... होगा।
4. सही विकल्प चुनकर खाली स्थान भरिए :
   क) यदि एक RC युग्मित प्रवर्धक में, युग्मन संधारित्र के मान को बढ़ाकर मूल मान का दूना कर दिया जाए, तो प्रवर्धक की निम्न आवृत्ति अनुक्रिया ..... (खराब/समान/उत्तम) हो जाएगी।
   ख) ऊपर दी गई स्थिति में उच्च आवृत्ति अनुक्रिया ..... (खराब/समान/उत्तम) हो जाएगी।
   ग) यदि एक संधारित्र को एक RC-युग्मित प्रवर्धक के निर्गत टर्मिनलों पर जोड़ दिया जाए, तो इसकी निम्न आवृत्ति अनुक्रिया ..... (खराब/समान/उत्तम) हो जाएगी और उच्च आवृत्ति अनुक्रिया ..... (खराब/समान/उत्तम) हो जाएगी।
5. वर्ग B कर्षापकर्षी प्रवर्धक में बैटरी की सप्लाई 5 वोल्ट है, निर्गत शक्ति 400 mW है और प्रत्येक ट्रान्जिस्टर का अधिकतम संग्राही क्षय 100 mW है। शीर्ष संग्राही धारा परिकलित कीजिए।

4.10 हल/उत्तर

बोध प्रश्न

1. क) कमी आ जाती है
   ख) कमी हो जाती है
   ग) कमी आ जाती है
   घ) वृद्धि हो जाती है।
2. त्रिपदी प्रवर्धक का dB में कुल वोल्टता लाभ यह होता है :

$$A_{dB} = A_{dB_1} + A_{dB_2} + A_{dB_3}$$

हमें अलग-अलग पदों पर वोल्टता लाभ अनुपातों में दिए गए हैं। अतः हमें सबसे पहले अलग-अलग पदों के डेसिबेलों में लाभ ज्ञात करना चाहिए। इस तरह,

$$A_{dB_1} = 20 \log_{10} 30 = 29.54 \text{ dB}$$

$$A_{dB_2} = 20 \log_{10} 50 = 33.98 \text{ dB}$$

$$A_{dB_3} = 20 \log_{10} 80 = 38.06 \text{ dB}$$

अतः

$$A_{dB} = 29.54 + 33.98 + 38.06 = 101.58 \text{ dB}$$

समीकरण (4.23) लागू करने पर निम्नलिखित वोल्टता प्राप्त होती है :

$$A = A_1 \times A_2 \times A_3$$

$$= 30 \times 50 \times 80 = 120000$$

अतः, dB में कुल वोल्टता लाभ यह होगा

$$A_{dB} = 20 \log_{10} 120000 = 101.58 \text{ dB}$$

3. समीकरण (4.36) से f_r-प्राप्त हो जाता है।

यहाँ $L = 10^{-4}$ H, $C = 10^{-10}$ F

$$f_r = \frac{1}{2\pi \sqrt{10^{-4} \times 10^{-10}}}$$

$$= \frac{10^7}{2\pi} = 1.6 \text{ MHz}$$

समीकरण (4.35) से चौड़ाई प्राप्त हो जाती है :

$$BW = \frac{f_r}{Q}$$

जहाँ Q, LC परिपथ का Q-गुणक है।

खंड 1 की इकाई 2 से हम यह जानते हैं कि निम्नलिखित संबंध से Q प्राप्त हो जाता है।

$$Q = \frac{R}{\omega_{r_L}} \text{ या } Q = R\omega_r C$$

LC परिपथ पर तुल्य प्रतिरोध लोड प्रतिरोध के साथ समान्तर में ट्रॉन्जिस्टर का निर्गत प्रतिरोध होता है अर्थात्

$$R = \frac{1}{100 \text{ k}\Omega} + \frac{1}{100 \text{ k}\Omega} = 50 \text{ k}\Omega$$

$$Q = R\omega_r C$$

$$= 50 \times 10^3 \times 10^7 \times 10^{-10} = 50 \qquad (\because \omega_r = 2\pi f_r = 10^7)$$

इसलिए,

$$BW = \frac{1.6}{50} \text{ MHz} = 32 \text{ kHz}$$

अंत में कुछ प्रश्न

1. जिससे कि प्रचालन बिन्दु में हुए परिवर्तन से निर्गत पर कोई विरूपण न आए।

2. किसी ट्रॉन्जिस्टर या किसी युक्ति के उचित प्रचालन के लिए उसके अलग-अलग अवयवों पर अलग-अलग वोल्टता लागू करना बायसन है। बायसन योजना में विभव विभाजक बायस का सबसे अधिक प्रयोग होता है।

3. क) वृद्धि होती है

   ख) वृद्धि होती है

   ग) वृद्धि होती है

   घ) कमी आती है

4. क) उत्तम

ख) समान

ग) समान, खराब

5. दिया हुआ है, $V_{max} = V_{CC} = 5\ \text{V}$

$$P = 400\ \text{mW} = 400 \times 10^{-3}\ \text{W}$$

निर्गत शक्ति यह होती है :

$$P = \frac{I_{max}}{\sqrt{2}} \times \frac{V_{max}}{\sqrt{2}}$$

या $$400 \times 10^{-3} = \frac{I_{max}}{2} \times 5$$

$$\therefore I_{max} = 160\ \text{mA}.$$

4.11 शब्दावली

अंतकीय आवृत्ति	–	cut-off frequency
उभयनिष्ठ आधार	–	common base
कर्षापकर्षी	–	push-pull
कला	–	phase
ज्यावक्रीय	–	sinusoidal
दोलित्र	–	oscillator
निर्गत	–	output
निवेश	–	input
परिणामित्र	–	transformer
प्रचालन	–	operation
प्रतिघात	–	reactance
प्रतिबाधा	–	impedence
प्रवर्धक	–	amplifier
बहुपदी प्रवर्धक	–	multi-stage amplifier
बायसन	–	biasing
युक्ति	–	device
युग्मन	–	coupling
विभव विभाजक	–	potential divider.
शांत बिन्दु	–	quiscent point
संग्राही	–	collector
समस्वरण	–	tuning
सुमेलन	–	matching

इकाई 5 दोलित्र

इकाई की रूपरेखा

5.1 प्रस्तावना
उद्देश्य

5.2 फीडबैक की संकल्पना

5.3 ऋणात्मक फीडबैक और उसके प्रभाव

5.4 धनात्मक फीडबैक और दोलन
दोलित्रों का वर्गीकरण
दोलन का सिद्धान्त
एक दोलित्र के रूप में धनात्मक फीडबैक प्रवर्धक

5.5 LC-दोलित्र
समस्वरित संग्राही दोलित्र
हार्टले दोलित्र
कॉल्पिट दोलित्र

5.6 RC-दोलित्र
कला विस्थापन
वियन सेतु दोलित्र

5.7 सारांश

5.8 अंत में कुछ प्रश्न

5.9 हल/उत्तर

5.10 शब्दावली

5.1 प्रस्तावना

एक प्रवर्धक के महत्वपूर्ण अभिलक्षणिक हैं, उसका वोल्टता लाभ, निवेश प्रतिबाधा, निर्गत प्रतिबाधा और बैंड–चौड़ाई। एक प्रवर्धक के लिए ये प्राचल बहुत-कुछ अचर ही रहते हैं। परंतु, प्रायः इन प्राचलों के मान में परिवर्तन करने की आवश्यकता होती है। यह कार्य विभिन्न विधियों से किया जा सकता है। परंतु इसे करने की अति शक्तिशाली तकनीक है – प्रवर्धक के परिपथ में फीडबैक का प्रयोग करना। परिपथ के निर्गत के एक भाग का निवेश में युग्मन करने या पुनर्भरण करने की प्रक्रिया को फीडबैक कहा जाता है। यदि पुनर्भरित निर्गत का यह भाग निवेश के सापेक्ष कला (phase) में हो, तो इस स्थिति में फीडबैक को धनात्मक फीडबैक कहा जाता है। धनात्मक फीडबैक की सहायता से बाह्य निवेश की अनुपस्थिति में परिपथ से एक निर्गत जनित कराया जा सकता है। इस इकाई में हम दोलित्र बनाने के लिए धनात्मक फीडबैक का प्रयोग करेंगे।

उस परिपथ को, जो एक प्रत्यावर्ती वोल्टता जनित करता है, दोलित्र कहा जाता है। ac वोल्टता जनित्र करने के लिए परिपथ को dc स्रोत से ऊर्जा सप्लाई की जाती है। कुछ अनुप्रयोगों में अति उच्च आवृत्तियों वाली वोल्टताओं की आवश्यकता होती है। उदाहरण के लिए, एक स्टीरियो प्रवर्धक के निष्पादन की जाँच करने के लिए हमें ऑडियो परिसर में परिवर्ती आवृत्ति वाले सिगनल की आवश्यकता होती है।

सभी संचार प्रणालियों में उच्च आवृत्तियों को जनित करना आवश्यक होता है। उदाहरण के लिए, रेडियो और टेलिविजन प्रसारण में यदि रेडियो प्रसारण हो रहा हो, तो 550 kHz से 22 MHz वाले वाहक सिगनल प्रेषित्र (transmitter) द्वारा उत्सर्जित होता है और यदि टी वी प्रसारण हो रहा हो, तो 47 MHz से कुछ GHz की अति उच्च आवृत्ति वाले सिगनल उत्सर्जित होते हैं। रेडियो और टी वी अभिग्राहियों (receivers) में भी एक दोलित्र परिपथ होता है, जो अति उच्च आवृत्तियों को जनित करता है।

अंत में, इस इकाई में आप कुछ ऐसे परिपथों के बारे में अध्ययन करेंगे, जो परिवर्ती आवृत्तियों वाले ज्यावक्रीय (sinusoidal) तरंग रूप उत्पन्न करते हैं।

अगली इकाई में वोल्टता नियमन में सुधार लाने के लिए हम ऋणात्मक फीडबैक की संकल्पना का प्रयोग करेंगे।

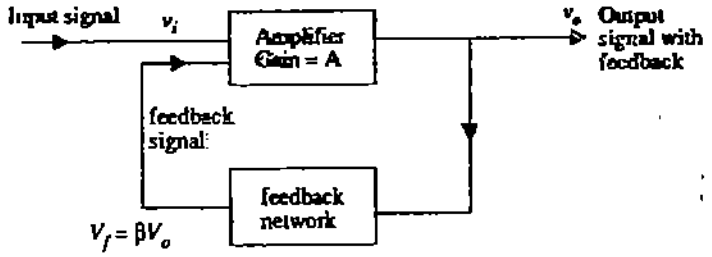
उद्देश्य

इस इकाई को पढ़ लेने के बाद आप :

- प्रवर्धक में विभिन्न प्रकार के फीडबैक की व्याख्या कर सकेंगे,
- ऋणात्मक फीडबैक का लाभ बता सकेंगे,
- उन प्रतिबंधों को बता सकेंगे, जिनके अंतर्गत फीडबैक प्रवर्धक एक दोलित्र की तरह कार्य करता है,
- दोलित्रों का वर्गीकरण बता सकेंगे,
- LC और RC दोलित्रों की कार्य–प्रणालियों की व्याख्या कर सकेंगे।

5.2 फीडबैक की संकल्पना

फीडबैक का अर्थ है युक्ति के निर्गत से प्राप्त ऊर्जा के एक भाग को उसके निवेश में स्थानांतरित करना। दूसरे शब्दों में, निर्गत सिगनल के एक भाग को निवेश परिपथ में पुनर्भरण करने का प्रक्रम ही फीडबैक है। चित्र 5.1 में दिखाए गए ब्लॉक–आरेख को देखिए। मान लीजिए उस स्थिति



चित्र 5.1: फीडबैक प्रवर्धक ब्लॉक आरेख।

में A प्रवर्धक का लाभ है, जबकि कोई फीडबैक नहीं है। तब एक भाग βV_0 को, जहाँ $\beta \leq 1$, प्रवर्धक निवेश पर पुन: लागू किया जाता है। इस तरह, प्रवर्धक में वास्तविक निवेश सिगनल वोल्टता V_i और फीडबैक वोल्टता $V_f = \beta V_0$ का योग होता है। हम β को फीडबैक भिन्न $(= V_f / V_0)$ कहते हैं।

अत: फीडबैक सहित कुल निवेश वोल्टता $= V_i + \beta V_0$ है।

इस निवेश के कारण, निर्गत वोल्टता $V_0 = (V_i + \beta V_0) A$ है, अर्थात्

$$V_0 = AV_i + A\beta V_0$$

या $$V_0 - A\beta V_0 = AV_i$$

या $$V_0 (1 - A\beta) = AV_i$$

$$\therefore \text{ फीडबैक सहित लाभ, } A_f = \frac{V_0}{V_i} = \frac{A}{1 - A\beta} \qquad (5.1)$$

5.3 ऋणात्मक फीडबैक और उसके प्रभाव

समीकरण (5.1) में यदि β ऋणात्मक हो, तो फीडबैक सिगनल लागू किए गए सिगनल से कला–बाह्य होता है। ऐसी स्थिति में प्रवर्धकों की नेट निवेश वोल्टता बाह्य निवेश वोल्टता और

फीडबैक वोल्टता का अंतर होती है। क्योंकि प्रवर्धक का नेट निवेश कम हो जाता है, इसलिए प्रवर्धक के निर्गत में भी कमी आ जाती है। दूसरे शब्दों में फीडबैक के कारण प्रवर्धक का लाभ कम होता जाता है। इस प्रकार के फीडबैक को ऋणात्मक या विपोषी (degenerative) फीडबैक कहा जाता है। समीकरण (5.1) में β को एक ऋण राशि मान लेने पर आपको ऋणात्मक फीडबैक सहित निम्नलिखित लाभ प्राप्त होगा :

$$A_f = \frac{A}{1 - A(-\beta)} = \frac{A}{1 + A\beta} \qquad (5.2)$$

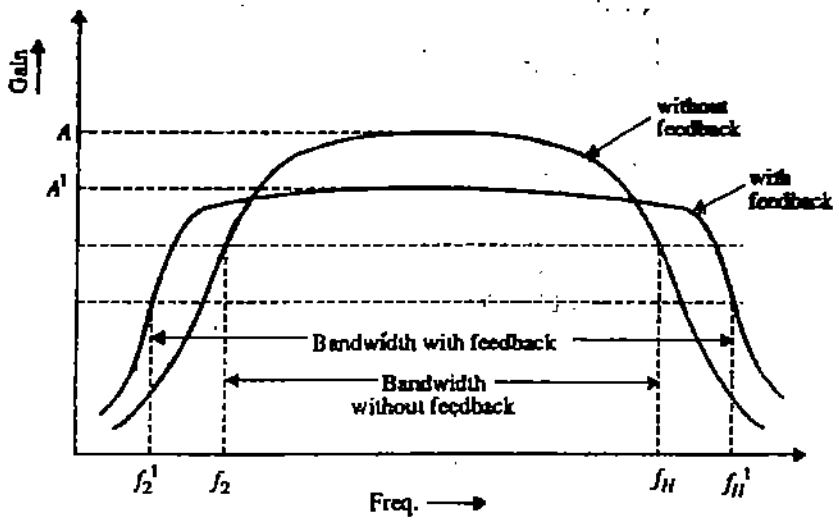
क्योंकि आप A को एक धन राशि से भाग दे रहे हैं, इसलिए यह स्पष्ट है कि $A_f < A$ है। इस तरह, हम यह पाते हैं कि ऋणात्मक फीडबैक प्रवर्धक के लाभ को कम कर देता है।

आगे अध्ययन करने से पहले स्वयं यह जानने के लिए कि किस प्रकार लाभ कम हो जाता है, आप निम्नलिखित बोध प्रश्न हल कीजिए।

बोध प्रश्न 1

एक ऋणात्मक फीडबैक प्रवर्धक का लाभ परिकलित कीजिए जिसका आंतरिक लाभ $A = 100$ और फीडबैक गुणक $\beta = 1/10$ है।

पिछली इकाई में हमने प्रवर्धक की आवृत्ति–अनुक्रिया के बारे में चर्चा की है। अंतर $(f_2 - f_1)$ को प्रवर्धक की बैंड चौड़ाई (BW) कहा जाता है। प्रवर्धक के लिए लाभ और बैंड-चौड़ाई का गुणनफल, जिसे लाभ-बैंड चौड़ाई गुणनफल कहा जाता है, समान बना रहता है अर्थात् $A \times BW =$ अचर होता है। क्योंकि ऋणात्मक फीडबैक के कारण प्रवर्धक के लाभ में कमी आ जाती है, इसलिए गुणनफल $A_f \times BW$ को पहले के ही समान बनाए रखने के लिए BW में वृद्धि होती है। दूसरे शब्दों में, ऋणात्मक फीडबैक के साथ प्रवर्धक की बैंड–चौडाई में वृद्धि होती है। चित्र (5.2) में फीडबैक सहित और फीडबैक रहित दोनों ही स्थितियों में प्रवर्धक की आवृत्ति अनुक्रिया को दिखाया गया है।



चित्र 5.2: फीडबैक प्रवर्धक की आवृत्ति अनुक्रिया।

समीकरण (5.2) में आप यह देख सकते हैं कि हर में यदि एक की तुलना में $A\beta$ अति वृहत् हो, तो $A\beta$ की तुलना में 1 की उपेक्षा की जा सकती है।

अतः इस स्थिति में समीकरण यह हो जाता है:

$$A_f = \frac{A}{A\beta} = \frac{1}{\beta} \qquad (5.3)$$

क्योंकि β का मान प्रवर्धक में इस्तेमाल किए गए सक्रिय युक्ति जैसे ट्रॉन्जिस्टर के प्राचलों पर निर्भर नहीं करता है, इसलिए फीडबैक सहित लाभ A_f वास्तविक लाभ A से लगभग स्वतंत्र रहता है। इसके विपरीत, ट्रॉन्जिस्टर–प्राचलों पर A निर्भर करता है। इस तरह, ऋणात्मक फीडबैक करके लाभ को ट्रान्जिस्टर–प्राचलों से पूरी तरह स्वतंत्र रखा जा सकता है। इस प्रक्रिया को प्रवर्धक लाभ का स्थायीकरण (stabilistation) कहा जाता है।

इसी प्रकार, ऋणात्मक फीडबैक के अन्य प्रभाव यह हैं: प्रवर्धक के विरूपण मे कमी, रव (noise) मे कमी, निवेश और निर्गत प्रतिरोधों का आपरिवर्तन (modification) आदि।

इस तरह, हमने यह देखा है कि ऋणात्मक फीडबैक का प्रयोग करने पर प्रवर्धक का लाभ कम हो जाता है। फिर भी, ऋणात्मक फीडबैक का प्रयोग करने से अन्य अनेक दृष्टिकोणों से प्रवर्धक के निष्पादन में सुधार होता है। ऋणात्मक फीडबैक के लाभ निम्नलिखित हैं:

i) यह बैंड चौड़ाई बढ़ा देता है।

ii) यह प्रवर्धक लाभ के स्थायित्व में सुधार लाता है।

iii) यह विरूपण को कम करता है।

iv) यह निवेश प्रतिबाधा को बढ़ाता है।

v) यह निर्गत प्रतिबाधा को कम करता है।

बोध प्रश्न 2

नीचे दिए गए खाली स्थान भरिए:

i) एक प्रवर्धक के ऋणात्मक फीडबैक से लाभ में ..... होती है और बैंड चौड़ाई में ..... होती है।

ii) यदि फीडबैक भिन्न 0.01 हो, तो फीडबैक सहित लाभ ..... होगा।

iii) ऋणात्मक फीडबैक से विरूपण और रव में ..... होती है।

iv) ऋणात्मक फीडबैक का एक अन्य नाम ..... है।

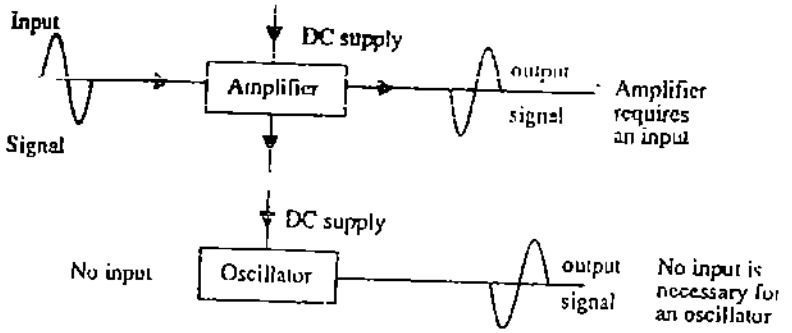
5.4 धनात्मक फीडबैक और दोलन

जब फीडबैक वोल्टता निवेश सिगनल की कला में होती है, तब यह निवेश सिगनल में जुड़ जाती है। इस स्थिति β धनात्मक होता है और फीडबैक को **धनात्मक या पुनर्योजी (regenerative) फीडबैक** कहा जाता है। आप यहाँ यह देख सकते हैं कि जब β धनात्मक होता है, तब फीडबैक सहित लाभ यह होता है :

$$A_f = \frac{A}{1 - A\beta} \qquad (5.4)$$

क्योंकि A को 1 से कम वाली संख्याओं से भाग दिया गया है, इसलिए $A_f > A$ होगा। अतः धनात्मक फीडबैक से प्रवर्धक का लाभ बढ़ जाता है। ऐसा होने से बैंड-चौड़ाई कम हो जाती है, क्योंकि आप जानते हैं कि गुणनफल (लाभ $\times BW$) अचर होता है।

समीकरण (5.4) में यदि $A\beta = 1$ हो, तो $A_f = \infty$! दूसरे शब्दों मे, आपके पास एक ऐसा प्रवर्धक होता है, जो निवेश के बिना ही निर्गत प्रदान करता है। इस प्रकार के परिपथ को दोलित्र कहा जाता है। आपके मन मे यह नहीं होना चाहिए कि बिना किसी निवेश शक्ति के आप निर्गत शक्ति प्राप्त कर रहे हैं। इस परिपथ को ट्रांजिस्टर से जुड़ी dc सप्लाई से शक्ति मिलती है और यह इस शक्ति को ac शक्ति में रूपांतरित कर देती है। आपको कुछ के बिना कुछ नहीं मिल रहा है। अतः हम दोलित्र को एक ऐसा परिपथ मान सकते हैं जो dc शक्ति को ac शक्ति में रूपांतरित करता है। चित्र 5.3 में एक दोलित्र और एक प्रवर्धक के बीच का अंतर दिखाया गया है।

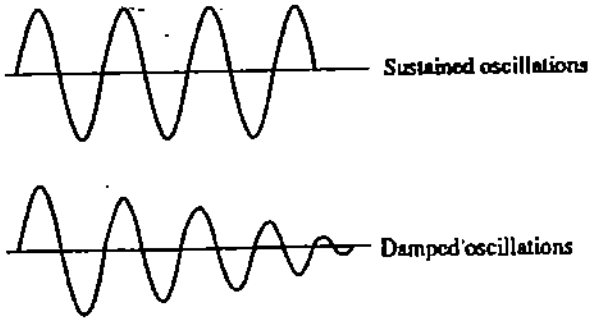


चित्र 5.3: एक प्रवर्धक और एक दोलित्र की तुलना।

एक परिपथ एक दोलित्र की तरह काम करे–इसके लिए यह आवश्यक है कि वह कुछ प्रतिबंधों को संतुष्ट करे। प्रतिबंध ये हैं:

1. फीडबैक धनात्मक होना चाहिए।
2. $A\beta$, का मान एक होना चाहिए। इस प्रतिबंध को बर्खाउसन दोलन–निकष (Barkhausen criterion of oscillation) कहा जाता है।
3. परिपथ में आवर्धन होना चाहिए और यह आवर्धन इतना होना चाहिए कि वह परिपथ में हुई हानियों की पूर्ति कर सके।

दोलन को बनाए रखने के लिए तीसरे प्रतिबंध को संतुष्ट रखना आवश्यक होता है। ऐसा न करने पर आपको अवमंदित दोलन (damped oscillation) प्राप्त होंगे, जैसा कि चित्र 5.4 में दिखाया गया है।



चित्र 5.4 : स्थायीकृत (stabilized) और अवमंदित (damped) तरंग रूप।

5.4.1 दोलित्रों का वर्गीकरण

दोलित्रों को मुख्यतः दो प्रकार के दोलित्रों अर्थात् ज्यावक्रीय दोलित्र (sinusoidal oscillator) और विश्रांति (relaxation) दोलित्र में बांटा जाता है। ज्यावक्रीय दोलित्र ज्या तरंगों (sine wave) जैसे परिवर्ती सिगनल लगातार उत्पन्न करते हैं, जबकि विश्रांति दोलक वर्ग तरंग, त्रिभुजाकार तरंग आदि जैसे अज्यावक्रीय सिगनल उत्पन्न करते हैं। इस इकाई में हम कुछ ज्यावक्रीय दोलित्रों के बारे में अध्ययन करेंगे।

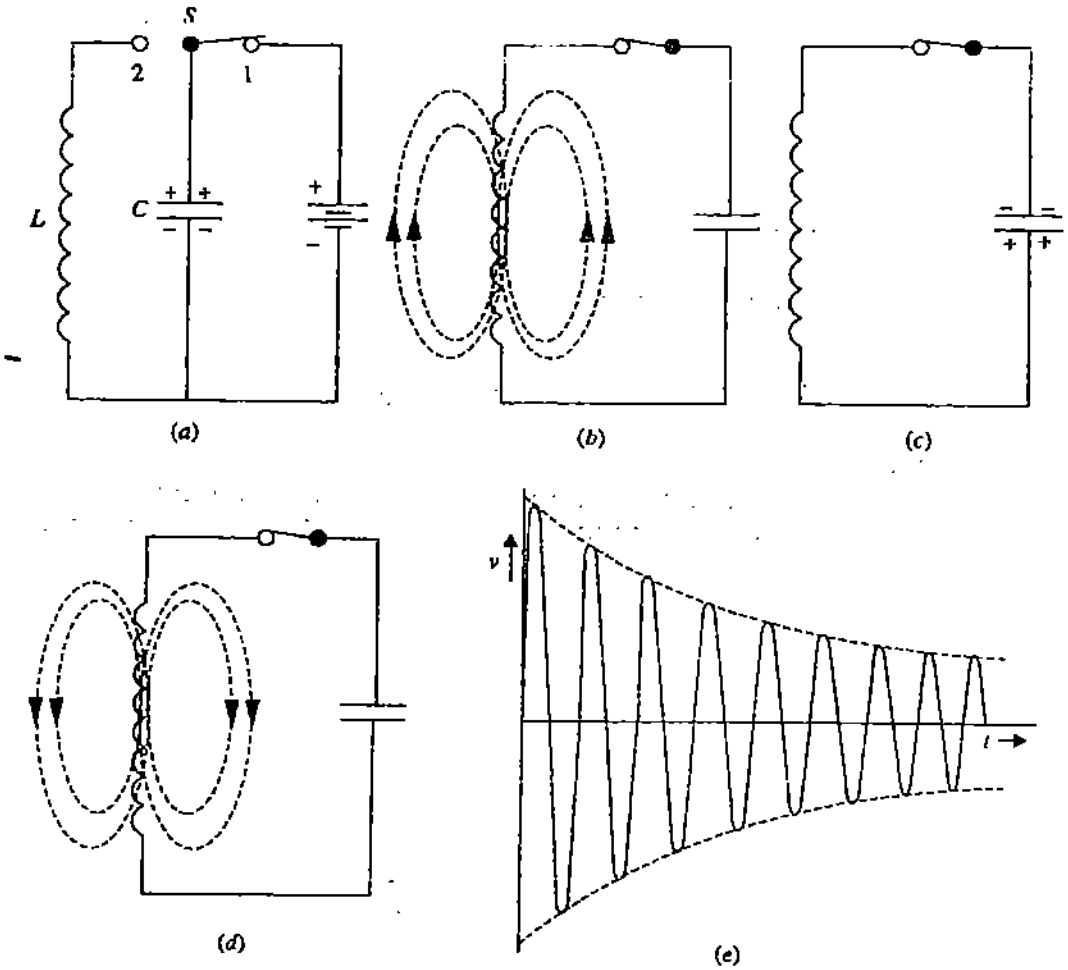
दोलन किस प्रकार उत्पन्न होते हैं – इसके आधार पर निम्नलिखित प्रकार के ज्यावक्रीय दोलित्र होते हैं:

i) समस्वरित परिपथ (LC) दोलित्र

ii) RC दोलित्र

5.4.2 दोलन का सिद्धान्त

समान्तर में जुड़े प्रेरक और संधारित्र से एक समस्वरित या टैंक परिपथ प्राप्त होता है। चित्र 5.5क में, एक dc वोल्टता स्रोत से संधारित्र को जोड़ करके इस परिपथ को ऊर्जा दी जा रही है। बैटरी का ऋण टर्मिनल संधारित्र के निचले प्लेट को इलेक्ट्रॉन प्रदान करता है। इलेक्ट्रॉनों के संचयन के कारण संधारित्र आवेशित हो जाता है और इस पर वोल्टता आ जाती है। ऐसी स्थिति में तब हम यह कहते हैं कि वैद्युत स्थितिज ऊर्जा के रूप में ऊर्जा संधारित्र में संग्रहित हो जाती है। जब स्विच S को स्थिति 2 पर लाया जाता है, तो परिपथ में धारा प्रवाहित होना प्रारंभ हो जाता है। और, अब प्रेरक के माध्यम से संधारित्र विसर्जित होना प्रारंभ कर देता है। क्योंकि प्रेरक का यह गुणधर्म होता है कि वह धारा में हुए किसी भी परिवर्तन का विरोध करता है, इसलिए धारा धीरे-धीरे निर्मित होती जाती है। परिपथ में अधिकतम धारा तब प्रवाहित होती है जबकि संधारित्र पूरी तरह से विसर्जित हो जाता है। इस क्षण पर निकाय की स्थितिज ऊर्जा शून्य होती है। परन्तु, क्योंकि इलेक्ट्रॉन की गति अधिकतम (अधिकतम धारा) होती है, इसलिए कुंडली के आस–पास चुंबकीय क्षेत्र ऊर्जा अधिकतम होती है। इस अवस्था को चित्र 5.5ख में दिखाया गया है।



चित्र 5.5: *LC* परिपथ में अवमंदित दोलन।

संधारित्र का एक बार पूरी तरह से विसर्जित हो जाने पर चुंबकीय क्षेत्र का निपात (collapse) होना प्रारंभ हो जाता है। प्रेरक का पश्च emf धारा को समान दिशा में प्रवाहित करता रहता है। इससे संधारित्र आवेशित होना प्रारंभ कर देता है परंतु इस समय इसकी ध्रुवता विपरीत हो जाती है, जैसा कि चित्र 5.5ग में दिखाया गया है। संधारित्र पर आवेश निर्मित होने पर धारा कम हो जाती है और चुंबकीय क्षेत्र कम हो जाता है। जब चुंबकीय क्षेत्र ऊर्जा गिरकर शून्य हो जाती है, तो संधारित्र उस मान तक आवेशित हो जाता है जो कि अवस्था (क) में था। एक बार फिर सभी ऊर्जा स्थितिज ऊर्जा के रूप में हो जाती है। अब, संधारित्र फिर से आवेशित होना प्रारंभ कर देता है। इस समय धारा विपरीत दिशा में प्रवाहित होने लगती है। चित्र 5.5घ में पूरी तरह से आवेशित संधारित्र को तथा परिपथ में प्रवाहित हो रही अधिकतम धारा को भी दिखाया गया है। यहाँ, सभी ऊर्जा चुंबकीय क्षेत्र में होती है। *L* और *C* के बीच ऊर्जा का विनिमय या "दोलन" बार-बार होता रहता है। यह स्थिति ठीक दोलन कर रहे उस लोलक की तरह होती है, जिसमें स्थितिज ऊर्जा और गतिज ऊर्जा के बीच ऊर्जा में विनिमय होता रहता है। व्यावहारिक लोलक में कीलक पर घर्षण और वायु प्रतिरोध के कारण प्रत्येक दोलन में कुछ ऊर्जा की हानि हो जाती है। प्रत्येक अर्ध चक्र के आयाम में कमी आती जाती है। अंततः लोलक विरामावस्था में आ जाता है, यद्यपि ऐसा होने में काफी समय लगता है। ऐसी स्थिति में लोलक के दोलन को अवमंदित (damped) दोलन कहा जाता है।

एक व्यावहारिक *LC* परिपथ आदर्श परिपथ से थोड़ा-सा अलग होता है, क्योंकि प्रेरक कुंडली में कुछ न कुछ प्रतिरोध अवश्य होगा और संधारित्र की परावैद्युत सामग्री (dielectric material) में कुछ न कुछ लीकेज अवश्य होगा। इन कारकों के कारण दोलन के प्रत्येक चक्र में कुछ ऊर्जा की हानि होती रहती है। इस हानि के कारण दोलन का आयाम लगातार घटता जाता है और अंततः दोलन होना बंद हो जाता है। इस तरह हम यह पाते हैं कि टैंक परिपथ में स्वयं में इतनी क्षमता होती है कि दोलन उत्पन्न कर सकता है, परंतु वे अवमंदित हो जाते हैं, जैसा कि चित्र 5.5 ङ में दिखाया गया है।

LC परिपथ में दोलन की आवृत्ति

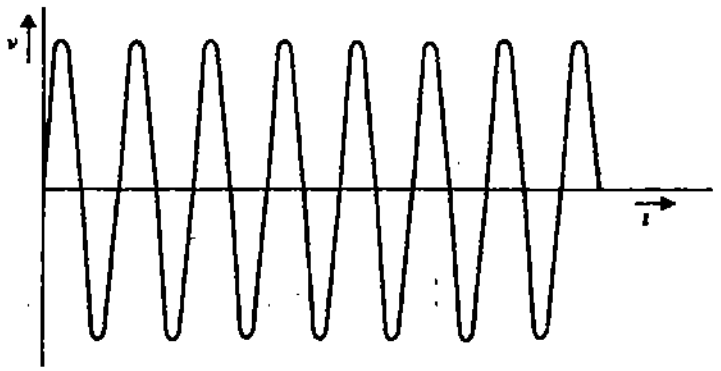
परिपथ में निकाय के स्थिरांक प्रेरक और धारिता के मान हैं। दोलन की आवृत्ति वही होती है, जो कि टैंक परिपथ की अनुनाद आवृत्ति (resonant frequency) होती है। यह निम्नलिखित होती है:

$$f_0 = \frac{1}{2\pi\sqrt{LC}} \qquad (5.4)$$

प्रतिपालित दोलन (sustained oscillation)

यदि हानियों के प्रभाव को दूर करने के लिए समय-समय पर अतिरिक्त ऊर्जा लोलक को दी जाए तो लोलक के दोलन को एक नियत स्तर पर रखा जा सकता है।

इसी प्रकार परिपथ के दोलनों को भी नियत स्तर पर बनाए रखा जा सकता है। इसके लिए हमें प्रत्येक चक्र में ठीक समय पर ऊर्जा-स्पंद (pulse of energy) के एक उत्क्षेप (spurt) की सप्लाई करनी होती है। परिणामी "अनवमंदित दोलनों" (undamped oscillation) को प्रतिपालित दोलन कहा जाता है, जैसा कि चित्र 5.6 में दिखाया गया है। इस प्रकार के प्रतिपालित दोलन (या सतत तरंगें) इलेक्ट्रॉनिक दोलित्र परिपथों से जनित होती हैं।



चित्र 5.6: प्रतिपालित दोलन।

दोलित्र परिपथ अनेक प्रकार के होते हैं। इनमें से सभी में निम्नलिखित तीन लक्षण अवश्य पाए जाते हैं:

i) इनमें एक सक्रिय युक्ति (ट्रॉन्जिस्टर या ट्यूब) अवश्य होती है, जो एक प्रवर्धक के रूप में काम करती है।

ii) प्रवर्धक में धनात्मक फीडबैक अवश्य होना चाहिए।

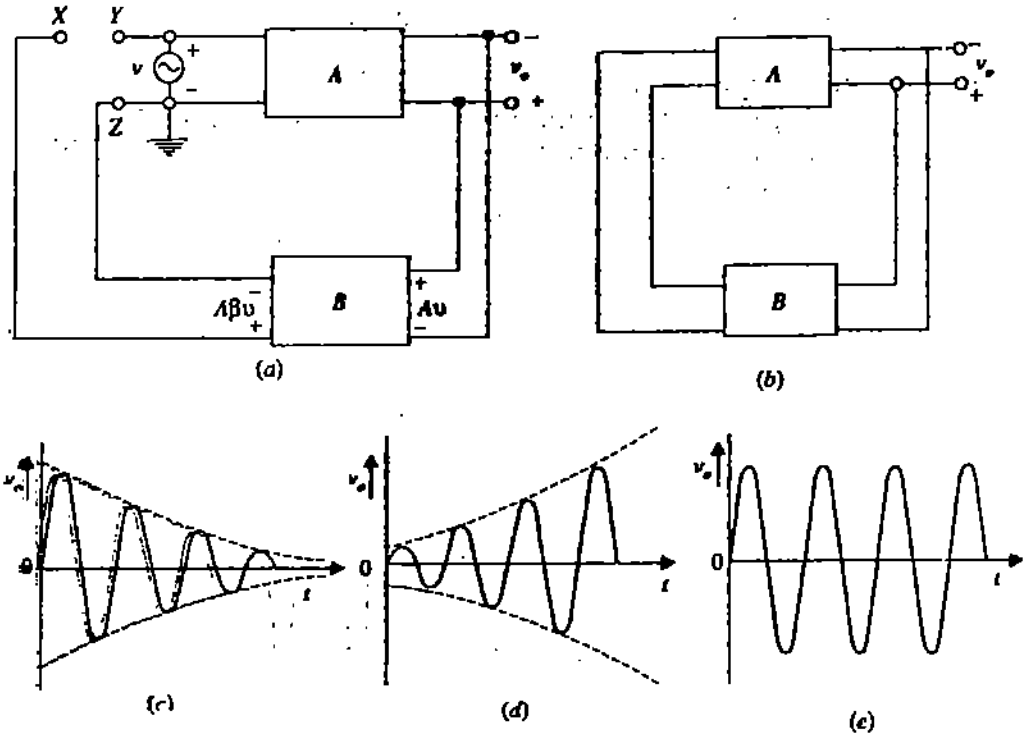
iii) फीडबैक की मात्रा इतनी अवश्य होनी चाहिए जिससे कि ऊर्जा में हुई हानियों को दूर किया जा सके।

5.4.3 एक दोलित्र के रूप में धनात्मक फीडबैक प्रवर्धक

धनात्मक फीडबैक का मुख्य अनुप्रयोग दोलित्रों में होता है। किसी निवेश ac सिगनल के बिना ही दोलित्र ac निर्गत सिगनल जनित करता है। निर्गत का एक भाग निवेश में पुनर्भरित हो जाता है; और यह फीडबैक ही आंतरिक प्रवर्धक का एकमात्र निवेश होता है।

यह जानने के लिए कि बाह्य निवेश सिगनल के बिना दोलित्र किस प्रकार निर्गत सिगनल उत्पन्न करता है, आइए हम चित्र 5.7 क को देखें। वोल्टता स्रोत v आंतरिक प्रवर्धक (वोल्टता लाभ A के साथ) के निवेश टर्मिनलों YZ को चलाता है। प्रवर्धित सिगनल Av फीडबैक वोल्टता $A\beta$ उत्पन्न करने के लिए फीडबैक नेटवर्क को चलाता है। यह वोल्टता बिन्दु X पर लौट आती है। यदि प्रवर्धक के कारण कला में विस्थापन होता हो, और फीडबैक नेटवर्क सही हो, तो बिन्दु X पर का सिगनल, टर्मिनल प्रवर्धक के निवेश टर्मिनलों YZ को चलाने वाले सिगनल की कला में ठीक-ठीक होंगे।

दोलित्र की क्रिया के बारे में व्याख्या कुछ बाद में करेंगे। आइए, इस समय हम यह मान लें कि हम बिन्दु X और Y को जोड़ते हैं और वोल्टता स्रोत v को हटा देते हैं। अतः फीडबैक सिगनल प्रवर्धक निवेश टर्मिनलों YZ को चलाता है (देखिए चित्र 5.7 ख)। यदि $A\beta$, 1 से कम हो, तो $A\beta v$, v से कम होगा और निर्गत सिगनल अपने आप समाप्त हो जाएगा, जैसा कि चित्र 5.7 ग में दिखाया गया है। ऐसा इसलिए होता है, क्योंकि पर्याप्त वोल्टता प्रवर्धक के निवेश पर नहीं लौटती। इसके विपरीत, यदि $A\beta$, 1 से अधिक हो, तो $A\beta v$, v से अधिक होगा और निर्गत वोल्टता निर्मित होती जाएगी, जैसा कि चित्र 5.7घ में दिखाया गया है। इस प्रकार के दोलनों को वर्धमान दोलन (growing oscillation) कहा जाता है। अंत में, यदि $A\beta$, 1 के बराबर हो, तो निर्गत में कोई परिवर्तन नहीं होता और हमें एक ऐसा निर्गत प्राप्त होता है, जिसका आयाम नियत बना रहता है, जैसा कि चित्र 5.7ङ में दिखाया गया है।



चित्र 5.7: उचित धनात्मक फीडबैक से प्रवर्धक दोलित्र बन जाता है।

प्रतिपालित दोलनों के लिए आवश्यक प्रतिबंध ज्ञात करने के लिए प्रवर्धक के कुल लाभ से संबंधित समीकरण (5.4) को लीजिए जबकि फीडबैक धनात्मक हो, अर्थात्

$$A_f = \frac{A}{1 - A\beta} \tag{5.5}$$

अब यह देखा जा सकता है कि यदि $A\beta = 1$ हो तो $A_f = \infty$ है। लाभ का अनंत होने का अर्थ यह है कि किसी निवेश के बिना निर्गत उत्पन्न हो रहा है। दूसरे शब्दों में, प्रवर्धक एक दोलित्र हो जाता है। प्रतिबंध,

$$A\beta = 1 \tag{5.6}$$

जिसे बर्खाउसन दोलन–निकष (Barkhausen criterian of oscillation) कहा जाता है, एक आवश्यक प्रतिबंध है।

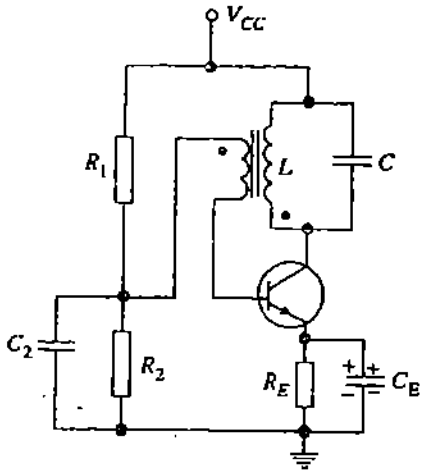
5.5 *LC* दोलित्र

उच्च आवृत्तियों को जनित करने के लिए *LC* दोलित्रों या अनुनादी परिपथ दोलित्रों का प्रयोग व्यापक रूप से किया जाता है। व्यावहारिक मानों वाले प्रेरकों और संधारित्रों से 500 MHz तक की उच्च आवृत्तियाँ उत्पन्न की जा सकती हैं। rf-जनित्रों, रेडियो और टी.वी. अभिग्राहियों,

उच्च–आवृत्ति तापन आदि में प्रयोग किए जाने वाले दोलित्र *LC*-दोलित्र होते हैं। इस प्रकार के दोलित्र में एक प्रवर्धक, एक *LC* अनुनादी परिपथ और एक फीडबैक व्यवस्था होती है। *LC*-दोलित्र परिपथ अनेक प्रकार के होते हैं। यहाँ हम कुछ महत्वपूर्ण *LC*-दोलित्र परिपथों पर ही चर्चा करेंगे।

5.5.1 समस्वरित संग्राही दोलित्र

चित्र 5.8क में एक आधारभूत *LC*-दोलित्र परिपथ दिखाया गया है। इसे समस्वरित संग्राही दोलित्र (tuned collection oscillator) इसलिए कहा जाता है, क्योंकि समस्वरित परिपथ को संग्राही से जोड़ दिया होता है। यहाँ हम एक परिणामित्र (transformer) का प्रयोग करते हैं। परिणामित्र के प्राथमिक कुंडलन और धारिता *C* से समस्वरित परिपथ (या टैंक परिपथ) बनता है, जो कि दोलन की आवृत्ति निर्धारित करता है। द्वितीयक कुंडलन को आधार से जोड़ दिया जाता है। क्योंकि ट्रॉन्जिस्टर प्रवर्धक से 180° का कलांतर (phase difference) और परिणामित्र से अतिरिक्त 180° का कलांतर प्राप्त होता है, इसलिए फीडबैक धनात्मक प्रकार का होता है। ट्रॉन्जिस्टर प्रवर्धक इतना लाभ उपलब्ध करा देता है कि दोलित्र की क्रिया होने लगती है।

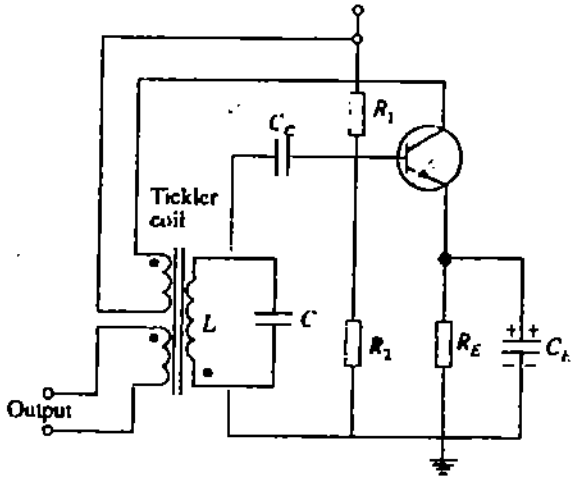


चित्र 5.8: समस्वरित संग्राही दोलित्र।

प्रतिरोधकों R_1, R_2 और R_E से ट्रॉन्जिस्टर को dc बायस प्राप्त होता है। संधारित्र C_E और C_2 क्रमशः प्रतिरोधकों R_E और R_2 को उपमार्ग (by pass) में कर देते हैं। यही कारण है कि परिपथ के ac प्रचालन में प्रतिरोधकों R_E और R_2 का कोई प्रभाव नहीं पड़ता। विभव विभाजक R_1 और R_2 द्वारा प्राप्त की गई dc बायस वोल्टता को परिणामित्र के निम्न-प्रतिरोधी द्वितीयक कुंडलन के माध्यम से आधार पर जोड़ दिया जाता है। इसी समय परिणामित्र के द्वितीयक से ac फीडबैक वोल्टता उत्पन्न हो जाती है। यह वोल्टता आधार–उत्सर्जक संधि (base emitter junction) पर उपलब्ध होती है, क्योंकि R_1 और R_2 की संधि बिन्दु ac भू-संपर्कित होती है (उपमार्गी संधारित्र C_2 के कारण)। ध्यान दीजिए कि यदि संधारित्र C_2 को प्रतिरोधक R_2 से नहीं जोड़ा गया होता, तो परिणामित्र के द्वितीयक में प्रेरित फीडबैक वोल्टता ट्रॉन्जिस्टर के निवेश में सीधे नहीं जा रही होती, कुछ वोल्टता का ह्रास R_2 पर होता।

सप्लाई के स्विच को चालू करते ही धारा निर्मित होना प्रारंभ कर देती है। इससे परिणामित्र के द्वितीयक में एक परिवर्ती वोल्टता प्रेरित हो जाती है। एक प्रवर्धित वोल्टता पुनः टैंक परिपथ में आ जाती है जो अधिकांशतः अपनी अनुनादी आवृत्ति (resonant frequency) के साथ अनुक्रिया करती है। ट्रॉन्जिस्टर से पर्याप्त लाभ उपलब्ध होने और सही कला में उचित मात्रा में फीडबैक मिल जाने के कारण दोलन में तब तक वृद्धि होती रहती है, जब तक कि एक निश्चित स्तर प्राप्त नहीं हो जाता। इस तरह, प्रतिपालित दोलन प्राप्त हो जाते हैं।

(i) दोलन की आवृत्ति और (ii) दोलन के प्रतिबंध का व्यंजक प्राप्त करने के लिए हमें समस्वरित संग्राही दोलित्र के तुल्य परिपथ को लेना होता है। चित्र 5.9 में इस दोलित्र का एक तुल्य परिपथ दिखाया गया है, जिसमें CE संकर निदर्श (hybrid model) का प्रयोग किया गया है।



चित्र 5.9: समस्वरित संग्राही दोलित्र का तुल्य परिपथ जिसमें संकर निदर्श का प्रयोग किया गया है।

यहाँ परिणामित्र कुंडलन प्रतिरोधों की उपेक्षा कर दी गई है। यहाँ यह भी मान लिया गया है कि $h_{re} = 0$ है। प्राथमिक में परिवर्तित द्वितीयक का प्रतिरोध R है।

फीडबैक वोल्टता V_f यह होती है:

$$V_f = -j\omega M I_L \tag{5.7}$$

समस्वरित पथ पर वोल्टता V_2 यह होती है :

$$V_2 = -(R + j\omega L_1) I_L = -\frac{1}{j\omega} \frac{I_C}{C_1} \tag{5.8}$$

अतः फीडबैक नेटवर्क के लिए

$$\beta = \frac{V_f}{V_2} = \frac{-j\omega M I_L}{-(R + j\omega L_1) I_L} = \frac{j\omega M}{R + j\omega L_1} \tag{5.9}$$

और

$$V_s = -V_f \tag{5.10}$$

धारा I यह होती है :

$$I = h_{fe} I_b + h_{oe} V_2 \tag{5.11}$$

स्थानांतर प्रतिबाधा Z_T यह होती है :

$$Z_T = \frac{V_f}{I} = \frac{-j\omega M I_L}{I_L + I_C} = \frac{-j\omega M I_L}{I_L + I_L (R + j\omega L_1) j\omega C_1} \tag{5.12}$$

[∵ समीकरण (5.8) से $I_C = I_L (R + j\omega L_1) j\omega C_1$]

और

$$I_b = \frac{V_s}{h_{ie}} \tag{5.13}$$

समीकरण (5.11) को इस प्रकार लिखा जा सकता है:

$$-\frac{V_s}{Z_T} = h_{fe} \frac{V_s}{h_{ie}} + h_{oe} V_2$$

या $$V_2 = -\frac{V_s}{Z_T h_{oe}} - \frac{h_{fe} V_s}{h_{ie} h_{oe}}$$

अतः प्रवर्धक का लाभ यह होगा :

$$A = \frac{V_2}{V_s} = -\left[\frac{h_{fe}}{h_{ie}\,h_{oe}} + \frac{1}{Z_T\,h_{oe}}\right] \qquad (5.14)$$

बर्खाउसन निकष के अनुसार, प्रतिपालित दोलन के लिए, $-A\beta$, का मान 1 के बराबर होना चाहिए।

अतः समीकरणों (5.9) और (5.14) से हमें यह प्राप्त होता है :

$$\frac{j\omega M}{(R + j\omega L_1)}\left[\frac{h_{fe}}{h_{ie}\,h_{oe}} + \frac{1}{Z_T\,h_{oe}}\right] = 1$$

समीकरण (5.12) से प्राप्त Z_T के मान को यहाँ प्रतिस्थापित करने पर हमें यह प्राप्त होता है:

$$\frac{j\omega M}{(R + j\omega L_1)}\left[\frac{h_{fe}}{h_{ie}\,h_{oe}} + \frac{1}{h_{oe}\dfrac{-j\omega M}{\{1 + (R + j\omega L_1)\,j\omega C_1\}}}\right] = 1$$

या $$\frac{j\omega M}{(R + j\omega L_1)}\left[\frac{h_{fe}}{h_{ie}\,h_{oe}} - \frac{\{1 + (R + j\omega L_1)\,j\omega C_1\}}{h_{oe}\,j\omega M}\right] = 1$$

या $$\frac{j\omega M\,h_{fe}}{h_{ie}\,h_{oe}} - \frac{1}{h_{oe}} - \frac{Rj\omega\,C_1}{h_{oe}} - \frac{j\omega L_1 \times j\omega C_1}{h_{oe}} = R + j\omega L_1$$

दोनों पक्षों को $\frac{h_{oe}}{j\omega C_1}$ से गुणा करने पर हमें यह प्राप्त होता है:

$$\frac{h_{fe}}{h_{ie}} \times \frac{M}{C_1} - \frac{1}{j\omega C_1} - R - j\omega L_1 = \frac{(R + j\omega L_1)\,h_{oe}}{j\omega C_1}$$

या $$\frac{h_{fe}}{h_{ie}} \times \frac{M}{C_1} = R + j\left(\omega L_1 - \frac{1}{\omega C_1}\right) + \left[\frac{-jh_{oe}R}{\omega C_1} + \frac{L_1\,h_{oe}}{C_1}\right] \qquad (5.15)$$

समीकरण (5.15) के वास्तविक भागों को बराबर रखने पर हमें यह प्राप्त होता है :

$$\frac{h_{fe}}{h_{oe}}\,\frac{M}{C_1} = R + \frac{L_1\,h_{oe}}{C_1}$$

या $$\boxed{\frac{h_{fe}}{h_{oe}} = \frac{RC_1 + h_{oe}L_1}{M}} \qquad (5.16)$$

समीकरण (5.16) से प्रतिपालित दोलन का प्रतिबंध प्राप्त हो जाता है। समीकरण (5.15) के अधिकल्पित भागों (imaginary parts) को बराबर रखने पर हमें यह प्राप्त होता है :

$$\omega L_1 - \frac{1}{\omega C_1} - \frac{h_{oe}R}{\omega C_1} = 0$$

या $$\omega^2 = \frac{1}{L_1C_1}[1 + h_{oe}R]$$

$$\therefore \quad \boxed{\omega^2 = \omega_0^2\,(1 + h_{oe}R),} \quad \text{जहाँ } \omega_0^2 = \frac{1}{L_1C_1} \qquad (5.17)$$

समीकरण (5.17) से दोलन की आवृत्ति प्राप्त होती है। इस तरह, इस समीकरण को देखने से यह पता चलता है कि समस्वरित परिपथ की आवृत्ति से दोलन की आवृत्ति अधिक है।

5.5.2 हार्ट्ले-दोलित्र (Hartley oscillator)

हार्ट्ले दोलित्र सरलतम प्रकार का एक दोलित्र परिपथ है। इस परिपथ में केवल एक कुंडली का प्रयोग होता है, जो इस प्रकार अंशनिष्कासित (tapped) होती है कि कुंडली का एक भाग L_1 संग्राही परिपथ में होता है जबकि दूसरा भाग L_2 आधार परिपथ में होता है। संग्राही भाग में प्रवर्धित ऊर्जा को प्रेरणिक युग्मन (inductive coupling) की सहायता से आधार तक पुनर्भरण कर दिया जाता है और युग्मन की मात्रा L_1 और L_2 में स्थित फेरों की संख्या पर निर्भर करती है।
चित्र 5.10 में हार्टले दोलित्र परिपथ दिखाया गया है।

किसी भी राशि को j से गुणा करना, $90° = \frac{\pi}{2}$ रेडियन का घूर्णन करने के तुल्य है। यदि वोल्टता या धारा जैसी ज्यावक्रीयतः परिवर्ती राशि को संकारक j से गुणा किया जाए तो कोण घर में 90° की वृद्धि हो जाती है।

श्रेणी में लगे प्रतिरोध और प्रेरक पर लगाया गया शीर्ष e.m.f यह होता है

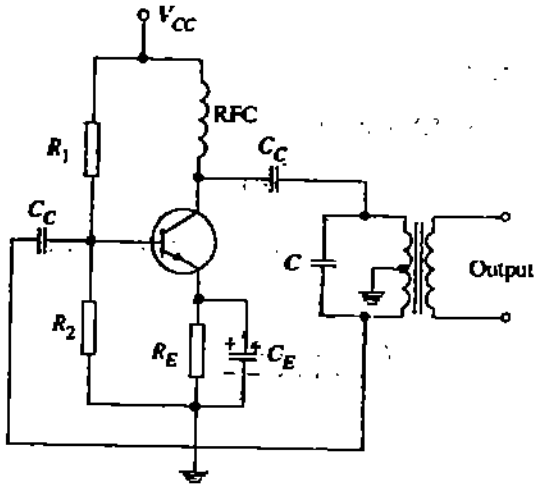
$E_0 = I_0R + j\omega LI_0$

प्रेरक के विगवांतर ωLI_0 को j से गुणा इसलिए किया जाता है, क्योंकि यहाँ धारा, जो कि प्रतिरोध के विगवांतर की कला में होती है, विगवान्तर से 90° आगे होता है।

इसी प्रकार, श्रेणी में लगे प्रतिरोध और धारिता वाले परिपथ के संबंध में शीर्ष e.m.f का समीकरण यह होता है

$E_0 = I_0R - j\,\frac{I_0}{\omega C}$

यहाँ गुणक j इसलिए लिया गया है, क्योंकि यहाँ धारा, जो कि प्रतिरोध पर शीर्ष विगवांतर की कला में है, विगवान्तर से 90° पीछे है।



चित्र 5.10: हार्ट्ले दोलित्र परिपथ।

एक *RFC* (रेडियो आवृत्ति चोक) से dc धारा सरलता से प्रवाहित होने लगती है। साथ ही यह उच्च आवृत्ति धाराओं को अति उच्च प्रतिबाधा (impedence) उपलब्ध कराता है। दूसरे शब्दों में, आदर्श रूप में *RFC* एक dc शार्ट परिपथ और एक ac खुले परिपथ की तरह दिखाई पड़ता है। हार्ट्ले दोलित्र के निर्गत परिपथ में युग्मन संधारित्र C_c के होने से dc धाराएँ टैंक परिपथ में नहीं जा पाती। *RFC* पर विकसित रेडियो–आवृत्ति ऊर्जा संधारित्र C_c के माध्यम से टैंक परिपथ से युग्मित हो जाती है।

दोलन की आवृत्ति ठीक उसी विधि से परिकलित की जा सकती है, जिस विधि का प्रयोग समस्वरित संग्राही दोलित्र में किया गया है। यह निम्नलिखित होता है:

$$\omega = \omega_0 \sqrt{1 - \frac{X_1 X_2}{1 - h_{ie} h_{oe}}}$$

जहाँ $\omega L_1 = X_1$ और $\omega L_2 = X_2$ है।

5.5.3 कॉल्पिट दोलित्र

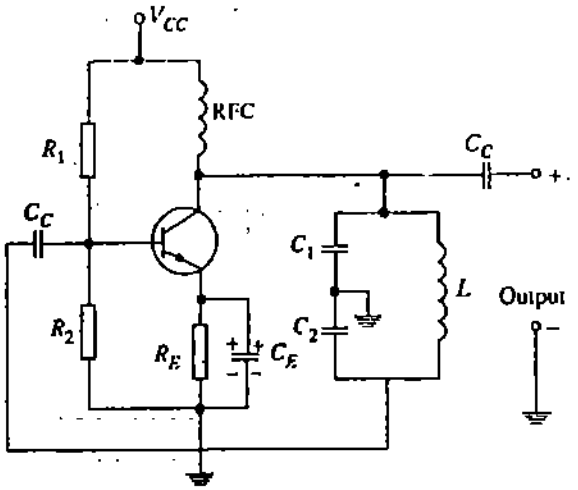
चित्र 5.11 में दिखाया गया कॉल्पिट दोलित्र एक उत्कृष्ट परिपथ है। इसका व्यापक प्रयोग 1MHz से अधिक वाली व्यापारिक सिगनल को जनित करने में किया जाता है। यह दोलित्र चित्र 5.10 में दिखाये गए हार्ट्ले दोलित्र के समान है। अंतर केवल यह है कि कॉल्पिट दोलित्र में प्रेरक के स्थान पर विभक्त टैंक (split tank) संधारित्र का प्रयोग होता है। इसमें भी *RFC* का वही कार्य होता है, जो कि हार्ट्ले दोलित्र में होता है। संधारित्र पर विकसित वोल्टता प्रतिपालित दोलनों के लिए आवश्यक पुनर्योजी फीड बैक उपलब्ध कराती है। L, C_1 और C_2 के मानों से दोलन की आवृत्ति निर्धारित हो जाती है। दोलन की आवृत्ति यह होती है:

$$f = \frac{1}{2\pi\sqrt{LC}} \tag{5.18}$$

जहाँ

$$C = \frac{C_1 C_2}{C_1 + C_2} \tag{5.19}$$

जहाँ C_1 और C_2 श्रेणी में है।



चित्र 5.11: कॉल्पिट दोलित्र जिसमें ट्रान्जिस्टर का प्रयोग किया गया है।

5.6 *RC* दोलित्र

अभी तक हमने केवल उन दोलित्रों पर चर्चा की है, जिनमें *LC*-सगस्वरित परिपथ का प्रयोग होता है। ये समस्वरित परिपथ दोलित्र उचित आवृत्तियां जनित करने के लिए तो उत्तम हैं, परंतु निम्न आवृत्तियों (मान लीजिए, ऑडियो आवृत्तियों) पर *LC* परिपथ अव्यावहारिक हो जाता है। ऐसी स्थिति में *RC*-दोलित्र अधिक उपयोगी होते हैं। *RC* दोलित्र अनेक प्रकार के होते है, परन्तु निम्नलिखित दो प्रकार के दोलित्र अति महत्वपूर्ण हैं:

(i) कला–विस्थापन दोलित्र (phase shift oscillator)

(ii) वियन सेतु दोलित्र (wein bridge oscillator)

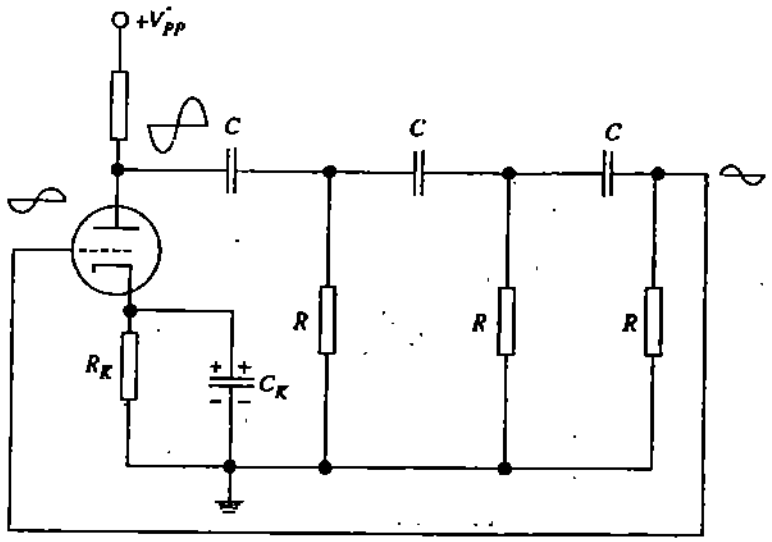
***RC*-दोलित्रों का मूल सिद्धांत**

हम जानते हैं कि प्रवर्धक का एकल पद न केवल निवेश सिगनल को प्रवर्धित करता है, अपितु इसकी कला भी 180° से विस्थापित कर देता है। यदि हम निर्गत के एक भाग को लें, और इसे निवेश में पुनर्भरित करें, तो एक ऋणात्मक फीडबैक स्थापित होता है। तब नेट निर्गत वोल्टता कम होने लगती है। परंतु, दोलन उत्पन्न करने के लिए हमें पर्याप्त मात्रा में धनात्मक फीडबैक की आवश्यकता होती है। धनात्मक फीडबैक केवल तब होता है, जबकि पुनर्भरित वोल्टता मूल निवेश सिगनल की कला में होता है। इस अवस्था को दो विधियों से प्राप्त किया जा सकता है। हम एकल पदी प्रवेर्धक के निर्गत का एक भाग (180° का कला-विस्थापन के पश्चात्) ले सकते हैं और इसे एक कला-विस्थापन नेटवर्क के माध्यम से 180° का एक अतिरिक्त कला-विस्थापन दे सकते हैं। जब सिगनल एक प्रवर्धक और कला-विस्थापन नेटवर्क से होकर गुजरता है, तो इस तरह 180° + 180° = 360° का कुल कला-विस्थापन (जो कि 0° के कला-विस्थापन के तुल्य है) होता है। यही कला-विस्थापन दोलित्र का सिद्धांत है।

360° का कला-विस्थापन करने की एक अन्य विधि है प्रवर्धकों के दो पदों का प्रयोग करना जिनमें से प्रत्येक 180° का कला-विस्थापन करता है। इस निर्गत के एक भाग को और अधिक कला-विस्थापन किए बिना एक फीडबैक नेटवर्क के माध्यम से निवेश को पुनर्भरित किया जाता है। यही वियन सेतु दोलित्र का सिद्धान्त है।

5.6.1 कला-विस्थापन दोलित्र

चित्र 5.12 में एक कला-विस्थापन दोलित्र दिखाया गया है।



चित्र 5.12: कला-विस्थापन दोलित्र।

जैसा कि चित्र में दिखाया गया है, निवेश पर सिगनल की कला व्युत्क्रमित हो जाती है, जब इसे प्रवर्धक से प्रवर्धित किया जाता है। प्रवर्धक का निर्गत एक फीडबैक नेटवर्क में चला जाता है। फीडबैक नेटवर्क में समान प्रकार के तीन *RC* भाग होते हैं। प्रत्येक *RC* भाग से 60° का कला-विस्थापन होता है। इस तरह फीडबैक नेटवर्क द्वारा कुल $60° \times 3 = 180°$ का कला-विस्थापन होता है। अब, इस नेटवर्क का निर्गत उसी कला में होता है, जिस कला में प्रवर्धक का निवेश सिगनल है, जैसा कि चित्र में दिखाया गया है। यदि प्रतिबंध $A\beta = 1$ संतुष्ट हो जाता हो, तो दोलन बना रहेगा।

एक प्रत्यक्ष (परन्तु थोड़ा जटिल) विश्लेषण से यह दिखाया जा सकता है कि वह आवृत्ति जिस पर नेटवर्क द्वारा ठीक-ठीक 180° का कला-विस्थापन प्राप्त हो, वह यह होता है:

$$f = \frac{1}{2\pi RC\sqrt{6}} \qquad (5.20)$$

यह दोलन की आवृत्ति होती है।

बोध प्रश्न 3

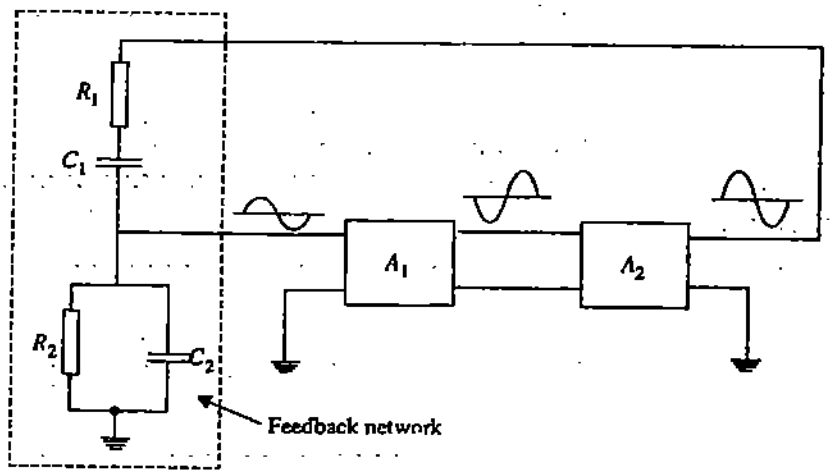
एक ट्रॉन्जिस्टर कला-विस्थापन दोलित्र के फीडबैक नेटवर्क में समान प्रकार के तीन *RC*-भागों का प्रयोग किया गया है। घटकों के मान ये हैं : $R = 100\ \text{k}\Omega$ और $C = 0.01\ \mu\text{F}$. दोलन की आवृत्ति परिकलित कीजिए।

5.6.2 वियन सेतु दोलित्र

10Hz से लगभग 1MHz के परिसर में निम्न आवृत्तियाँ जनित करने के लिए वियन सेतु दोलित्र का परिपथ एक मानक परिपथ होता है। इसका प्रयोग सभी व्यापारिक ऑडियो जेनरेटरों में होता है। मूलतः इस दोलित्र में *RC*-युग्मित प्रवर्धक के दो पद और एक फीडबैक नेटवर्क होता है। चित्र 5.13 के ब्लाक–आरेख से इस दोलित्र की कार्य प्रणाली की व्याख्या हो जाती है।

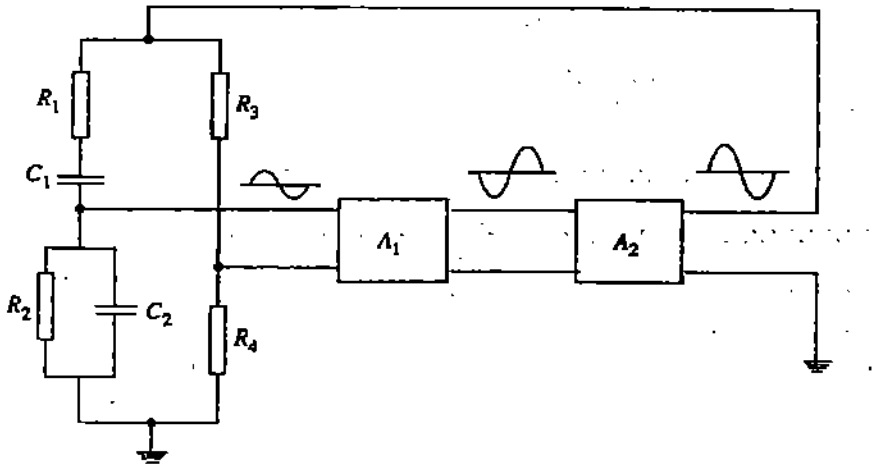
यहाँ खंड A_1 और A_2 दो प्रवर्धक पदों को निरूपित करते हैं। दूसरे पद का निर्गत फीडबैक नेटवर्क में चला जाता है। समान्तर संयोजन C_2R_2 की वोल्टता पहले पद के निवेश में भरित हो जाती है। दो प्रवर्धकों से गुज़रने वाले सिगनल में नेट कला-विस्थापन शून्य होता है। अतः यह स्पष्ट है कि दोलन को बनाए रखने के लिए युग्मन नेटवर्क में कला-विस्थापन शून्य होना चाहिए। यह दिखाया जा सकता है कि यह प्रतिबंध निम्नलिखित आवृत्ति पर सन्तुष्ट होता है:

$$f_0 = \frac{1}{2\pi\sqrt{R_1C_1R_2C_2}} \qquad (5.21)$$

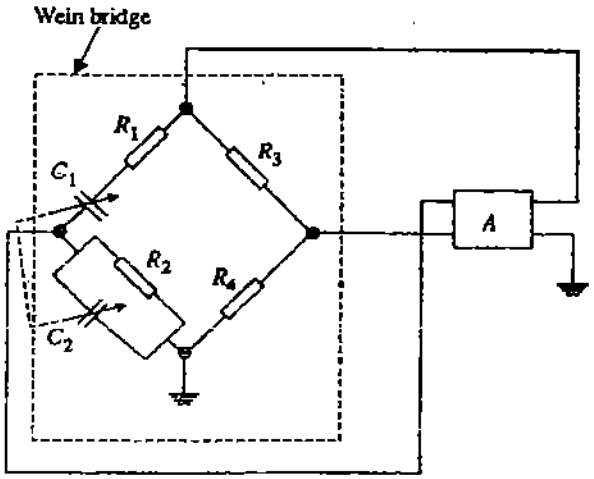


चित्र 5.13: एक आधारभूत वियन सेतु दोलित्र का ब्लॉक आरेख।

लाभ प्राप्त करने के लिए कुछ मात्रा में ऋणात्मक फीडबैक को जोड़ते हैं। ऋणात्मक फीडबैक को जोड़ने से चित्र 5.13 का परिपथ चित्र 5.14 में दिखाए गए परिपथ जैसा दिखने लगता है। चित्र 5.14 के परिपथ को पुनः बनाया गया है जैसा कि चित्र 5.15 में दिखाया गया है।



चित्र 5.14: ऋणात्मक फीडबैक को सम्मिलित करने के लिए चित्र 5.13 के परिपथ को रूपान्तरित किया गया है।



चित्र 5.15: वियन सेतु दोलित्र में "सेतु" की उपस्थिति को दर्शाने के लिए चित्र 5.14 के परिपथ को पुनः खींचा गया है।

अब आप यह समझ सकते हैं कि इस परिपथ को सेतु दोलित्र क्यों कहते हैं। इस परिपथ में प्रतिरोधक R_2 और R_3 से अपेक्षित ऋणात्मक फीडबैक उपलब्ध हो जाता है। प्रवर्धक के दो पदों को निरूपित करने वाले चित्र 5.14 के दो खंडों के स्थान पर चित्र 5.15 में एकल खंड का प्रयोग किया गया है।

दो संधारित्रों C_1 और C_2 में एक साथ परिवर्तन करके इस दोलित्र की आवृत्ति में लगातार परिवर्तन किया जा सकता है। ये संधारित्र परिवर्ती वायु गुम्फित (air gang) संधारित्र होते हैं। परिपथ में प्रतिरोधकों R_1 और R_2 के विभिन्न मानों को लेकर हम दोलित्र के आवृत्ति-परिसर में परिवर्तन कर सकते हैं।

बोध प्रश्न 4

वियन सेतु दोलित्र के RC नेटवर्क में $R_1 = R_2 = 200\ \text{k}\Omega$ और $C_1 = C_2 = 250\ \text{pF}$ हैं। दोलन की आवृत्ति परिकलित कीजिए।

5.7 सारांश

1. उस प्रवर्धक को जिसमें निर्गत वोल्टता या धारा का एक भाग निवेश में पुनर्भरित कर दिया जाता है, उसे फीडबैक प्रवर्धक कहा जाता है।
2. यदि फीडबैक सिगनल लागू किए गए सिगनल की कला में हो और उसमें जुड़ जाता हो, तो धनात्मक पुनर्योजी फीडबैक होता है।
3. यदि फीडबैक सिगनल लागू किए गए सिगनल के विपरीत (अर्थात् कला–बाह्य) हो, तो ऋणात्मक या विपोषी फीडबैक होता है।
4. धनात्मक फीडबैक से लाभ में वृद्धि होती है, जिससे कि दोलन हो सकते हैं।
5. ऋणात्मक फीडबैक से लाभ में कमी आती है और विरूपण में भी कमी आती है।
6. दोलित्र एक ऊर्जा परिवर्तक (energy convertor) के रूप में काम करता है, जो दिष्ट धारा ऊर्जा को प्रत्यावर्ती धारा ऊर्जा में बदल देता है।
7. दोलित्र के अनिवार्य भाग ये हैं : (i) आवृत्ति निर्धारित करने वाला नेटवर्क (ii) dc ऊर्जा का स्रोत और (iii) धनात्मक फीडबैक उपलब्ध कराने के लिए एक फीडबैक परिपथ।
8. हार्टले दोलित्र फीडबैक परिपथ में एक अंशनिष्कासित कुंडली का प्रयोग होता है।
9. कालपिट दोलित्र फीडबैक परिपथ में अंशनिष्कासित धारिता नेटवर्क का प्रयोग होता है। हार्टले दोलित्र की तुलना में इस दोलित्र में आवृत्ति स्थायित्व अधिक उत्तम होता है।
10. वियन सेतु दोलित्र एक RC-दोलित्र है, जिसकी दोलन–आवृत्ति एक बड़े परिसर में विचरण कर सकती है।

5.8 अंत में कुछ प्रश्न

1. फीडबैक के बिना प्रवर्धक का लाभ 10^3 है। यदि ऋणात्मक फीडबैक होने पर लाभ 10^2 हो, तो फीडबैक अनुपात क्या है?
2. ऋणात्मक फीडबैक होने पर एक प्रवर्धक का वोल्टता लाभ 100 होता है। यह देखा गया है कि फीडबैक न होने पर एक दिए हुए निर्गत को उत्पन्न करने के लिए 50mV के निवेश

सिगनल की आवश्यकता होती है, जबकि फीडबैक होने पर समान निर्गत के लिए 0.6V का निवेश सिगनल होना चाहिए। A और β का मान परिकलित कीजिए।

3. लाभ के स्थायीकरण से आप क्या समझते हैं ? ऋणात्मक फीडबैक से इसे कैसे प्राप्त किया जाता है ?

4. पाश लाभ (loop gain) से आप क्या समझते हैं ?

5. एक वियन सेतु दोलित्र अपने सेतु परिपथ में 10 kΩ के प्रतिरोधकों और 4.70 nF के संधारित्रों का प्रयोग करता है। दोलन की आवृत्ति क्या होगी ?

5.9 हल/उत्तर

बोध प्रश्न

1. फीडबैक प्रवर्धक का लाभ यह होता है:

$$A_f = \frac{A}{1 + A\beta}$$

यहाँ $A = 100$; $\beta = 1/10 = 0.1$. अतः

$$A_f = \frac{100}{1 + 100 \times .01} = \frac{100}{1 + 10} = \frac{100}{11}$$

$$= 9.09$$

2. (i) कम होता है, बढ़ता है

(ii) $\frac{1}{\beta} = \frac{1}{0.01} = 100$

(iii) कम होता है

(iv) विपोषी फीडबैक

3. कला-विस्थापन दोलित्र के दोलन की आवृत्ति यह होती है:

$$f_0 = \frac{1}{2\pi RC\sqrt{6}}$$

यहाँ $R = 100\ \text{k}\Omega = 10^5\Omega$, $C = 0.01\ \mu\text{F} = 10^{-9}\text{F}$

अतः

$$f_0 = \frac{1}{2 \times 3.141 \times 10^5 \times 10^{-8} \times 2.45} = 64.97\ \text{Hz}$$

4. वियत सेतु दोलित्र के दोलन की आवृत्ति यह होती है:

$$f_0 = \frac{1}{2\pi\sqrt{R_1C_1R_2C_2}} = \frac{1}{2\pi RC}$$

चूंकि $R_1 = R_2 = R$ और $C_1 = C_2 = C$

यहाँ $R = 220\ \text{k}\Omega = 2.2 \times 10^5\ \Omega$, $C = 250\ \text{pF} = 2.5 \times 10^{-10}\text{F}$.

अतः

$$f_0 = \frac{1}{2 \times 3.141 \times 2.2 \times 10^5 \times 2.5 \times 10^{-10}}$$

$$= 2893.7\ \text{Hz}$$

$$= 2.89\ \text{kHz}$$

1. $A' = \frac{A}{1 + A\beta}$ $A' = 100, A = 1000$

$$100 = \frac{1000}{1 + A\beta}$$

$$1 - 1000 = \frac{1000}{100} = 10$$

$$1000\,\beta = 10 - 1 = 9$$

$$\beta = \frac{9}{1000} = .009$$

$\therefore .009 \times 100 = 0.9\%$

2. फीडबैक प्रवर्धक का लाभ A_f का मान 100 है। उतनी ही निर्गत वोल्टता उत्पन्न करने के लिए, जितनी कि फीडबैक के बिना प्रवर्धक की है, आवश्यक निवेश वोल्टता 0,6V है। इस तरह, निर्गत यह होगा:

$V_o = A_f V_i = 100 \times 0.6\ V = 60V.$

यदि फीडबैक न किया जाए, तो 60V निर्गत उत्पन्न करने के लिए आवश्यक निवेश 50mV = 0.05V होगी। अतः प्रवर्धक का आंतरिक लाभ यह होगा:

$$A = \frac{V_0}{V_i} = \frac{60}{0.05} = 1200$$

समीकरण (5.2) का प्रयोग करने पर हमें यह प्राप्त होता है:

$$1 + A\beta = \frac{A}{A_f}$$

$$\text{या } 1 + 1200 \times \beta = \frac{1200}{100}$$

$$\text{या } \beta = \frac{12 - 1}{1200} = \frac{11}{1200} = \frac{11}{12}\%$$

3. किसी प्रवर्धक के लाभ का युक्ति प्राचल पर निर्भर न होना लाभ स्थायीकरण कहा जाता है। सीमा $A\beta >> 1$ में ऋणात्मक फीडबैक लाभ को घटाकर $\frac{1}{\beta}$ कर देता है, जो कि युक्तिप्राचल पर निर्भर नहीं है।

4. गुणनफल $A\beta$ को पाश लाभ कहा जाता है। निवेश तक पहुंचने से पहले β बार के प्रवर्धक से होकर जाने में निवेश सिगनल को A बार गुणा किया जाता है। अतः इसे पाश लाभ का नाम दिया गया है।

5. $f = \frac{1}{2\pi RC}$

जहाँ, $R = 10\ k\Omega = 10 \times 10^3\ \Omega$, $C = 4.7\ nF = 4700\ pF$

$$f = \frac{1}{2 \times 3.142 \times 10 \times 10^3 \times 4700 \times 10^{-12}}$$

$$= 3386\ Hz.$$

5.10 शब्दावली

अंशनिष्कासित कुंडली	—	tapped coil
अनुक्रिया	—	response
कला-विस्थापन	—	phase shift
दोलन-निकष	—	criterion of oscillation
पद	—	stage
पुनर्योजी	—	regenerative
प्रतिपालित दोलन	—	sustained oscillation
प्राचल	—	parameter
विपोषी	—	degenerative
विश्रांति	—	relaxation
संकर	—	hybrid
सेतु दोलित्र	—	bridge oscillator

इकाई 6 पावर सप्लाई

इकाई की रूपरेखा

6.1 प्रस्तावना
उद्देश्य

6.2 पावर स्रोत
वोल्टता स्रोत
धारा स्रोत

6.3 d.c. पावर यूनिट
परिणामित्र
अर्ध तरंग दिष्टकरण
पूर्ण तरंग दिष्टकरण

6.4 कितने प्रभावी रूप से दिष्टकारी ac को dc में रूपांतरित करता है
अर्ध तरंग दिष्टकारी का निष्पादन
पूर्ण तरंग दिष्टकारी का निष्पादन

6.5 निस्यंदक परिपथ
धारिता निस्यंदक
प्रेरकत्व निस्यंदक
LC निस्यंदक

6.6 निर्गत वोल्टता का नियमन
नियमन का सिद्धांत
जेनर नियामक

6.7 सारांश
6.8 अंत में कुछ प्रश्न
6.9 हल/उत्तर
6.10 शब्दावली

6.1 प्रस्तावना

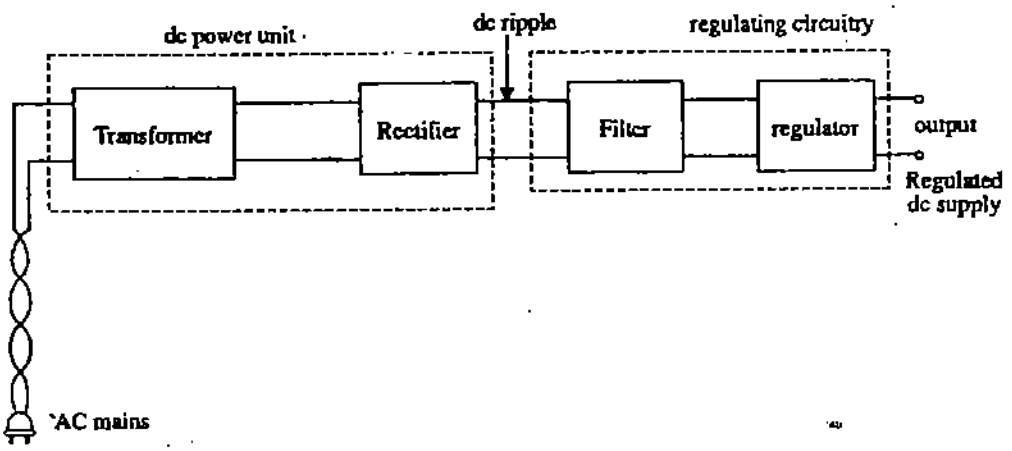
प्रत्येक वस्तु को, जो जीवित रहती है या काम करती है एक शक्ति स्रोत या "पावर सप्लाई" की आवश्यकता होती है। सूर्य पौधों को शक्ति प्रदान करता है जिससे कि वह अपना खाद्य बनाता है – और यह खाद्य पदार्थ आपको शक्ति प्रदान करता है जिससे कि आप जीवित रहते हैं, बोलते हैं, सोचते हैं और दौड़ते हैं। निर्जीव यांत्रिकत्वों में, कार को चलाने के लिए मोटर शक्ति प्रदान करता है और भाखड़ा डैम के बड़े-बड़े टर्बाइन वैद्युत जनित्रों को चलाने के लिए शक्ति प्रदान करते हैं। प्रत्येक वस्तु चाहे वह बड़ी हो या छोटी, सजीव हो या निर्जीव, सूर्य या गिरते हुए पानी जैसे प्राथमिक स्रोत से अपनी शक्ति लेते हैं और उसे अपनी आवश्यकतानुसार विशेष प्रकार की शक्ति में रूपांतरित कर देते हैं। इलेक्ट्रॉनिकी में "पावर सप्लाई" एक ऐसा परिपथ या युक्ति (device) है, जो कि एक रूप से दूसरे रूप में वैद्युत शक्ति को परिवर्तित कर देती है।

पॉकेट कैलकुलेटर और छोटे रेडियो जैसी अनेक इलेक्ट्रॉनिक युक्तियों को बैटरियों से चलाया जाता है जो कि इन युक्तियों को अपरिवर्ती (dc) वोल्टताएं और धाराएं प्रदान करती हैं। प्रायः यह सप्लाई शुष्क सेलों से उपलब्ध कराई जाती है। परंतु कभी-कभी हम शुष्क सेलों के स्थान पर बैटरी निराकरक (battery eliminator) का प्रयोग करते हैं। बैटरी निराकरक ac मुख्य तार वोल्टता को dc वोल्टता में रूपांतरित कर देता है और इस तरह शुष्क सेलों की आवश्यकता नहीं रह जाती। अभी तक पिछली सभी इकाइयों में, जहाँ आपने विभिन्न प्रकार की अर्धचालक युक्तियों और इलेक्ट्रॉनिक उपकरणों का अध्ययन किया है, हमने यह मान लिया था कि इन युक्तियों या उपकरणों के प्रचालन के लिए आवश्यक वोल्टता और धाराएँ उपलब्ध रहती हैं। इलेक्ट्रॉनिक उपकरण की अधिकांश युक्तियों के प्रचालन के लिए dc वोल्टता की आवश्यकता होती है। हमारे

देश में, घरों, प्रयोगशालाओं और उद्योगों में वैद्युत ऊर्जा 50 Hz की आवृत्ति पर 220 V(rms) की प्रत्यावर्ती वोल्टता के रूप में होती है। जब आप इलेक्ट्रॉनिक उपकरण के किसी भी पुर्जे को मुख्य तार (mains) में लगाते हैं, तो वह आपको 220 V A.C. देता है। परंतु, इसे हम नहीं चाहते। अतः आजकल लगभग सभी इलेक्ट्रॉनिक उपकरण में एक ऐसा परिपथ बना होता है, जो कि मुख्य तार की ac वोल्टता सप्लाई को dc वोल्टता में रूपांतरित कर देता है। उपकरण के इस भाग को **पॉवर सप्लाई** कहा जाता है।

ऐसा माना जा सकता है कि प्रत्येक पावर सप्लाई में (क) एक dc पावर एकक होता है, जिसमें एक परिणामित्र (transformer) होता है और साथ ही दिष्टकारी (rectifier) नामक एक डायोड परिपथ होता है, जो ac मुख्य तार से एक dc स्रोत का सृजन करता है, और (ख) कुछ नियामक परिपथिकी (regulating circuitry) होता है, जिसमें निस्यंदक (filter) होता है और तत्पश्चात् एक वोल्टता नियामक परिपथ होता है, जो कि परिशुद्ध रूप से नियंत्रित dc वोल्टता प्रदान करता है। इस प्रकार की एक पावर सप्लाई का ब्लाक आरेख चित्र 6.1 में दिखाया गया है।

d.c. पावर यूनिट से होने वाला निर्गत अपने आप में प्रायः संतोषजनक नहीं होता। इसके दो कारण हैं: पहला कारण यह है क्योंकि प्रायः यह dc वोल्टता पर अध्यारोपित (superimposed) थोड़ी मात्रा में **a.c. ऊर्मिका (ripple)** अपने साथ लिए होता है। और तब यदि इसका प्रयोग एक ऑडियो प्रवर्धक को पावर सप्लाई करने में किया जाए, तो संभवतः लाउडस्पीकर से कुछ अवांछित "हुम-हुम" की आवाज सुनाई पड़ने लगेगी। और, दूसरा कारण यह है कि d.c. पावर यूनिट का आंतरिक प्रतिरोध प्रायः अपेक्षा से अधिक होता है, जिससे कि यूनिट से ली गई धारा में हो रहे परिवर्तनों से निर्गत वोल्टता पर काफी प्रभाव पड़ सकता है। निर्गत धारा के प्रति यूनिट परिवर्तन पर निर्गत वोल्टता में हुए परिवर्तन को d.c. स्रोत का **नियमन** (regulation) कहा जाता है। यह, परिपथ के निर्गत प्रतिरोध को व्यक्त करने की एक अन्य विधि है। d.c. पावर यूनिट में जोड़ी गई नियामक परिपथिकी से ऊर्मिका में कमी आ जाती है और नियमन में सुधार हो जाता है।



चित्र 6.1: पावर सप्लाई का ब्लाक आरेख। इसमें एक d.c. पावर यूनिट, जो a.c. सप्लाई को d.c. वोल्टता तथा कुछ मुख्य तार ऊर्मिका में रूपांतरित कर देता है और एक परिपथिकी होती है, जो ऊर्मिका को कम कर देती है और निर्गत वोल्टता का नियमन कर देती है।

इस इकाई में हम ac पावर को dc पावर में रूपांतरित करने से संबद्ध वैद्युत नियमों की जाँच करेंगे और रूपांतरण के अनेक तकनीकों पर चर्चा करेंगे। परंतु, ऐसा करने से पहले हम वैद्युत पावर के स्रोतों अर्थात् वोल्टता और धारा स्रोतों का अध्ययन करेंगे।

अगले खंड 3 में हम रैखिक एकीकृत परिपथों की चर्चा करेंगे, जहाँ वोल्टता नियंत्रक IC के बारे में बताया जाएगा।

उद्देश्य

इस इकाई को पढ़ लेने के बाद आप :

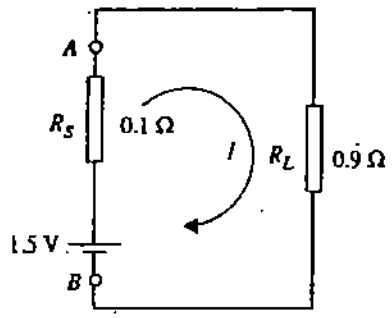
- निम्नलिखित शब्दों की व्याख्या कर सकेंगे और उनका ठीक-ठीक प्रयोग कर सकेंगे: वोल्टता स्रोत, धारा स्रोत, अर्ध तरंग दिष्टकरण, पूर्ण तरंग दिष्टकरण, सेतु दिष्टकारी, ऊर्मिका, लोड नियमन, लाइन नियमन,

- अर्ध तरंग दिष्टकारी, केन्द्र अंशनिष्कासित पूर्ण तरंग दिष्टकारी और सेतु दिष्टकारी के परिपथ आरेख बना सकेंगे और उनकी कार्य प्रणाली की व्याख्या कर सकेंगे,
- अर्ध तरंग और पूर्ण तरंग दिष्टकारी के संबंध में आप निर्गत dc वोल्टता, औसत या dc धारा, rms धारा, ऊर्मिका गुणक और दिष्टकारी दक्षता के व्यंजक व्युत्पन्न कर सकेंगे,
- dc पावर सप्लाई में निस्यंदकों की आवश्यकता की व्याख्या कर सकेंगे,
- शंट संधारित्र, श्रेणी प्रेरक और LC निस्यंदकों का प्रयोग करके उपयुक्त तरंग रूपों की सहायता से दिष्टकारियों की कार्य-प्रणाली की व्याख्या कर सकेंगे,
- पावर सप्लाई के प्रत्येक भाग के कार्य की व्याख्या कर सकेंगे।

6.2 पावर स्रोत

किसी स्रोत का आधारभूत उद्देश्य लोड को पावर की सप्लाई करना है। स्रोत या तो dc की या ac की सप्लाई कर सकता है। कुछ dc स्रोत के उदाहरण बैटरी और दिष्टकरण प्रकार की dc सप्लाई हैं। इसी प्रकार, ac स्रोत का एक उदाहरण दोलित्र है। पावर के स्रोतों को भी दो स्रोतों में वर्गीकृत किया जा सकता है: जैसे वोल्टता स्रोत और धारा स्रोत जिनके बारे में हम इस भाग में अध्ययन करेंगे।

सभी पावर स्रोतों में कुछ आंतरिक प्रतिबाधा (या प्रतिरोध) होती है। इस आंतरिक प्रतिबाधा के कारण ही स्रोत आदर्श रूप में व्यवहार नहीं कर पाता। जब एक वोल्टता स्रोत एक लोड को पावर की सप्लाई करता है, तो इसकी टर्मिनल वोल्टता (इसके टर्मिनलों पर उपलब्ध वोल्टता) कम हो जाती है। टार्च में इस्तेमाल होने वाली सेल के दो टर्मिनलों पर 1.5V की वोल्टता होती है जबकि उससे कुछ जोड़ा न गया हो। किन्तु जब उसे एक बल्ब से जोड़ा जाता है, तब इसकी वोल्टता 1.5V से कम हो जाती है। सेल की टर्मिनल वोल्टता में आई कमी की व्याख्या हम इस प्रकार कर सकते हैं।



चित्र 6.2: एक सेल को बल्ब से जोड़ा गया है।

चित्र 6.2 में 1.5V वाली एक सेल को बल्ब से जुड़ा हुआ दिखाया गया है। जब हम "1.5V वाली सेल" कहते हैं, तो हमारे कहने का अर्थ उस सेल से होता है, जिसकी खुली परिपथ वोल्टता 1.5V है। यहाँ, बल्ब के स्थान पर एक लोड प्रतिरोधक R_L (मान लीजिए 0.9Ω का) को लिया गया है और सेल के स्थान पर 1.5V वाला एक अचर वोल्टता स्रोत जिसके श्रेणीक्रम में आंतरिक प्रतिरोध R_S (मान लीजिए 0.1Ω) जुड़ा है, लिया गया है। अब, इस स्थिति में परिपथ में कुल प्रतिरोध $0.1\Omega + 0.9\,\Omega = 1.0\,\Omega$ है। क्योंकि नेट वोल्टता, जो परिपथ में धारा प्रेषित करती है, 1.5V है इसलिए परिपथ में धारा यह होगी:

$$I = \frac{V}{R} = \frac{1.5V}{1.0\,\Omega}\ 1.5A$$

सेल की टर्मिनल वोल्टता (टर्मिनलों AB पर वोल्टता) वही होती है, जो कि लोड प्रतिरोधक R_L की वोल्टता है।

अतः

$$V_{AB} = I \times R_L = 1.5\text{A} \times 0.9\Omega = 1.35\text{V}.$$

आंतरिक प्रतिरोध के कारण वोल्टता में जो कमी आ जाती है, वह यह है:

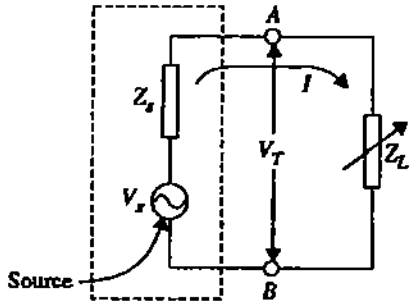
$$1.5 - 1.35 = 0.15\text{V}$$

ध्यान दीजिए कि यदि सेल का आंतरिक प्रतिरोध (लोड प्रतिरोध की तुलना में) कम हो, तो वोल्टता ह्रास भी 0.15V से कम होगा।

6.2.1 वोल्टता स्रोत

एक ac स्रोत लीजिए। मान लीजिए V_S इसकी खुली परिपथ वोल्टता है (अर्थात् इसके टर्मिनलों की वोल्टता जबकि इससे कुछ भी जुड़ा न हो) और Z_S इसकी आंतरिक प्रतिबाधा है। मान लीजिए इसे एक लोड प्रतिबाधा Z_L से जोड़ दिया गया है, जिसके मान में परिवर्तन हो सकता है, जैसा कि चित्र 6.3 में दिखाया गया है।

अब, मान लीजिए कि Z_L अनन्त है। इसका अर्थ यह है कि स्रोत के टर्मिनल AB खुले परिपथ वाले हैं। इस अवस्था में कोई भी धारा प्रवाहित नहीं हो सकती। स्पष्ट है कि टर्मिनल वोल्टता V_T वही होगी जो कि emf V_S है, क्योंकि Z_S पर कोई वोल्टता ह्रास नहीं हो रहा है। आइए, अब हम एक परिमित (finite) लोड प्रतिबाधा Z_L जोड़ते हैं और इसके मान को धीरे-धीरे कम करते जाते हैं। ऐसा करने पर परिपथ की धारा में वृद्धि होने लगती है। Z_S पर हो रहे वोल्टता ह्रास में भी वृद्धि होने लगती है। परिणाम यह होता है कि टर्मिनल वोल्टता V_T में कमी आने लगती है।



चित्र 6.3 : एक ac स्रोत से जुड़ा परिवर्ती लोड।

Z_L के एक दिए हुए मान के लिए परिपथ में धारा यह होती है :

$$I = \frac{V_S}{Z_S + Z_L}$$

अतः स्रोत की टर्मिनल वोल्टता, जो कि वही है, जो लोड की वोल्टता है, का मान यह होता है:

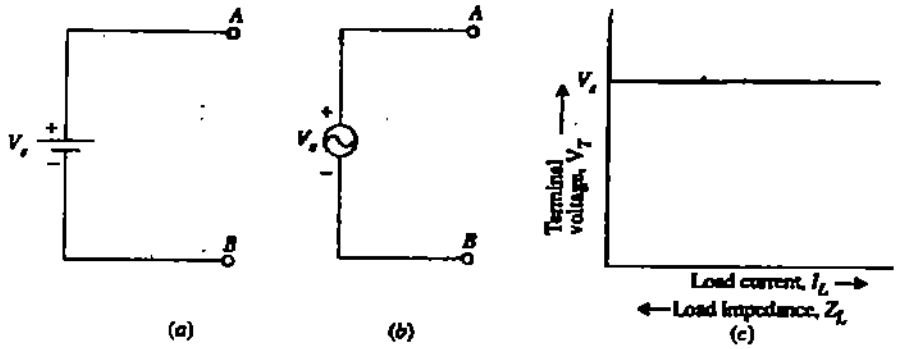
$$V_T = I \times Z_L = \frac{V_S}{Z_S + Z_L} \times Z_L = \frac{V_S}{1 + Z_S/Z_L} \qquad (6.1)$$

ऊपर के समीकरण से हम यह पाते हैं कि यदि अनुपात Z_S/Z_L का मान 1 से कम हो, तो टर्मिनल वोल्टता V_T लगभग वही रहती है जो कि वोल्टता V_S है। इस अवस्था में स्रोत एक उत्तम वोल्टता स्रोत की तरह व्यवहार करता है। इस अवस्था में, लोड प्रतिबाधा में परिवर्तन होने पर भी व्यावहारिक दृष्टि से स्रोत की टर्मिनल वोल्टता अचर बनी रहती है (जबकि अनुपात Z_S/Z_L काफी छोटा हो)। ऐसे स्रोत को "उत्तम (परन्तु आदर्श नहीं) वोल्टता स्रोत" कहा जाता है।

आदर्श वोल्टता स्रोत

स्रोत को उस स्थिति में आदर्श माना जाता है, जब स्रोत की टर्मिनल वोल्टता नियत बनी रहती है, चाहे उससे जुड़े लोड का मान कुछ भी क्यों न हो। दूसरे शब्दों में, वोल्टता स्रोत को आदर्श रूप में एक नियत टर्मिनल वोल्टता उपलब्ध करानी चाहिए चाहे ली गई धारा (या लोड प्रतिरोध) में परिवर्तन क्यों न होता हो। समीकरण (6.1) में, Z_L के किसी भी मान के लिए टर्मिनल वोल्टता को नियत रखने की केवल एक विधि है और वह है – आंतरिक प्रतिबाधा Z_0 को शून्य बनाना। इस तरह, हम यह निष्कर्ष निकाल लेते हैं कि आदर्श वोल्टता स्रोत की आंतरिक प्रतिबाधा (internal impedence) शून्य होनी चाहिए। चित्र 6.4 (क) और (ख) में dc और ac आदर्श वोल्टता स्रोतों के प्रतीकात्मक निरूपण दिखाए गए हैं। चित्र 6.4 (ग) में एक आदर्श वोल्टता स्रोत के अभिलक्षणिक

(characteristic) दिखाए गए हैं। लोड धारा के सभी मानों के लिए V_S पर टर्मिनल वोल्टता V_T का मान अचर अर्थात् V_S के बराबर दिखाया गया है।

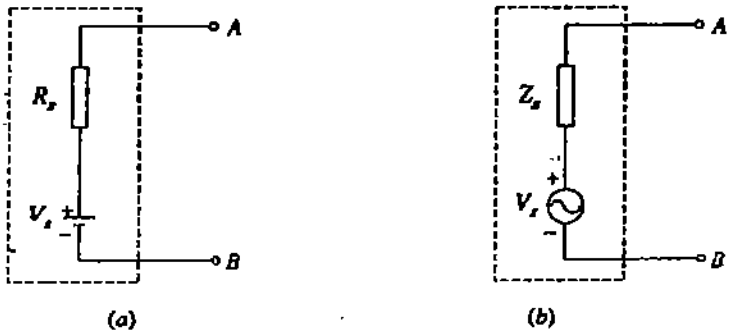


चित्र 6.4: एक आदर्श वोल्टता स्रोत का प्रतीकात्मक निरूपण:
(क) DC वोल्टता स्रोत (ख) AC वोल्टता स्रोत
(ग) आदर्श वोल्टता स्रोत का $V-I$ अभिलक्षणिक।

व्यावहारिक वोल्टता स्रोत

व्यावहारिक दृष्टि से आदर्श वोल्टता स्रोत का होना संभव नहीं है। ऐसा कोई भी स्रोत नहीं है, जो कि अपनी वोल्टता को अचर बनाए रख सकता हो, जबकि इसके टर्मिनल लघु परिपथ हो गए हों। यदि ऐसा हो सकता तो इसका अर्थ यह होता कि यह लघु परिपथ को अनंत मात्रा में पावर की सप्लाई कर सकता है। परन्तु, यह संभव नहीं है। अतः व्यवहार में कोई आदर्श वोल्टता स्रोत नहीं होता। फिर भी, व्यावहारिक वोल्टता स्रोत से युक्त परिपथों को समझने में आदर्श वोल्टता स्रोत की संकल्पना काफी सहायक सिद्ध होती है।

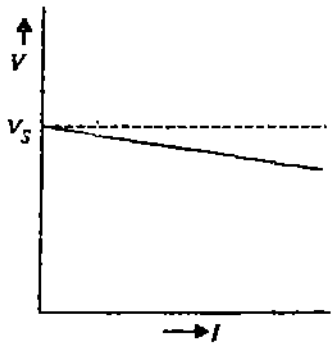
एक व्यावहारिक वोल्टता स्रोत को श्रेणी क्रम में जुड़े एक प्रतिबाधा सहित एक आदर्श वोल्टता स्रोत की तरह माना जा सकता है। इस प्रतिबाधा को स्रोत का आंतरिक प्रतिबाधा कहा जाता है। व्यावहारिक वोल्टता स्रोत का प्रतीकात्मक निरूपण चित्र 6.5 में दिखाया गया है।



चित्र 6.5: व्यावहारिक वोल्टता स्रोत : (क) DC वोल्टता स्रोत (ख) AC वोल्टता स्रोत।

टर्मिनल A और B बाह्य संबंधनों के लिए उपलब्ध टर्मिनल हैं।

कोई भी व्यावहारिक वोल्टता स्रोत एक आदर्श वोल्टता स्रोत नहीं हो सकता। अतः किसी भी व्यावहारिक वोल्टता स्रोत का $V-I$ अभिलक्षणिक चित्र 6.4 (ग) में दिखाए गए $V-I$ अभिलक्षणिक जैसा नहीं हो सकता है। लोड धारा में वृद्धि होने पर व्यावहारिक वोल्टता स्रोत की टर्मिनल वोल्टता में कमी आने लगती है जैसा कि चित्र 6.6 में दिखाया गया है।

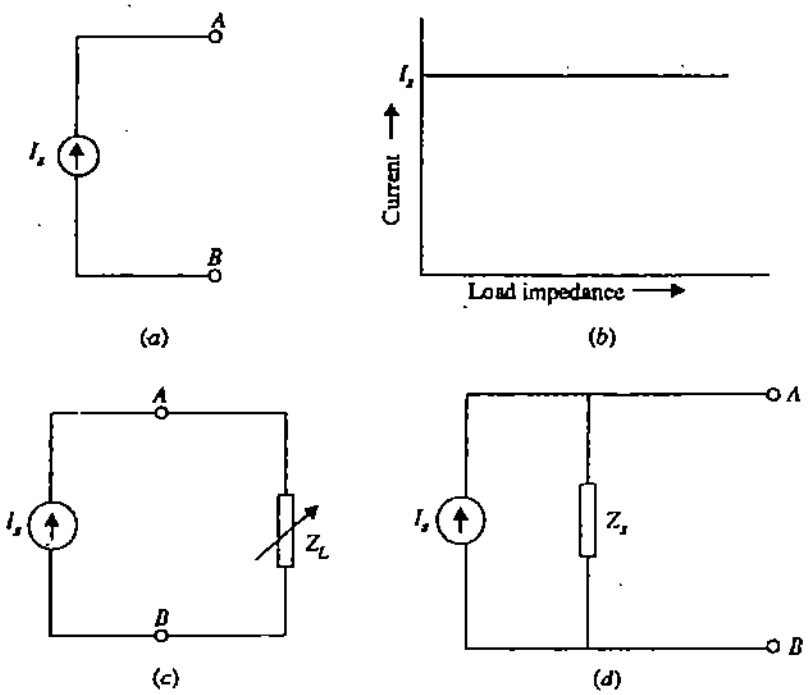


चित्र 6.6: व्यावहारिक वोल्टता स्रोत का $V-I$ अभिलक्षणिक।

6.2.2 धारा स्रोत

अपरिवर्ती वोल्टता स्रोत की तरह एक अपरिवर्ती धारा स्रोत भी हो सकता है अर्थात् एक ऐसा स्रोत हो सकता है, जो लोड को अपरिवर्ती धारा सप्लाई करता है, चाहे इसकी प्रतिबाधा में परिवर्तन ही क्यों न होता हो। आदर्श रूप में इसके द्वारा सप्लाई की गई धारा अपरिवर्ती होनी चाहिए, चाहे लोड प्रतिबाधा कुछ भी क्यों न हो। इस प्रकार के आदर्श धारा स्रोत का प्रतीकात्मक निरूपण चित्र 6.7 (क) में दिखाया गया है। वृत्त के अंदर बना तीर वह दिशा बताता है, जिस दिशा में धारा परिपथ में प्रवाहित होगी जबकि स्रोत से लोड को जोड़ दिया गया हो। चित्र 6.7 (ख) में एक आदर्श धारा स्रोत का $V-I$ अभिलक्षणिक दिखाया गया है।

आइए, अब हम अपरिवर्ती धारा स्रोत से एक परिवर्ती लोड प्रतिबाधा को जोड़ दें, जैसा कि चित्र 6.7 (ग) में दिखाया गया है।



चित्र 6.7: (क) एक आदर्श धारा स्रोत का प्रतीक (ख) एक आदर्श धारा स्रोत का $V-I$ अभिलक्षणिक (ग) एक आदर्श धारा स्रोत से जुड़ा एक परिवर्ती लोड (घ) व्यावहारिक धारा स्रोत का प्रतीक।

जैसा कि ऊपर बताया गया है, लोड प्रतिबाधा के सभी मानों के लिए स्रोत द्वारा सप्लाई की गई धारा I_S अपरिवर्ती रहनी चाहिए। इसका अर्थ यह है कि यदि Z_L को अनंत भी बना दिया जाए, तब भी इससे होकर जाने वाली धारा I_S ही बनी रहनी चाहिए। अब हम यह देखेंगे कि क्या कोई ऐसा व्यावहारिक धारा स्रोत है, जो इस प्रतिबंध को संतुष्ट कर सके। लोड प्रतिबाधा $Z_L = \infty$ का अर्थ यह है कि टर्मिनलों A और B के बीच स्रोत के अलावा कोई चालक पथ (conducting path) नहीं है। अतः टर्मिनलों A और B के बीच धारा का प्रवाहित होना भौतिक दृष्टि से असंभव है। यदि स्रोत एक अनंततः वृहत लोड प्रतिबाधा से होती हुई एक धारा I_S को बनाए रख सकता, तो लोड पर अनंततः वृहत वोल्टता-ह्रास होता। ऐसी स्थिति में तब यह स्रोत से अनंत पावर का उपभोग करता। परंतु, ऐसा कोई व्यावहारिक सोत नहीं है, जो कि अनंत पावर की सप्लाई कर सके।

एक व्यावहारिक धारा स्रोत एक लघु परिपथ को धारा I_S की सप्लाई करता है (अर्थात् जबकि $Z_L = 0$ है)। परन्तु, जब हम लोड प्रतिबाधा में वृद्धि करते हैं, तब धारा का मान I_S से कम हो जाता है। जब लोड प्रतिबाधा Z_L को अनंत बनाया जाता है (टर्मिनल A और B खुले परिपथ वाले होते हैं), तब लोड धारा घटकर शून्य हो जाती है। इसका अर्थ यह है कि एक ऐसा पथ (स्वयं स्रोत के अंदर) अवश्य होना चाहिए जिससे होकर धारा I_S प्रवाहित हो सके। जब एक परिमित लोड प्रतिबाधा को जोड़ा जाता है, तब इस धारा I_S का केवल एक भाग ही लोड से होकर प्रवाहित होती है। शेष धारा स्रोत के अंदर के पथ से होकर प्रवाहित होती है। इस आंतरिक पथ में एक प्रतिबाधा Z_S होती है और इसे आंतरिक प्रतिबाधा (internal impedence) कहा जाता है। इस प्रकार के व्यावहारिक धारा स्रोत के प्रतीकात्मक निरूपण को चित्र 6.7 (घ) में दिखाया गया है।

अब, यदि चित्र 6.7 (घ) में, टर्मिनल AB खुले परिपथ वाले ($Z_L = \infty$) हों, तो टर्मिनल वोल्टता अनंत नहीं होगी। अब इसका एक परिमित मान $V_T = I_S Z_S$ होगा। इसका अर्थ यह है कि स्रोत को अनंत पावर की सप्लाई नहीं करनी होगी।

व्यवहार में एक आदर्श धारा स्रोत का अस्तित्व नहीं हो सकता। स्पष्ट है कि ऐसा कोई स्रोत नहीं हो सकता, जो कि अपरिवर्ती धारा की सप्लाई कर सकता हो, जबकि उसके टर्मिनल खुले परिपथ वाले हों। एक वास्तविक स्रोत का एक आदर्श धारा स्रोत के रूप में काम न करने का कारण यह है कि इसकी आंतरिक प्रतिबाधा अनंत नहीं होती। व्यावहारिक धारा स्रोत को चित्र 6.7 (घ) में दिखाए गए प्रतीक से निरूपित किया जाता है। स्रोत प्रतिबाधा Z_S को आदर्श धारा स्रोत के साथ समान्तर में रखा जाता है। अब, यदि हम टर्मिनलों A और B से एक लोड को जोड़ दें, तो लोड धारा का मान धारा I_S से भिन्न होगा। अब धारा I_S स्वयं को दो शाखाओं में विभाजित कर लेती है—जिसमें से एक शाखा स्वयं स्रोत के अंदर स्रोत प्रतिबाधा Z_S से बनी होती है दूसरी शाखा स्रोत से बाह्य लोड प्रतिबाधा से बनी होती है।

आइए, अब हम उन प्रतिबंधों को ज्ञात करें, जिनके अधीन एक स्रोत एक उत्तम (व्यावहारिक) धारा स्रोत की तरह काम कर सकता है। चित्र 6.8 (क) में एक लोड प्रतिबाधा Z_L को एक धारा स्रोत से जोड़ दिया गया है। मान लीजिए I_S स्रोत की लघु परिपथ धारा है और Z_S इसकी आंतरिक प्रतिबाधा है। धारा I_S दो मार्गों में बंटी हुई दिखाई पड़ती है — Z_S से होती हुई I_1 और Z_L से होती हुई I_L अर्थात्

$$I_S = I_1 + I_L$$

या

$$I_1 = I_S - I_L$$

क्योंकि प्रतिबाधाएँ Z_S और Z_L समान्तर में हैं, इसलिए प्रत्येक पर वोल्टता-ह्रास बराबर होनी चाहिए, अर्थात्

$$I_1 Z_S = I_L Z_L$$

या

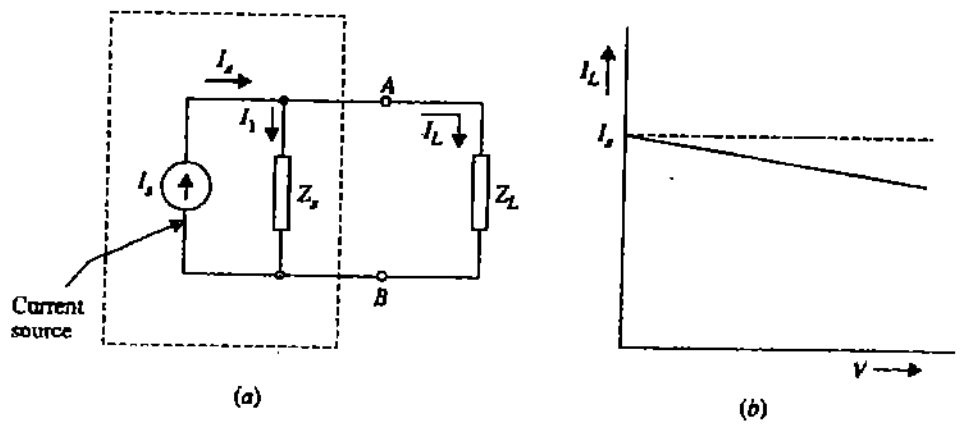
$$(I_S - I_L) Z_S = I_L Z_L$$

या

$$I_L = \frac{I_S Z_S}{Z_S + Z_L}$$

या

$$I_L = \frac{I_S}{1 + (Z_L / Z_S)}$$



चित्र 6.8: (क) व्यावहारिक धारा स्रोत जो लोड प्रतिबाधा में धारा प्रवाहित कर रहा है। (ख) एक व्यावहारिक धारा स्रोत का $V-I$ अभिलक्षणिक।

इस समीकरण से यह पता चलता है कि धारा I_S की तरह लोड धारा I_L लगभग समान बनी रहेगी, यदि अनुपात Z_L/Z_S का मान 1 से कम हो। तब ऐसी स्थिति में स्रोत एक उत्तम धारा स्रोत की तरह व्यवहार करता है। दूसरे शब्दों में, आंतरिक प्रतिबाधा Z_S का मान (लोड प्रतिबाधा Z_L की तुलना में) जितना बड़ा होगा, अनुपात उतना ही छोटा होगा और एक अपरिवर्ती धारा स्रोत के रूप में यह अच्छी तरह से काम करेगा।

समीकरण 6.2 से हम यह पाते हैं कि धारा $I_L = I_S$ जब $Z_L = 0$ है। परन्तु, लोड प्रतिबाधा के मान में वृद्धि होने पर धारा I_L कम हो जाती है। लोड प्रतिबाधा में एक दी हुई वृद्धि करने पर लोड धारा में आई संगत कमी काफी कम होती है। इस तरह, लोड प्रतिबाधा में वृद्धि करने पर टर्मिनल वोल्टता ($V = I_L Z_L$) में भी वृद्धि होती है। व्यावहारिक धारा स्रोत के $V-I$ अभिलक्षणिक को चित्र 6.8 (ख) में दिखाया गया है।

अपरिवर्ती धारा स्रोत प्राप्त करने के लिए हमें एक अपरिवर्ती वोल्टता स्रोत की आवश्यकता होती है। इस इकाई के शेष भाग में हम अपरिवर्ती वोल्टता स्रोत प्राप्त करने की विधि पर चर्चा करेंगे।

6.3 DC पावर यूनिट

DC पावर यूनिट में परिणामित्र और दिष्टकारी परिपथ (rectifier circuit) होता है।

6.3.1 परिणामित्र

आजकल कुछ इलेक्ट्रॉनिक परिपथ a.c. मुख्य तार द्वारा सप्लाई की गई वोल्टता पर प्रचालित होते हैं। अतः प्रायः एक परिणामित्र की आवश्यकता होती है।

परिणामित्र दो काम करता है। पहला काम यह है कि उसकी सहायता से हम वोल्टता को बढ़ा या घटा सकते हैं। इस प्रकार हम dc वोल्टता का अपेक्षित स्तर प्राप्त कर सकते हैं। उदाहरण के लिए, ट्रॉन्जिस्टर रेडियो में प्रयोग में लाए गए बैटरी निराकरण (eliminator) से लगभग 6V का dc वोल्टता प्राप्त होता है। दिष्टकारी के निवेश पर इतना निम्न ac वोल्टता प्राप्त करने के लिए हम एक अपचायी परिणामित्र (step down transformer) का प्रयोग कर सकते हैं। इसके विपरीत दोलनदर्शी (oscilloscope) में प्रयुक्त की जाने वाली कैथोड किरण ट्यूब को कुछ kV की कोटि की अति उच्च dc वोल्टता की आवश्यकता होती है। यहाँ हम एक उच्चायी परिणामित्र (step up transformer) का प्रयोग कर सकते हैं। परिणामित्र का दूसरा लाभ पावर लाइन से विलगन (isolation) उपलब्ध कराना है। इससे बिजली का शॉक लगने का जोखिम कम हो जाता है। इस प्रकार के परिणामित्र को पावर परिणामित्र कहा जाता है, क्योंकि इसमें बहुत बड़ी शिखर धाराओं को प्रवाहित कराने की क्षमता होती है, जिनकी आवश्यकता धारिता मसृणकरण परिपथ (capacitive smoothing circuit) को चलाने में पड़ती है, जैसा कि भाग 6.4 में बताया गया है।

d.c. पॉवर यूनिट का परिणामित्र दिष्टकारी परिपथ की डिजाइन के अनुसार या तो एकल द्वितीयक कुंडलन वाला या केन्द्र अंशनिष्कासित कुंडलन (centre tapped winding) वाला होता है, जैसा कि अगले उपभाग में बताया गया है। परन्तु, आगे अध्ययन करने से पहले निम्नलिखित बोध प्रश्न को हल कीजिए जो कि आपके लिए जरूरी है।

बोध प्रश्न 1

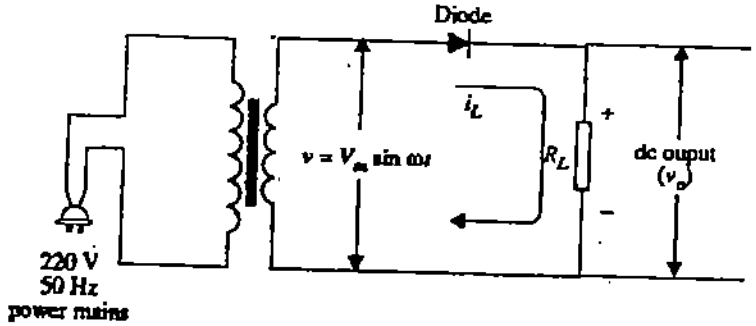
(क) आपने पिछली कक्षाओं में पढ़ा होगा कि मुख्य तार से 220 V की सप्लाई होने का अर्थ है 220 V की rms वोल्टता। इसकी अधिकतम वोल्टता (जिसे वोल्टता आयाम भी कहा जाता है) क्या है ?

(ख) आप जानते हैं कि 5V से 15V के परिसर में dc वोल्टता प्राप्त करने के लिए एक अपचायी परिणामित्र की आवश्यकता होती है। मान लीजिए कि इस प्रकार के परिणामित्र के प्राथमिक को 220V के मुख्य तार से जोड़ दिया गया है, तब इस पर अधिकतम वोल्टता परिकलित कीजिए। यदि इस प्रकार के परिणामित्र का फेरा–अनुपात (turns ratio) 15:4 हो, तो द्वितीयक पर अधिकतम वोल्टता क्या होगी ?

6.3.2 अर्ध तरंग दिष्टकरण (Half wave rectification)

अधिकांश dc पावर यूनिट **पूर्ण-तरंग दिष्टकरण** (full wave rectification) का प्रयोग करती हैं, जिसे या तो केन्द्र-अंशनिष्कासित परिणामित्र के साथ "पूर्ण तरंग दिष्टकारी" परिपथ का प्रयोग करके या एकल द्वितीयक परिणामित्र कुंडलन के साथ "सेतु दिष्टकारी" (bridge rectifier) का प्रयोग करके प्राप्त किया जाता है। इन दोनों परिपथों की व्याख्या सरल अर्ध-तरंग दिष्टकरण की व्याख्या कर लेने के बाद की जाएगी।

चित्र 6.9 में अर्ध तरंग दिष्टकारी सहित एक पावर यूनिट का परिपथ दिखाया गया है, जहाँ डायोड परिणामित्र के द्वितीयक और लोड प्रतिरोधक R_L के साथ एक श्रेणी परिपथ बनाता है।

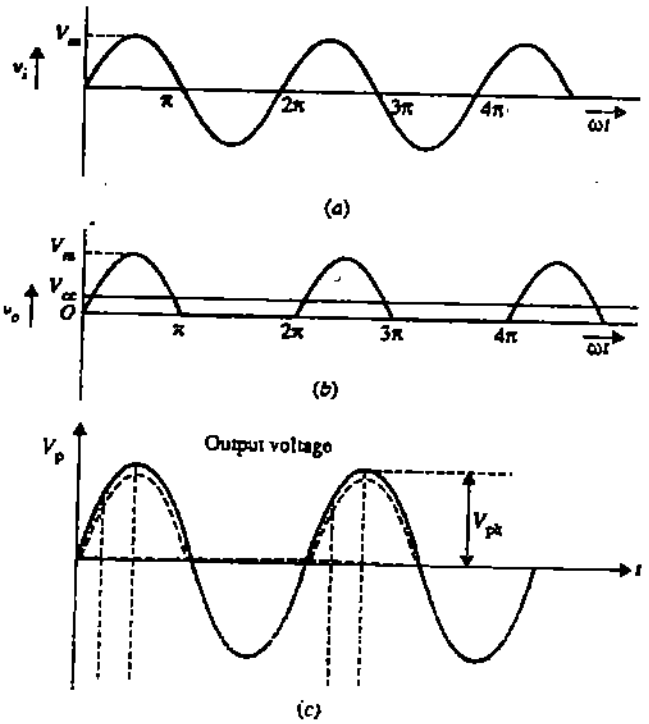


चित्र 6.9: एक अर्ध-तरंग दिष्टकारी परिपथ जिसमें एक परिणामित्र, एक डायोड और एक लोड प्रतिरोधक है।

आइए, अब हम यह देखें कि यह परिपथ किस प्रकार ac को dc में दिष्टकृत करता है।

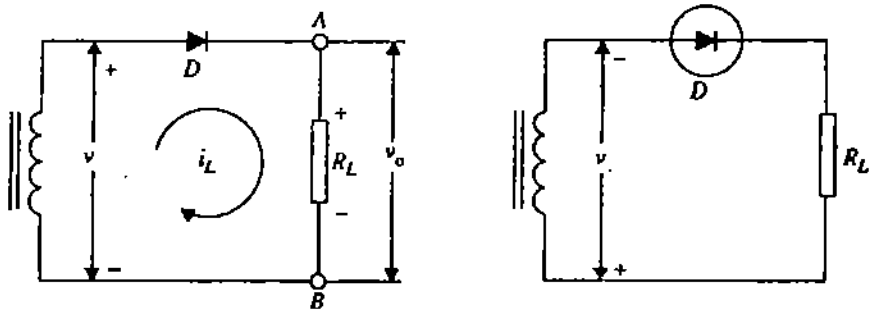
परिणामित्र के प्राथमिक को पावर के मुख्य तार से जोड़ दिया जाता है। ऐसा करने पर परिणामित्र के द्वितीयक पर ac वोल्टता प्रेरित हो जाती है। परिणामित्र के फेरा–अनुपात के अनुसार यह वोल्टता प्राथमिक वोल्टता से कम, बराबर या अधिक हो सकती है। हम द्वितीयक पर वोल्टता को इस समीकरण से निरूपित कर सकते हैं :

$$v = V_m \sin \omega t \qquad (6.3)$$



चित्र 6.10 : अर्ध-तरंग दिष्टकारी (क) निवेश वोल्टता तरंग रूप (ख) निर्गत वोल्टता तरंग रूप (ग) लोड पर दिष्टकृत वोल्टता (निर्गत वोल्टता) तरंग रूप (डैश से दिखाए गए) के साथ परिणामित्र निर्गत वोल्टता (निवेश वोल्टता) तरंग रूप।

चित्र 6.10 (क) को देखने से यह पता चलता है कि किस प्रकार यह वोल्टता समय के साथ बदलती रहती है। इसके बारी-बारी से धनात्मक और ऋणात्मक अर्ध चक्र होते हैं। इस प्रत्यावर्ती वोल्टता (alternating voltage) का शिखर मान V_m होता है।



चित्र 6.11: अर्ध तरंग दिष्टकारी परिपथ: (क) धनात्मक अर्ध चक्र के दौरान, (ख) ऋणात्मक अर्ध चक्र के दौरान।

निवेश वोल्टता के धनात्मक अर्ध चक्र के दौरान द्वितीयक पर वोल्टता की ध्रुवता वही होती है, जैसा कि चित्र 6.11 (क) में दिखाया गया है। इस ध्रुवता के कारण डायोड अग्रदिशिक बायसित (forward biased) हो जाता है, क्योंकि यह डायोड-तीर की दिशा में धारा को अपकर्षित (push) करने का प्रयास करता है। डायोड में चालन प्रारम्भ हो जाता है और धारा i_L लोड प्रतिरोधक R_L से होकर प्रवाहित होती है। इस धारा के कारण टर्मिनल B के सापेक्ष टर्मिनल A धनात्मक हो जाता है। क्योंकि अग्र बायसित डायोड में अति निम्न प्रतिरोध होता है, इसलिए इस पर वोल्टता–ह्रास भी काफी कम होता है (Ge डायोड के लिए लगभग 0.3V और Si डायोड के लिए लगभग 0.7V)। इसलिए, व्यावहारिक दृष्टि से लोड टर्मिनल AB पर होने वाली वोल्टता वही होगी, जो कि प्रत्येक क्षण पर निवेश वोल्टता v_i होती है। परन्तु, सही माने में, स्थिति थोड़ी अलग होती है। निम्नलिखित बोध प्रश्न हल करके आप इसे स्वयं ज्ञात कीजिए।

बोध प्रश्न 2

चित्र 6.10(ग) में एक सतत रेखा के रूप में परिणामित्र निर्गत (निवेश वोल्टता) तरंग रूप और डैशित रेखा के रूप में लोड प्रतिरोधक पर वोल्टता (निर्गत वोल्टता) दिखाई गई है। निर्गत वोल्टता निवेश वोल्टता से कम क्यों होती है ? कारण बताइए कि दो तरंग रूपों के बीच अंतर क्यों होता है ?

निवेश वोल्टता के ऋणात्मक अर्ध चक्र के दौरान ध्रुवता पश्चदिशिक हो जाती है। वोल्टता डायोड तीर की दिशा के विपरीत दिशा में धारा भेजने का प्रयास करती है। देखिए चित्र 6.11 (ख)। डायोड अब पश्चदिशिक बायसित हो जाता हैं। इस चित्र में डायोड को छायायित रूप में दिखाया गया है, यह बताने के लिए कि इस स्थिति में डायोड कुचालक (non-conducting) है। व्यावहारिक दृष्टि से कोई भी धारा परिपथ में प्रवाहित नहीं होती। अतः लोड प्रतिरोध पर लगभग कोई भी वोल्टता विकसित नहीं होती। सभी निवेश वोल्टता स्वयं डायोड पर उपलब्ध होती है। इससे यह पता चल जाता है कि हमें किस प्रकार निर्गत तरंग रूप प्राप्त होता है, जैसा कि चित्र 6.10 (ख) में दिखाया गया है।

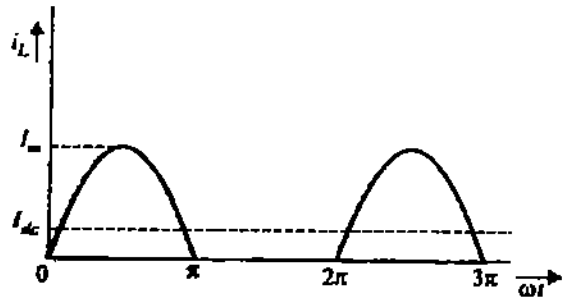
अंत में, जब निवेश वोल्टता अपने धनात्मक अर्ध चक्र से होकर गुजरता है, तब निर्गत की वोल्टता लगभग वही होती है, जो कि निवेश वोल्टता है। ऋणात्मक अर्ध चक्र के दौरान लोड पर कोई भी वोल्टता उपलब्ध नहीं होती। लोड पर निर्गत वोल्टता v_o का पूर्ण तरंग रूप चित्र 6.10 (ख) में दिखाया गया है। यह वोल्टता, यद्यपि पूरी तरह से dc नहीं होती, परन्तु कम से कम एकदिश (unidirectional) होती है।

प्रतीप शिखर वोल्टता

आइए, हम फिर से चित्र 6.11(ख) में दिए गए डायोड की ओर अपना ध्यान आकर्षित करें। निवेश के ऋणात्मक अर्ध-चक्र के दौरान डायोड पश्चदिशिक बायसित होता है। पूरी की पूरी निवेश वोल्टता डायोड पर होती है (क्योंकि लोड प्रतिरोध पर कोई वोल्टता नहीं होती)। जब ऋणात्मक अर्ध चक्र में निवेश अपने शीर्ष मान V_m पर पहुंचता है, तब डायोड पर भी वोल्टता अधिकतम होती है। इस अधिकतम वोल्टता को प्रतीप शिखर वोल्टता (PIV) कहा जाता है। यह उस अधिकतम वोल्टता को निरूपित करता है, जो कि डायोड को निवेश के ऋणात्मक अर्ध चक्र के दौरान अवश्य सह लेनी चाहिए। इस तरह, अर्ध-तरंग दिष्टकारी के लिए

$$\text{PIV} = V_m$$

एक पूर्ण चक्र पर ज्या तरंग (जैसा कि चित्र 6.10 क में दिखाया गया है) का औसत मान शून्य होता है। यदि एक ac परिपथ में एक dc धारामापी (गतिमान कुंडली प्रकार का) को जोड़ दिया जाए तो उसकी रीडिंग शून्य होगी। (dc धारा–मापी एक परिपथ में धारा का औसत मान पढ़ता है।) अब, यदि धारामापी को अर्ध-तरंग दिष्टकारी परिपथ में जोड़ दिया जाए (चित्र 6.9) तो उसमें कुछ रीडिंग आने लगेगी। इससे यह पता चलता है कि लोड R_L से होकर कुछ dc धारा अवश्य प्रवाहित हो रही है। हम एक अर्ध-तरंग दिष्टकारी परिपथ में इस धारा का मान ज्ञात कर सकते हैं।



चित्र 6.12: अर्ध-तरंग दिष्टकारी में लोड R_L से होकर प्रवाहित हो रही धारा का तरंग रूप।

चित्र 6.10 (ख) में हमने लोड प्रतिरोधक R_L पर वोल्टता के तरंग रूप को आलेखित किया है। यदि हम इस वक्र की प्रत्येक कोटि (ordinate) को प्रतिरोध R_L के मान से भाग दें, तो हमें धारा तरंग रूप प्राप्त होगा। इसे चित्र 6.12 में दिखाया गया है। ध्यान दीजिए कि दोनों तरंग रूप (धारा के लिए और वोल्टता के लिए) समरूप है। गणितीय भाषा में हम धारा तरंग रूप को इस प्रकार प्रस्तुत कर सकते हैं·

$$i_L = I_m \sin \omega t; \qquad \text{जहाँ } 0 < \omega t < \pi \tag{6.5}$$

और $$i_L = 0; \qquad \text{जहाँ } \pi < \omega t < 2\pi \tag{6.6}$$

यहाँ I_m धारा i_L का शीर्ष मान है। स्पष्ट है कि यह वोल्टता के शीर्ष मान V_m से इस प्रकार संबंधित है

$$I_m = \frac{V_m}{R_L} \tag{6.7}$$

क्योंकि चालन अवस्था में डायोड प्रतिरोध का मान शून्य मान लिया गया है। धारा का dc या औसत मान ज्ञात करने के लिए हम एक पूर्ण चक्र के लिए अर्थात् 0 से 2π तक (प्रथम चक्र के बाद वक्र स्वयं उसी रूप में आ जाता है) धारा के तात्क्षणिक मानों (instantaneous values) को जोड़ देते हैं या समाकलित कर देते हैं। समीकरण (6.5) और (6.6) का प्रयोग कर हम इस प्रकार dc धारा ज्ञात करते हैं :

$$I_{dc} = \frac{1}{2\pi} \int_0^{2\pi} i_L \, d(\omega t)$$

$$= \frac{1}{2\pi} \left[\int_0^{\pi} I_m \sin \omega t \, d(\omega t) + \int_{\pi}^{2\pi} 0 \cdot d(\omega t) \right]$$

$$= \frac{1}{2\pi} \left[I_m \left| (-\cos \omega t \right|_0^{\pi} + 0 \right]$$

$$= \frac{1}{2\pi} \left[I_m \left[-\cos \pi - (-\cos 0) \right] \right]$$

$$= \frac{I_m}{\pi}$$

$$\therefore \quad I_{dc} = \frac{I_m}{\pi} \tag{6.8}$$

लोड R_L पर उपलब्ध dc वोल्टता का मान यह है :

$$V_{dc} = I_{dc} \times R_L = \frac{I_m}{\pi} \times R_L \tag{6.9}$$

समीकरण (6.7) लिखते समय हमने यह मान लिया है कि

i) अग्रदिशिक बायस में डायोड प्रतिरोध शून्य है, और

ii) परिणामित्र के द्वितीयक कुंडलन का प्रतिरोध शून्य है।

दूसरी कल्पना तो बहुत कुछ सत्यता के निकट है। कुंडलन प्रतिरोध लगभग शून्य होता है। परन्तु, अग्रदिशिक डायोड-प्रतिरोध r_d कभी-कभी इतना छोटा नहीं होता। यदि इसका मान लोड प्रतिरोध R_L के मान के तुलनात्मक हो जाए, तो हमें r_d को भी ध्यान में रखना होगा। तब शीर्ष धारा का समीकरण 6.7 इस तरह रूपांतरित हो जाता है:

$$I_m = \frac{V_m}{(R_L + r_d)} \tag{6.10}$$

अब समीकरण 6.7 की सहायता से लोड प्रतिरोधक R_L पर dc वोल्टता को इस प्रकार लिखा जा सकता है :

$$V_{dc} = \frac{V_m R_L}{\pi(R_L + r_d)} = \frac{V_m}{\pi(1 + r_d/R_L)}$$

$$= \frac{V_m}{\pi} \text{ (यदि } r_d < R_L \text{ है)} \tag{6.11}$$

उदाहरण 1

अर्ध-तरंग दिष्टकारी (जैसा कि चित्र 6.9 में दिखाया गया है) में प्रयुक्त परिणामित्र का फेरा अनुपात 12:1 है। प्राथमिक को पावर के मुख्य तार 220V, 50 Hz से जोड़ दिया गया है। यदि यह मान लिया जाए कि अग्र बायस में डायोड प्रतिरोध शून्य है, तो लोड पर dc वोल्टता परिकलित कीजिए। डायोड का PIV क्या है ?

हल :

अधिकतम (शीर्ष मान) प्राथमिक वोल्टता यह है :

$$V_p = \sqrt{2}\ V_{rms} = \sqrt{2} \times 220 = 311 \text{ V.}$$

अतः अधिकतम द्वितीयक वोल्टता यह है :

$$V_m = \frac{1}{12} \times 311 = 25.9\text{V}$$

dc लोड वोल्टता यह है :

$$V_{dc} = \frac{V_m}{\pi} = \frac{25.9}{\pi} = 8.24\text{V}$$

प्रतीप शिखर वोल्टता यह है :

$$\text{PIV} = V_m = 25.9\text{V}$$

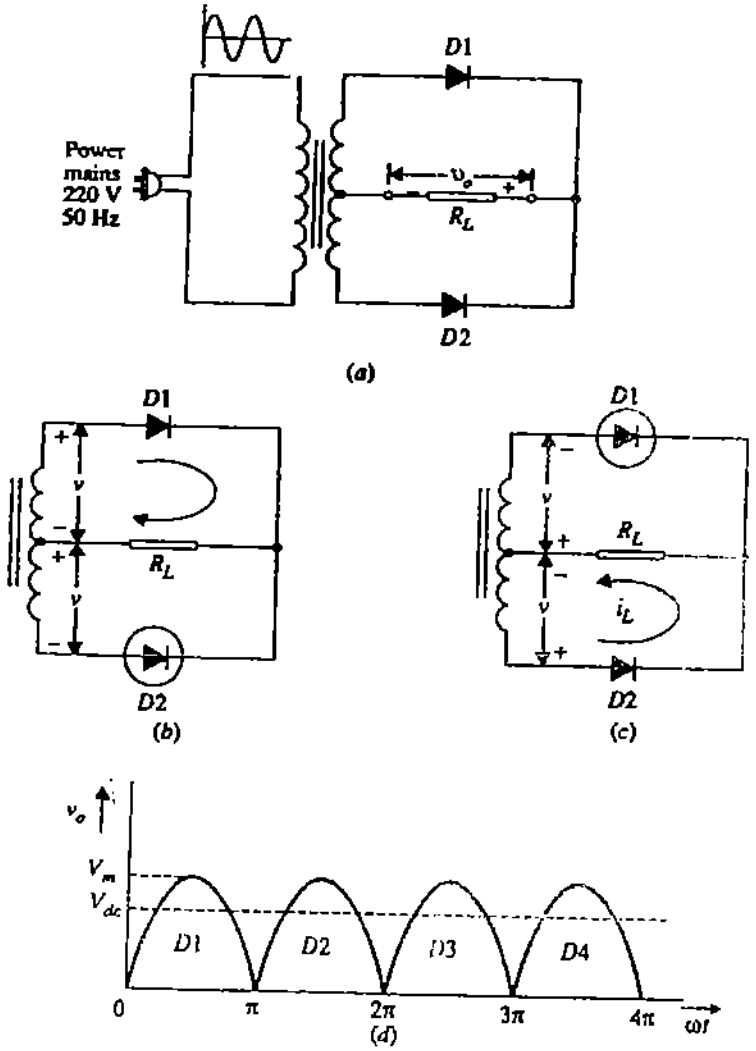
6.3.3 पूर्ण तरंग दिष्टकरण (Full wave rectification)

ऊपर बताए गए अर्ध तरंग दिष्टकारी में हमने निवेश तरंग के केवल एक अर्ध चक्र का ही प्रयोग किया है। पूर्ण तरंग दिष्टकारी में हम दोनों अर्ध चक्रों का प्रयोग करते हैं। एकदिश (unidirectional) लोड धारा प्राप्त करने के लिए बारी-बारी से एक के बाद एक अर्ध चक्रों को प्रतीपित (inverted) किया जाता है। प्रायः दो प्रकार के दिष्टकारी परिपथों का प्रयोग किया जाता है। **एक को केन्द्र अंशनिष्कासन दिष्टकारी (centre tap rectifier) कहा जाता है, और इसमें दो** डायोडों का प्रयोग किया जाता है। दूसरे को सेतु दिष्टकारी (bridge rectifier) कहा जाता है और इसमें चार डायोडों का प्रयोग किया जाता है।

केन्द्र-अंशनिष्कासन दिष्टकारी

चित्र 6.13 (क) में केन्द्र-अंशनिष्कासन दिष्टकारी का परिपथ दिखाया गया है। इसमें दो डायोडों D_1 और D_2 का प्रयोग किया जाता है। द्वितीयक वोल्टता के धनात्मक अर्ध चक्र के दौरान डायोड D_1 अग्रदिशिक बायसित होता है और D_2 पश्चदिशिक बायसित (reverse biased) होता है। अब, D_1 चालन अवस्था में होता है और D_2 में चालन नहीं होता है। डायोड धारा D_1, लोड प्रतिरोध R_L

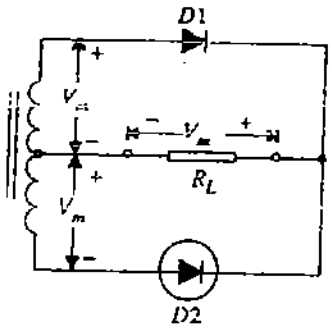
और कुंडलन के ऊपरी आधे भाग से होती हुई प्रवाहित होती है, जैसा कि चित्र 6.13 (ख) में दिखाया गया है। ऋणात्मक अर्ध चक्रों के दौरान डायोड D_2 अग्र बायसित हो जाता है और D_1 पश्चदिशिक बायसित। अब डायोड D_2 चालन अवस्था में होता है और D_1 में चालन नहीं होता है। धारा डायोड D_2, लोड प्रतिरोधक R_L और कुंडलन के निचले आधे भाग से होती हुई प्रवाहित होती है, जैसा कि चित्र 6.13 (ग) में दिखाया गया है। ध्यान दीजिए कि दोनों चित्रों 6.13 (ख) और (ग) में लोड धारा एक ही दिशा में होती है। धारा i_L और इस तरह लोड वोल्टता v_0 का तरंग रूप चित्र 6.13 (घ) में दिखाया गया है।



चित्र 6.13: केन्द्र-अंशनिष्कासित दिष्टकारी।

प्रतीप शिखर वोल्टता (peak inverse voltage)

चित्र 6.14 में उस क्षण का केन्द्र-अंशनिष्कासन दिष्टकारी परिपथ दिखाया गया है कि जबकि द्वितीयक वोल्टता अपने धनात्मक अधिकतम मान पर पहुंचती है।



चित्र 6.14: केन्द्र-अंशनिष्कासन दिष्टकारी में अचालन डायोड D_2 पर PIV का मान $2V_m$ है।

द्वितीयक कुंडलन के आधे भाग पर अधिकतम (शीर्ष) वोल्टता V_m है। इस क्षण डायोड D_1 चालन अवस्था में है और इसका प्रतिरोध लगभग शून्य होता है। ऊपरी अर्ध कुंडलन पर स्थित कुल वोल्टता V_m लोड प्रतिरोधक R_L पर उपलब्ध होती है। अतः अचालन डायोड की व्युत्क्रम वोल्टता निचले अर्ध कुंडलन पर की वोल्टता और लोड प्रतिरोधक R_L पर की वोल्टता का जोड़ होती है। चित्र के अनुसार यह वोल्टता $V_m + V_m = 2V_m$ है। इस तरह,

$$\text{PIV} = 2V_m \tag{6.12}$$

सेतु दिष्टकारी

अति व्यापक रूप से प्रयोग में आने वाला पूर्ण तरंग दिष्टकारी परिपथ सेतु दिष्टकारी में होता है, जिसे चित्र 6.15 (क) में दिखाया गया है। इसमें दो डायोडों के स्थान पर चार डायोडों की आवश्यकता होती है, परन्तु इसमें केन्द्र-अंशनिष्कासित परिणामित्र की आवश्यकता नहीं होती। द्वितीयक वोल्टता के धनात्मक अर्ध चक्र के दौरान डायोड D_2 और D_4 चालन अवस्था में होते हैं और D_1 और D_3 में चालन नहीं होता है। अतः जैसा कि चित्र 6.15 (ख) में दिखाया गया है, धारा द्वितीयक कुंडलन, डायोड D_2 लोड प्रतिरोध R_L और डायोड D_4 से होकर प्रवाहित होती है। द्वितीयक वोल्टता के ऋणात्मक अर्ध चक्र के दौरान डायोड D_1 और D_3 चालन अवस्था में होते हैं और डायोड D_2 और डायोड D_4 में चालन नहीं होता है। धारा द्वितीयक कुंडलन, डायोड D_1, लोड प्रतिरोधक R_L और डायोड D_3 से होकर प्रवाहित होती है, जैसा कि चित्र 6.15 (ग) में दिखाया गया है। दोनों स्थितियों में धारा लोड प्रतिरोध से होती हुई एक ही दिशा में प्रवाहित होती है। अतः लोड पर उतार-चढ़ाव (fluctuating) वाली एकदिश वोल्टता विकसित होती है। लोड वोल्टता तरंग रूप को चित्र 6.15 (घ) में दिखाया गया है।

प्रतीप शिखर वोल्टता

आइए, अब हम प्रतीप शिखर वोल्टता ज्ञात करें, जो कि सेतु दिष्टकारी के उस डायोड पर उपलब्ध होती है, जिसमें चालन नहीं हो रहा होता है। चित्र 6.16 में उस क्षण का सेतु दिष्टकारी परिपथ दिखाया गया है, जबकि द्वितीयक वोल्टता अपने शिखर धनात्मक मान V_m तक पहुंच जाती है। डायोड D_2 और D_4 चालन अवस्था में होते हैं जबकि डायोड D_1 और D_3 पश्चदिशिक बायसित और चालन अवस्था में नहीं होते हैं। चालक डायोड D_2 और D_4 का प्रतिरोध लगभग शून्य है (और इस तरह उन पर शून्य वोल्टता ह्रास होता है)। बिन्दु B उसी विभव पर होता है जिस पर कि बिन्दु A है। इसी प्रकार, बिन्दु D उसी विभव पर होता है, जिस पर कि बिन्दु C है। द्वितीयक कुंडलन की पूरी वोल्टता V_m लोड प्रतिरोधक R_L पर उपलब्ध होती है। अचालक डायोड D_1 (या D_3 पर प्रतीप वोल्टता भी V_m होती है। इस तरह,

$$\text{PIV} = V_m \tag{6.13}$$

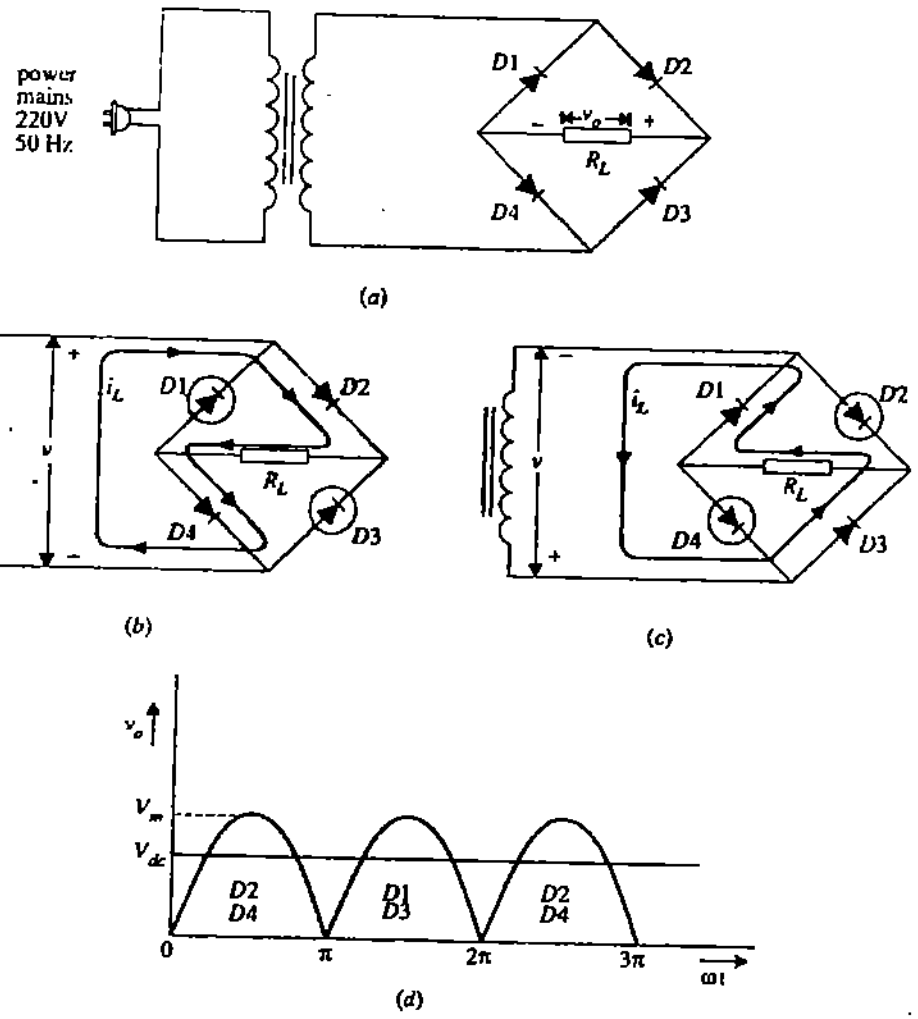
पूर्ण तरंग दिष्टकारियों में निर्गत dc वोल्टता

चित्र 6.15 (घ) का वोल्टता तरंग रूप ठीक वैसा ही है, जैसा कि चित्र 6.13 (घ) का है। दोनों ही दिष्टकारी परिपथों में लोड वोल्टता समान होती है। फिर भी, दोनों में एक अंतर है। सेतु दिष्टकारी में V_m, द्वितीयक कुंडलन पर स्थित अधिकतम वोल्टता है। परन्तु, केन्द्र-अंशनिष्कासित दिष्टकारी में V_m अर्ध द्वितीयक कुंडलन पर स्थित वोल्टता है।

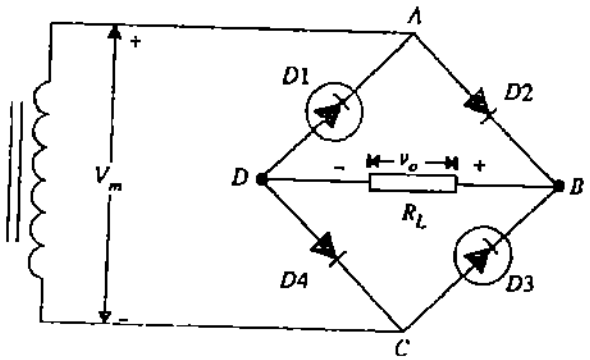
आइए, अब हम चित्र 6.9 (ख) में दिखाई गई अर्ध-तरंग दिष्टकृत वोल्टता तरंग रूप के साथ चित्र 6.15 (घ) या चित्र 6.13 (घ) में दिखाई गई पूर्ण तरंग दिष्टकृत वोल्टता तरंग रूप की तुलना करें। अर्ध तरंग दिष्टकारी में dc निर्गत के लिए केवल धनात्मक अर्ध-चक्रों का उपयोग किया जाता है। परन्तु, पूर्ण तरंग दिष्टकारी में दोनों चक्रों का उपयोग होता है। अतः पूर्ण तरंग दिष्टकारी में उपलब्ध dc या औसत वोल्टता अर्ध-तरंग दिष्टकारी में उपलब्ध dc वोल्टता की दूनी होगी। यदि अग्रदिशिक बायसित डायोड का प्रतिरोध शून्य मान लिया जाए, तो पूर्ण तरंग दिष्टकारी की dc वोल्टता (देखिए समीकरण 6.11) यह होगी:

$$V_{dc} = \frac{2V_m}{\pi} \tag{6.14}$$

हम समीकरण (6.14) को गणितीय रूप में उसी प्रकार व्युत्पन्न कर सकते हैं, जैसे कि हमने पिछले उपभाग में समीकरण (6.8) को व्युत्पन्न किया था।



चित्र 6.15: सेतु दिष्टकारी।



चित्र 6.16: अचालक डायोड D_1 या D_3 पर PIV का मान V_m है।

बोध प्रश्न 3

एक पूर्ण तरंग दिष्टकारी (देखिए चित्र 6.1ख) की निर्गत वोल्टता यह होती है .

$V_0 = V_m \sin \omega t \qquad 0 < \omega t < \pi$

$V_0 = -V_m \sin \omega t \qquad 0 < \omega t < 2\pi$

दूसरे समीकरण में ऋण चिह्न इसलिए लगाया गया है, क्योंकि दूसरे अर्ध चक्र के दौरान तरंग रूप ज्यावक्रीय बना रहता है, परंतु प्रतीपित (inverted) होता है। वोल्टता का औसत या dc मान यह है :

$$V_{dc} = \frac{1}{2\pi} \int_0^{2\pi} V_0 \, d\,(\omega t)$$

सिद्ध कीजिए कि

$$V_{dc} = \frac{2V_m}{\pi}$$

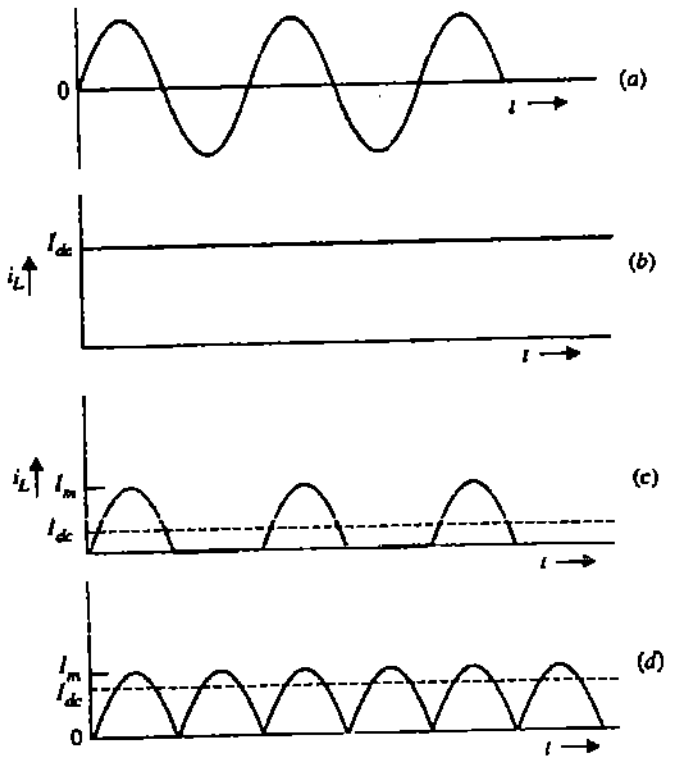
अतः dc पावर यूनिट निम्नलिखित तीन रूपों में से कोई भी रूप ले सकता है: इसके एक अर्ध तरंग दिष्टकारी, या एक पूर्ण तरंग दिष्टकारी या एक सेतु दिष्टकारी परिपथ हो सकता है।

आप यह देख चुके हैं कि ऊपर बताए गए दिष्टकारी a-c निवेश को उतार-चढ़ाव वाले d-c निर्गत में रूपांतरित कर सकता है। अपने औसत मान से ऊपर और नीचे d-c निर्गत के उतार-चढ़ाव को ऊर्मिका (ripple) कहा जाता है। अर्ध-तरंग दिष्टकारी में ऊर्मिका की आवृत्ति वही होती है, जो कि a-c निवेश की आवृत्ति होती है, क्योंकि यह प्रति चक्र एक स्पंद (pulse) उत्पन्न करता है। पूर्ण तरंग दिष्टकारी में ऊर्मिका की आवृत्ति a-c निवेश की आवृत्ति की दूनी होती है, इसमें प्रति चक्र दो स्पंद उत्पन्न होते हैं।

अधिकांश इलेक्ट्रॉनिक उपकरणों में मसृण (smooth) d-c प्रचालन वोल्टता की आवश्यकता होती है। ऐसे उपकरण में ऊर्मिका के कारण दिष्टकारी के निर्गत को सीधे लागू नहीं किया जा सकता। अतः ऊर्मिका का निराकरण करना आवश्यक हो जाता है। ऊर्मिका निराकरण हेतु उपयोग में लाने वाले परिपथों को निस्यंदक परिपथ (filter circuit) कहा जाता है। परंतु, निस्यंदक परिपथ का अध्ययन करने से पहले हम यह जान लें कि ऊर्मिका गुणक (ripple factor) तथा दिष्टकारी दक्षता क्या होती हैं।

6.4 कितने प्रभावी रूप से दिष्टकारी ac को dc में रूपांतरित करता है

यदि लोड प्रतिरोधक R_L को ac पावर के मुख्य तार से सीधे जोड़ दें, तो इसमें प्रवाहित हो रही धारा केवल ac होगी (ज्यावक्रीय जिसका औसत मान शून्य है)। इस धारा को चित्र 6.17 (क) में दिखाया गया है।



चित्र 6.17: एक आदर्श ac-dc परिवर्तक से अर्ध तरंग और पूर्ण तरंग दिष्टकारियों की तुलना।

कुछ अनुप्रयोगों में हमें लोड में dc धारा प्रवाहित करने की आवश्यकता होती है। dc धारा एकदिश होती है और आदर्श रूप में समय के साथ इसमें कोई उतार-चढ़ाव नहीं आता। चित्र 6.17 (ख) में आदर्श dc धारा दिखाई गई है। यह देखने के लिए कि कितने प्रभावी रूप से दिष्टकारी ac को dc में रूपांतरित करता है, हम इसके निर्गत धारा तरंग-आकार की तुलना आदर्श dc धारा से करते हैं।

यदि लोड अर्ध तरंग दिष्टकारी से धारा लेता है, तो धारा तरंग रूप वैसा ही होगा, जैसा कि चित्र 6.17 (ग) में दिखाया गया है। यह होता तो एकदिश है, परंतु समय के साथ इसमें काफी उतार-चढ़ाव आता है। जब लोड को एक पूर्ण तरंग दिष्टकारी से जोड़ दिया जाता है, तब लोड धारा का तरंग-रूप ठीक वैसा ही होता है, जैसा कि चित्र 6.17 (घ) में दिखाया गया है। यह भी एकदिश होता है और समय के साथ इसमें भी उतार–चढ़ाव आता है। यहाँ यह माना जा सकता है कि एकदिश और उतार-चढ़ाव वाले तरंग रूप में अनेक घटक हैं। इसका एक औसत या dc मान होता है जिस पर विभिन्न आवृत्तियों वाले अनेक ac (ज्यावक्रीय) घटक अध्यारोपित होते हैं। इन अवांछित ac घटकों को ऊर्मिका कहा जाता है। अर्ध तरंग दिष्टकारी के संबंध में निम्नतम ऊर्मिका आवृत्ति वही होती है, जो कि पावर के मुख्य तार की आवृत्ति होती है। परंतु, पूर्ण तरंग दिष्टकारी के संबंध में ऐसा नहीं होता। जैसा कि चित्र 6.17 (घ) और (क) से देखा जा सकता है, पूर्ण तरंग दिष्टकारी की निर्गत तरंग का आवर्त-काल निवेश तरंग के आवर्त-काल का आधा होता है। निवेश तरंग के प्रत्येक कोण π के बाद धारा (या वोल्टता) के आकार में पुनरावृत्ति होती है। अतः पूर्ण दिष्टकारी के निर्गत में ऊर्मिका की निम्नतम आवृत्ति निवेश आवृत्ति की दूनी होती है। अर्थात् ऊर्मिका आवृत्ति

$$f_r = f_i = 50 \text{ Hz} \quad \text{(अर्ध तरंग दिष्टकारी)} \tag{6.15}$$

और

$$f_r = 2f_i = 100 \text{ Hz} \quad \text{(पूर्ण तरंग दिष्टकारी)} \tag{6.16}$$

कितने प्रभावी रूप से दिष्टकारी ac पावर को dc पावर में रूपांतरित कर देता है, इसकी परिणात्मक व्याख्या ऊर्मिका गुणक (ripple factor), दिष्टकरण दक्षता (rectification efficiency) आदि जैसे शब्दों से किया जाता है।

ऊर्मिका गुणक दिष्टकारी के dc निर्गत की शुद्धता का एक माप है और इसे इस प्रकार परिभाषित करते हैं :

$$\gamma = \frac{\text{तरंग के घटकों का rms मान}}{\text{औसत या dc मान}} \tag{6.17}$$

दिष्टकरण दक्षता से हमें इस बात का पता चलता है कि कुल निवेश ac पावर का कितना प्रतिशत भाग उपयोगी निर्गत पावर में रूपांतरित होता है। इस तरह, दिष्टकरण दक्षता की परिभाषा इस प्रकार दी जाती है :

$$\eta = \frac{\text{लोड को दिया गया dc पावर}}{\text{परिपथित्र से प्राप्त dc निवेश पावर}}$$

या

$$\eta = \frac{P_{dc}}{P_{ac}} \tag{6.18}$$

यहाँ P_{ac} वह पावर है, जो कि वाटमापी बताता है जब इसके वोल्टता टर्मिनलों को द्वितीयक कुंडलन के साथ दिष्टकरण पथ से जोड़ा जाता है। P_{dc}, dc निर्गत पावर है।

अब हम ऊर्मिका गुणक और दिष्टकरण दक्षता ज्ञात करने के लिए अर्ध तरंग और पूर्ण तरंग दिष्टकारियों का विश्लेषण करेंगे।

6.4.1 अर्ध तरंग दिष्टकारी का निष्पादन

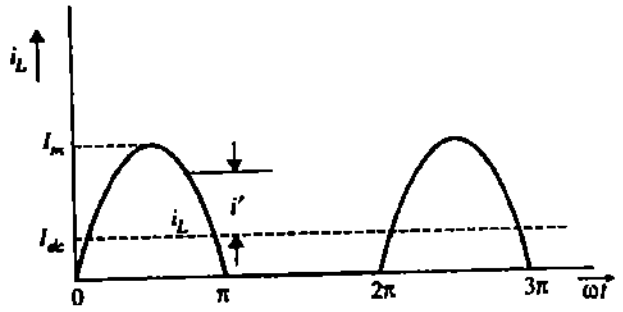
अर्ध-तरंग दिष्टकृत धारा तरंग को चित्र 6.18 में आलेखित किया गया है और गणितीय रूप में इसा प्रकार प्रस्तुत किया गया है :

$$i_L = I_m \sin \omega t; \qquad \text{जहाँ } 0 < \omega t < \pi \tag{6.19}$$

और

$$i_L = 0; \qquad \text{जहाँ } \pi < \omega t < 2\pi \tag{6.2:}$$

ऊर्मिका गुणक या दिष्टकरण दक्षता मालूम करने के लिए पहले हम धारा का rms मान ज्ञात करते हैं।



चित्र 6.18 : अर्ध-तरंग दिष्टकृत धारा रूप: (धारा का तात्क्षणिक ac घटक तात्क्षणिक कुल धारा और dc धारा का अंतर होता है अर्थात् $i = i_L - I_{dc}$)।

धारा का RMS मान

लोड से होकर प्रवाहित हो रही धारा का rms या प्रभावी मान यह होता है:

$$I_{rms} = \sqrt{\frac{1}{2\pi} \int_0^{2\pi} i_L^2 \, d(\omega t)}$$

जहाँ धारा i_L समीकरणों (6.19) और (6.20) से निर्धारित होती है। अतः

$$I_{rms} = \sqrt{\frac{1}{2\pi} \int_0^{\pi} I_m^2 \sin^2 \omega t \, d(\omega t) + \int_0^{2\pi} 0 \, d(\omega t)}$$

$$= \frac{I_m^2}{2\pi} \int_0^{\pi} \frac{(1 - \cos 2\omega t)}{2} \, d(\omega t)$$

$$= \sqrt{\frac{I_m^2}{2\pi \times 2} \left| \omega t - \frac{\sin 2\omega t}{2} \right|_0^{\pi}}$$

या

$$I_{rms} = \frac{I_m}{2} \tag{6.21}$$

यह कुल धारा (dc मान और ac घटक) का rms मान है। जैसा कि चित्र 6.18 से देखा जा सकता है, ac उतार-चढ़ाव का तात्क्षणिक मान कुल तात्क्षणिक मान और dc मान का अंतर होता है। अर्थात्, तात्क्षणिक ac मान यह होता है :

$$i' = i_L - I_{dc}$$

अतः ac घटकों का rms मान यह होता है :

$$I'_{rms} = \frac{1}{2\pi} \int_0^{2\pi} (i_L - I_{dc})^2 \, d(\omega t)$$

$$= \sqrt{\frac{1}{2\pi} \int_0^{2\pi} (i_L^2 + I_{dc}^2 - 2 i_L I_{dc}) \, d(\omega t)}$$

$$= \sqrt{I_{rms}^2 + I_{dc}^2 - 2I_{dc}^2}$$

या

$$I'_{rms} = I_{rms} - I_{dc} \tag{6.22}$$

ऊर्मिका गुणक

समीकरण 6.17 से निम्नलिखित ऊर्मिका गुणक प्राप्त होता है :

$$\gamma = \frac{I_{rms}'}{I_{dc}} = \frac{\sqrt{I_{rms}^2 - I_{dc}^2}}{I_{dc}} = \sqrt{\left(\frac{I_{rms}}{I_{dc}}\right)^2 - 1} \qquad (6.23)$$

समीकरणों (6.8) और (6.21) की सहायता से अर्ध तरंग दिष्टकारी के लिए अनुपात

$$\frac{I_{rms}}{I_{dc}} = \frac{I_m/2}{I_m/\pi} = 1.57 \text{ होता है}$$

अतः ऊर्मिका गुणक यह हुआ :

$$\gamma = \sqrt{(1.57)^2 - 1} = 1.21 \qquad (6.24)$$

इस तरह, हम यह पाते हैं कि ऊर्मिका धारा (या वोल्टता) dc धारा (या वोल्टता) से अधिक होती है। इससे यह पता चलता है कि अर्ध तरंग दिष्टकारी ac को dc में रूपांतरित करने वाला उत्तम परिवर्तक (convertor) नहीं है।

दिष्टकरण दक्षता

अर्ध-तरंग दिष्टकारी परिपथ में लोड को दिया गया पावर यह होता है :

$$P_{dc} = I_{dc}^2 R_L = \left(\frac{I_m}{\pi}\right)^2 R_L$$

और कुल निवेश ac पावर यह होती है:

$$P_{ac} = I_{rms}^2 (r_d + r_L) = \left(\frac{I_m}{2}\right)^2 (r_d + R_L)$$

अतः दिष्टकरण दक्षता यह होती है :

$$\eta = \frac{P_{dc}}{P_{ac}} = \frac{(I_m/\pi)^2 R_L}{(I_m/2)^2 (r_d + R_L)} \times 100\%$$

$$= \frac{40.6}{1 + r_d/R_L} \% \qquad (6.25)$$

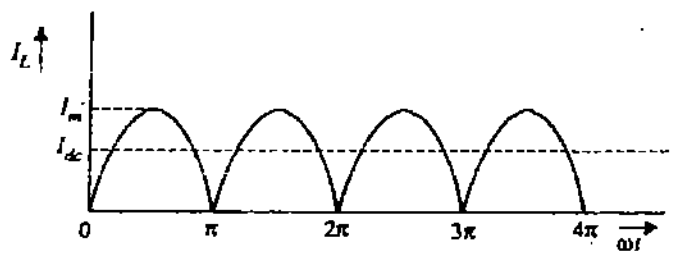
यदि $r_d < R_L$ हो तो $\eta \to 40.6$ प्रतिशत है। इसका अर्थ यह है कि उत्कृष्ट प्रतिबंधों (अर्थात् कोई डायोड में हानि न हो रही हो) के अधीन केवल 40.6% ac निवेश पावर ही dc पावर में रूपांतरित होता है। और, शेष पावर लोड में ac पावर की तरह रहता है।

6.4.2 पूर्ण तरंग दिष्टकारी का निष्पादन

चित्र 6.19 में एक पूर्ण तरंग दिष्टकृत धारा तरंग रूप दिखाया गया है। यह देखा जा सकता है कि इसका आवर्तकाल π है। प्रत्येक π के बाद तरंग रूप की पुनरावृत्ति होती है। अतः औसत या rms मान अभिकलित करते समय हमें 0 से 2π तक के स्थान पर 0 से π तक की सीमाओं में समाकलन करना चाहिए। 0 और π के बीच तरंग रूप इस प्रकार व्यक्त होता है :

$$i_L = I_m \sin \omega t \qquad (6.26)$$

जहाँ $\omega (= 2\pi f)$ निवेश ac वोल्टता की कोणीय आवृत्ति है।



चित्र 6.19: पूर्ण तरंग दिष्टकृत धारा तरंग रूप।

धारा का RMS मान

धारा का प्रभावी या rms मान यह होता है :

$$I_{rms} = \sqrt{\frac{1}{\pi}\int_0^{\pi} i_L^2\, d(\omega t)} = \frac{1}{\pi}\int_0^{\pi} I_m^2 \sin^2 \omega t\, d(\omega t)$$

$$= \sqrt{\frac{I_m^2}{\pi}\int_0^{\pi} \frac{1-\cos 2\omega t}{2}\, d(\omega t)} = \sqrt{\frac{I_m^2}{\pi}\left|\frac{\omega t}{2} - \frac{\sin 2\omega t}{4}\right|_0^{\pi}}$$

$$= \sqrt{\frac{I_m}{\pi} \times \frac{\pi}{2}}$$

या $$I_{rms} = \frac{I_m}{\sqrt{2}} \qquad (6.27)$$

ध्यान दीजिए कि यह वही मान है जो कि पूर्ण ज्यावक्रीय ac तरंग का है।

धारा का dc या औसत मान यह है :

$$I_{dc} = \frac{1}{\pi}\int_0^{\pi} i_L\, d(\omega t) = \frac{1}{\pi}\int_0^{\pi} I_m \sin \omega t\, d(\omega t)$$

$$= \frac{2I_m}{\pi} \qquad (6.28)$$

यह धारा अर्ध-तरंग दिष्टकारी की dc धारा की दूनी है, जैसा कि होना भी चाहिए।

ऊर्मिका गुणक

समीकरण (6.22) पूर्ण तरंग दिष्टकारी के लिए भी मान्य है। अतः पूर्ण तरंग दिष्टकारी का ऊर्मिका गुणक परिकलित करने के लिए हम समीकरण 6.23 का प्रयोग कर सकते हैं :

$$r = \sqrt{\left(\frac{I_{rms}}{I_{dc}}\right) - 1} = \left(\frac{I_m/\sqrt{2}}{2I_m/\pi}\right)^2 - 1$$

$$= 0.482 \qquad (6.29)$$

दिष्टकरण दक्षता

पूर्ण तरंग दिष्टकारी के संबंध में लोड को दिया गया पावर यह होता है

$$P_{dc} = I_{dc}^2 R_L = \left(\frac{2I_m}{\pi}\right)^2 R_L$$

और कुल निवेश ac पावर यह होता है :

$$P_{ac} = I_{rms}^2 (r_d + r_L) = \left(\frac{2I_m}{\sqrt{2}}\right)^2 (r_d + r_L)$$

अतः दिष्टकरण दक्षता यह होती है :

$$\eta = \frac{P_{dc}}{P_{ac}} = \frac{(2I_m/\pi)^2}{(I_m\sqrt{2})^2 (r_d + R_L)} \times 100\%$$

$$= \frac{81.2}{1 + r_d/R_L}\% \qquad (6.30)$$

इससे यह पता चलता है कि एक पूर्ण तरंग दिष्टकारी की दिष्टकरण दक्षता समान प्रतिबंधों के अधीन अर्ध तरंग दिष्टकारी की दक्षता से दूनी होती है। अधिकतम संभव दक्षता 81.2% हो सकती है (जबकि $r_d < R_L$)।

उदाहरण 2

केन्द्र-अंशनिष्कासन पूर्ण तरंग दिष्टकारी में लोड प्रतिरोध $R_L = 1\text{k}\,\Omega$ है। प्रत्येक डायोड का अग्रदिशिक बायस गतिक प्रतिरोध $r_d = 10\,\Omega$ है। अर्ध द्वितीयक कुंडलन पर वोल्टता $220 \sin 314\,t$ है। (क) धारा का शिखर मान, (ख) धारा का dc या औसत मान, (ग) धारा का rms मान,

(घ) ऊर्मिका गुणक और (ङ) दिष्टकरण दक्षता ज्ञात कीजिए।

हल :

अर्ध द्वितीयक कुंडलन पर वोल्टता यह है :

$$v = 220 \sin 314\, t$$

(क) वोल्टता का शिखर मान यह है :

$$V_m = 220\text{V}$$

अतः धारा का शिखर मान यह होगा :

$$I_m = \frac{V_m}{r_d + R_L} = \frac{220}{10 + 1000} = 0.2178\text{A}.$$

$$= 217.8\text{mA}$$

(ख) धारा का dc या औसत मान यह है :

$$I_{dc} = \frac{2\,I_m}{\pi} = \frac{2 \times 217.8}{\pi} = 138.66\,\text{mA}.$$

(ग) धारा का rms मान यह है :

$$I_{rms} = \frac{I_m}{\sqrt{2}} = 154\,\text{mA}$$

(घ) ऊर्मिका गुणक यह है :

$$r = \sqrt{\left(\frac{I_{rms}}{I_{dc}}\right) - 1} = \sqrt{\left(\frac{154}{138.66}\right)^2 - 1} = 0.482$$

(ङ) दिष्टकरण दक्षता यह है :

$$\eta = \frac{P_{dc}}{P_{ac}}$$

परन्तु, $P_{dc} = I_{dc} R_L = (138.66)^2 \times (10^{-3})^2 \times 1000 = 15.2265\text{ W}$

$$\therefore \eta = \frac{P_{dc}}{P_{ac}} = \frac{19.2265}{23.953} = 0.8026 \times 100\% = 80.26\%$$

अर्ध तरंग दिष्टकारी की तुलना में पूर्ण तरंग दिष्टकारी को अधिक पसंद किया जाता है, क्योंकि इसकी दिष्टकरण दक्षता दूनी होती है और इसका ऊर्मिका गुणक निम्न होता है। अभी तक हमने जिन-जिन दिष्टकारियों पर चर्चा की है, उनका तुलनात्मक विवरण सारणी 6.1 में दिया गया है। जब तक कोई विशेष उल्लेख न किया जाए, तब तक आप यह मानकर चलें कि आगे हम जिन दिष्टकारियों का उल्लेख करेंगे, वे सभी पूर्ण तरंग दिष्टकारी (या तो केन्द्र-अंशनिष्कासित या सेतु) होंगे।

चित्र 6.11: विभिन्न दिष्टकारियों का तुलनात्मक विवरण।

	अर्ध तरंग	पूर्ण तरंग	
		केंद्र-अंशनिष्कासन	सेतु
डायोडों की संख्या	1	2	4
क्या परिणामित्र आवश्यक है ?	नहीं	हाँ	नहीं
द्वितीयक शिखर वोल्टता	V_m	V_m	V_m
प्रतीप शिखर वोल्टता	V_m	$2V_m$	V_m
शिखर लोड धारा I_m	$V_m/(r_d + R_L)$	$V_m/(r_d + R_L)$	$V_m/(2r_d + R_L)$
RMS धारा, I_{rms}	$I_m/2$	$I_m/2$	$I_m/2$
DC धारा, I_{dc}	I_m/π	$2I_m/\pi$	$2I_m/\pi$

ऊर्मिका गुणक, r	1.21	0.482	0.482
दिष्टकरण दक्षता (अधिकतम)	40.6%	81.2%	81.2%
निम्नतम ऊर्मिका आवृत्ति	f_i	$2f_i$	$2f_i$

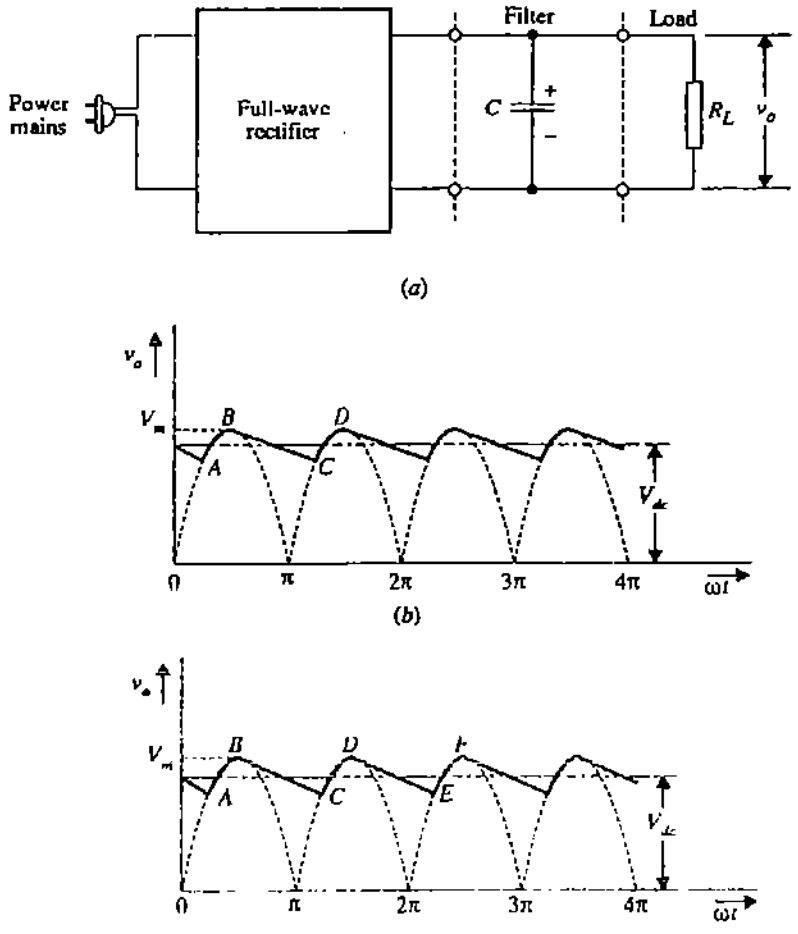
6.5 निस्यंदक परिपथ

दिष्टकरण का मुख्य उद्देश्य बैटरी की तरह अपरिवर्ती dc वोल्टता उपलब्ध कराना है। हम यह जानते हैं कि अर्ध तरंग दिष्टकारी की तुलना में पूर्ण तरंग दिष्टकारी उत्तम dc उपलब्ध कराता है। परन्तु, पूर्ण तरंग दिष्टकारी से ऊर्मिका मुक्त dc वोल्टता उपलब्ध नहीं होती। दिष्टकारी जो dc उपलब्ध कराते हैं, उन्हें हम "स्पंदनकारी dc" (pulsating dc) कह सकते हैं। हम दिष्टकृत वोल्टता से ac विचरणों (variations) का निस्यंदन या मसृण (smooth) कर सकते हैं। इसके लिए हम एक निस्यंदक या मसृणकारी परिपथ का प्रयोग करते हैं (देखिए चित्र 6.1)। इस भाग में हम विभिन्न प्रकार के निस्यंदक परिपथों पर चर्चा करेंगे।

6.5.1 धारिता निस्यंदक (Capacitance filter)

एक दिष्टकारी की ऊर्मिका निर्गत लोड की स्पंदों (pulse) में सप्लाई की गई ऊर्जा को निरूपित करता है। ऊर्मिका में हो रहे उतार-चढ़ाव को काफी सीमा तक कम किया जा सकता है, यदि निर्गत के कुछ भाग को उस समय संग्रहित कर लिया जाए, जब दिष्टकारी एक स्पंद उपलब्ध करा रहा हो तथा निर्गत स्पंदों के बीच फिर उसे लोड में विमुक्त कर दिया जाए। यह धारिता निस्यंदक का मूल सिद्धांत है।

इस प्रकार के निस्यंदक में लोड प्रतिरोध R_L के साथ शंट में एक अधिक मान वाला संधारित्र C होता है, जैसा कि चित्र 6.20 (क) में दिखाया गया है। धारिता के कारण धारा के ac घटकों को एक निम्न प्रतिरोध वाला पथ प्राप्त हो जाता है।



चित्र 6.20: शंट धारिता निस्यंदक के साथ पूर्ण तरंग दिष्टकारी।

dc (शून्य आवृत्ति वाले) के लिए यह एक खुला परिपथ है। सभी dc धाराएँ लोड से होकर जाती हैं। ac घटक का थोड़ा-सा भाग ही लोड से होकर जाता है, जिससे कि एक लघु ऊर्मिका वोल्टता उत्पन्न होती है।

संधारित्र उन प्रतिबंधों में परिवर्तन कर देता है जिनके अंतर्गत डायोड (दिष्टकारी के) चालन अवस्था में होते हैं। जब दिष्टकारी निर्गत वोल्टता में वृद्धि हो रही होती है, तो संधारित्र शिखर वोल्टता V_m तक आवेशित हो जाते हैं। धनात्मक शिखर तक पहुँचने के बाद दिष्टकारी की निर्गत वोल्टता नीचे आने का प्रयास करती है (चित्र 6.20 (ख) में बिन्दुकित वक्र देखिए)। परंतु, बिन्दु B पर संधारित्र की $+V_m$ वोल्टता होती है। क्योंकि स्रोत वोल्टता, V_m से किंचित मात्र कम हो जाती है, इसलिए संधारित्र डायोड (दिष्टकारी के) में धारा को पुनः लौटाने का प्रयास करेगा। यह डायोड को पश्चदिशिक बायसित कर देता है अर्थात् यह खुला परिपथ वाला हो जाता है।

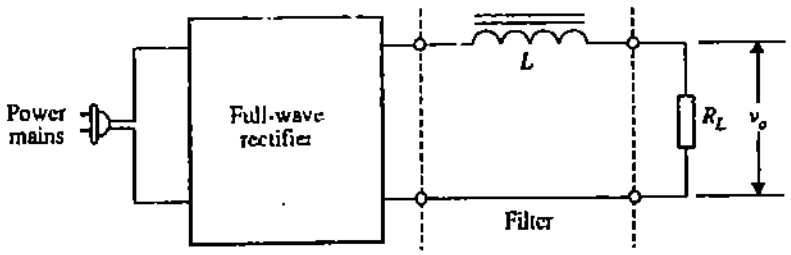
डायोड (खुला परिपथ) लोड से स्रोत को या तो असंबंधित कर देता है या अलग कर देता है। लोड के माध्यम से संधारित्र विसर्जित होना प्रारंभ कर देता है। इससे लोड वोल्टता का मान शून्य तक नहीं पहुँच पाता है। संधारित्र तब तक विसर्जित होता रहता है, जब तक कि स्रोत वोल्टता (बिन्दुकित वक्र) संधारित्र वोल्टता (बिन्दु C पर) से अधिक नहीं हो जाता। डायोड पुनः चालन करना प्रारंभ कर देता है और संधारित्र पुनः शिखर मान V_m तक आवेशित हो जाता है। जिस अवधि में संधारित्र आवेशित हो रहा होता है (बिन्दु C से बिन्दु D तक) उस अवधि में दिष्टकारी संधारित्र शाखा से प्रवाहित होती हुई आवेशी धारा i_C और लोड धारा i_L की सप्लाई करता है। जब संधारित्र विसर्जित होता है (बिन्दु B से बिन्दु C तक), तब दिष्टकारी किसी भी धारा की सप्लाई नहीं करता और संधारित्र लोड से होती हुई धारा i_L प्रेषित करता है। इस प्रकार हर समय लोड में धारा के प्रवाह को बनाए रखा जाता है।

जिस दर से संधारित्र बिन्दुओं B और C के बीच विसर्जित होता है (चित्र 6.20 क), वह दर कालांक (time constant) CR_L पर निर्भर करता है। यह कालांक जितना अधिक होगा, निर्गत वोल्टता उतनी ही अपरिवर्ती होगी। यदि लोड धारा काफी कम हो (अर्थात् R_L काफी बड़ा हो) तो संधारित्र बहुत अधिक विसर्जित नहीं हो पाता और औसत लोड वोल्टता V_{dc} शिखर मान से किंचितमात्र कम होती है (चित्र 6.20 ख देखें)।

लोड धारा में कोई भी वृद्धि होने पर (अर्थात् R_L के मान में कमी होने पर) विसर्जन पथ का कालांक कम हो जाता है। तब संधारित्र बहुत तेजी से विसर्जित होने लगता है और लोड वोल्टता नियत नहीं रह पाती (देखिए चित्र 6.20 ग)। लोड धारा में वृद्धि होने पर ऊर्मिका में भी वृद्धि होती है तथा dc निर्गत वोल्टता V_{dc} में कमी आती है।

6.5.2 प्रेरकत्व निस्यंदक (Inductance filter)

एक अन्य युक्ति प्रेरक (inductor) है जो बारी-बारी से वैद्युत ऊर्जा को संग्रहित करता है तथा उसे फिर विमुक्त करता है। इसके लिए वह प्रवाहित हो रही धारा से ऊर्जा लेता है और जब धारा में वृद्धि हो रही होती है, तब इसे वह चुंबकीय क्षेत्र के रूप में भंडारित कर लेता है। जब धारा में कमी आना प्रारंभ होता है, तब धारा को प्रवाहित होते रहने के लिए यह ऊर्जा विमुक्त करता है। प्रेरक की ऊर्जा भंडारित करने और विमुक्त करने की इस क्षमता का उपयोग दिष्टकारी के निर्गत में यकायक हुए परिवर्तन को रोकने में किया जा सकता है। इस गुणधर्म का उपयोग चित्र 6.21 में दिखाए गए प्रेरण निस्यंदन में किया जाता है। जब भी एक प्रेरक में धारा की प्रवृत्ति परिवर्तित होने की होती है, तब प्रेरक में एक "विरोधी emf" (back emf) प्रेरित हो जाता है। यह प्रेरित विरोधी emf धारा को अपने मान में परिवर्तन करने से रोकता है। यदि प्रेरक के न रहते परिपथ की धारा में कोई यकायक परिवर्तन होता हो, तो प्रेरक के उपस्थित हो जाने से यह परिवर्तन ठीक हो जाता है। चित्र 6.21 ख में निर्गत तरंग रूप पर इसके प्रभावों को दिखाया गया है। परिपथ में प्रेरक के न होने से जिस शिखर मान तक धारा या निर्गत वोल्टता पहुंच जाती है, उस मान तक प्रेरक निस्यंदक की उपस्थिति में धारा या निर्गत वोल्टता को नहीं पहुंचाया जा सकता, क्योंकि प्रेरक निस्यंदक ऐसा होने में रुकावट उत्पन्न करता है। अतः वह दिष्टकारी जिसमें एक प्रेरक निस्यंदक है, उतना उच्च निर्गत वोल्टता नहीं उत्पन्न कर पाएगी जितना कि वह दिष्टकारी जिसमें एक धारिता निस्यंदक है। फिर भी, निर्गत वोल्टता में परिवर्तन किए बिना प्रेरण निस्यंदक से अत्यधिक लोड धारा ली जा सकती है।



चित्र 6.21: प्रेरण निस्यंदक सहित पूर्ण तरंग दिष्टकारी।

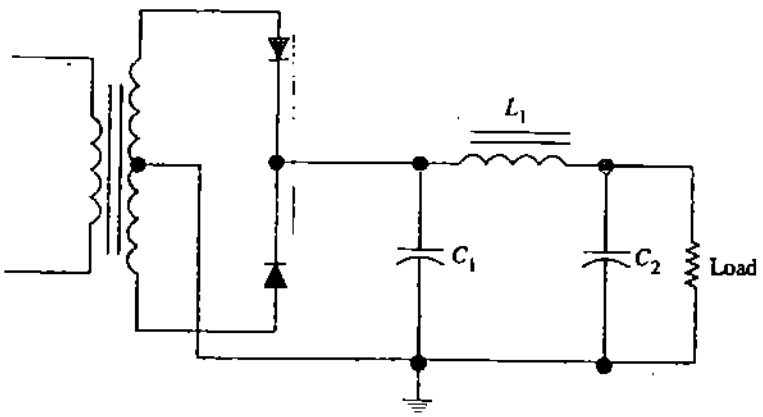
श्रेणी प्रेरण निस्यंदक का प्रचालन उससे होकर प्रवाहित होने वाली धारा पर निर्भर करता है। अतः इस निस्यंदक (और अगले उपभाग में बताया गया चोक-निवेश *LC* निस्यंदक) का प्रयोग केवल पूर्ण तरंग दिष्टकारी के साथ ही किया जा सकता है (क्योंकि इसमें हर समय धारा प्रवाहित होते रहने की आवश्यकता होती है) और, इससे होकर जितनी अधिक धारा प्रवाहित हो रही होगी, इसकी निस्यंदन क्रिया उतनी ही उत्तम होगी। अतः लोड धारा में वृद्धि करने से ऊर्मिका कम हो जाती है।

6.5.3 *LC* निस्यंदक

ऊपर हमने यह देखा है कि प्रेरण निस्यंदक का एक लक्षण यह है कि इसके कारण लोड धारा में वृद्धि करने पर ऊर्मिकाओं में कमी आने लगती है। इसकी ठीक उल्टी स्थिति संधारित्र निस्यंदक के साथ होती है। इस स्थिति में, लोड धारा में वृद्धि होने पर ऊर्मिकाओं में भी वृद्धि होने लगती है। *LC* निस्यंदक में प्रेरक निस्यंदक और शंट संधारित्र निस्यंदक दोनों के लक्षण होते हैं। अतः लोड धारा में परिवर्तन होने पर भी ऊर्मिकाएँ लगभग वही बनी रहती हैं। *LC* निस्यंदक दो प्रकार के होते हैं: संधारित्र निवेश निस्यंदक और चोक निवेश निस्यंदक। आइए, अब हम इन पर चर्चा करें।

संधारित्र निवेश निस्यंदक

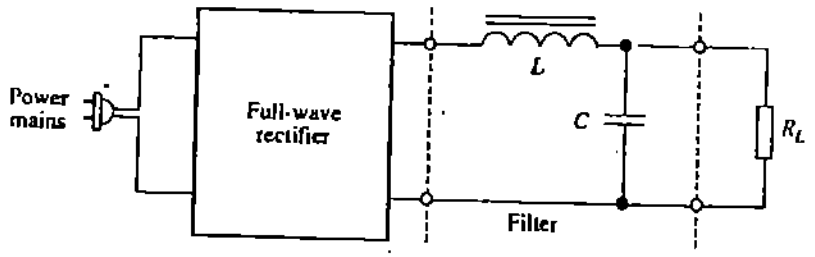
इस प्रकार के *LC* निस्यंदक को चित्र 6.22 में दिखाया गया है। इसे संधारित्र निवेश निस्यंदक इसलिए कहा जाता है, क्योंकि दिष्टकारी के बाद संधारित्र (C_1) ही सीधे निस्यंदन करने वाला पहला अवयव है। इसे "पाई" निस्यंदक भी कहा जाता है क्योंकि इसका व्यवस्थित चित्र ग्रीक अक्षर π से मिलता जुलता है।



चित्र 6.22: संधारित्र निवेश निस्यंदक।

इस प्रकार के निस्यंदक में संधारित्र C_1 वही कार्य करता है, जो कि एक सरल संधारित्र निस्यंदक करता है। यह दिष्टकृत निर्गत स्पंदों के शिखर मान पर आवेशित होता है और जब दिष्टकारी के निर्गत में कमी आने लगती है, तो लोड के माध्यम से विसर्जित होने लगता है। संधारित्र C_2 भी कुछ इसी प्रकार की निस्यंदन क्रिया करता है परन्तु थोड़ा कम। C_2 द्वारा निस्यंदित की गई निर्गत धारा और लोड द्वारा ली गई धारा दोनों में हो रहे परिवर्तनों का विरोध करके प्रेरक L_1 समग्र निस्यंदन क्रिया को और बढ़ा देता है।

इस प्रकार के निस्यंदन के निर्गत में केवल थोड़ी सी ऊर्मिकाएं होती हैं। फिर भी, इस प्रकार के निस्यंदक का वोल्टता नियमन उत्तम नहीं होता। ऐसा होने का कारण यह है कि जब यह दिष्टकृत स्पंदों के बीच विसर्जित होता है, तब C_1 की वोल्टता में कमी आ जाती है।



चित्र 6.23: चोक निवेश निस्यंदक।

चोक निवेश निस्यंदक

जब एक *LC* निस्यंदक में प्राथमिक निस्यंदन अवयव के रूप में एक प्रेरक का प्रयोग किया जाता है, तब नेटवर्क को चोक निवेश निस्यंदक कहा जाता है। यहाँ शब्द "चोक" का प्रयोग इसलिए किया गया है, क्योंकि प्रेरक में लोड की ओर ऊर्मिका वोल्टता के मार्ग को रोकने या चोक करने की क्षमता होती है। चित्र 6.23 में एक सरल चोक निवेश निस्यंदक दिखाया गया है। प्रेरक धारा में हो रहे परिवर्तनों का विरोध करता है जबकि संधारित्र मानक निस्यंदक संधारित्र की तरह आवेशित और विसर्जित होता है। क्योंकि प्रेरक दिष्टकारी की शिखर धारा को कम कर देता है और इस तरह, जिस अधिकतम वोल्टता तक संधारित्र आवेशित होता है, उसका मान भी कम हो जाने की वजह से चोक निवेश निस्यंदक की निर्गत वोल्टता संधारित्र निवेश निस्यंदक की निर्गत वोल्टता से कम होती है। परन्तु, इस निर्गत वोल्टता पर लोड धारा में परिवर्तन का प्रभाव अपेक्षाकृत कम पड़ता है।

6.6 निर्गत वोल्टता का नियमन

पिछले भाग में हमने निस्यंदक पर चर्चा की है। वहाँ हमने यह देखा है कि निस्यंदकों का प्रयोग ऊर्मिकाओं को कम करने और वोल्टता के नियमन के लिए किया जाता है। किसी भी पावर सप्लाई की एक अति महत्वपूर्ण विशेषता (characteristic) वह क्षमता है, जिस कारण लोड द्वारा सप्लाई से ली गई धारा की मात्रा में परिवर्तन होने पर भी इसकी निर्गत वोल्टता अचर बनी रहती है। इस अभिलक्षणिक को सप्लाई का **नियमन** (regulation) कहा जाता है। उस सप्लाई को उत्तम नियमन वाला माना जाता है जिसमें लोड धारा में बहुत अधिक परिवर्तन होने पर भी उसकी निर्गत वोल्टता में बहुत कम परिवर्तन होता हो। उस सप्लाई को जिसमें लोड धारा में वृद्धि होने पर निर्गत वोल्टता में तेजी से कमी आ जाती है, उसे उत्तम नियमन वाला नहीं मानते। कुछ पावर सप्लाई ऐसी होती है जिनमें स्वयं के अंदर मुख्यतः उत्तम प्रकार के निस्यंदक का प्रयोग होने के कारण नियमन उत्तम होता है। फिर भी, अनेक अनुप्रयोगों में इन सप्लाइयों के भी नियमन उत्तम नहीं होते। इनमें अतिरिक्त परिपथ लगाने पड़ते हैं, जिससे कि निर्गत वोल्टता अचर बनी रहे। इन अतिरिक्त परिपथों को वोल्टता नियमन परिपथ कहा जाता है।

मूलतः निम्नलिखित दो बातों के कारण निर्गत वोल्टता की प्रवृत्ति परिवर्तन करने की होती है। (i) उच्चावच (fluctuating) लाइन वोल्टता और (ii) उच्चावच लोड धारा। हर बार जब लाइन वोल्टता बढ़ती है, तो निर्गत वोल्टता भी बढती है। परन्तु, जब लोड धारा में वृद्धि होती है, तब निर्गत वोल्टता नीचे चली जाती है। ऐसा होने का कारण यह है कि वस्तुतः निर्गत वोल्टता वह होती है, जो कि सप्लाई से आंतरिक वोल्टता ह्रास को निकाल लेने के बाद बच रहता है। लोड में वृद्धि होने पर, आंतरिक ह्रास में वृद्धि होती है और निर्गत के लिए बहुत थोड़ा बच रहता है। इस तरह, हम निम्नलिखित दो शब्दों को परिभाषित करते हैं :

(i) स्रोत नियमन और (ii) लोड नियमन।

स्रोत नियमन (source regulation)

इसे स्रोत प्रभाव या लाइन नियमन भी कहा जाता है। यह लाइन वोल्टता के निर्दिष्ट परिसर में नियमित लोड वोल्टता में हुआ परिवर्तन है और इसे इस प्रकार परिभाषित करते हैं:

$$\%SR = \frac{SR}{V_{nom}} \times 100\%$$

कुल पावर निवेश $P_{in} = (I_{rms})^2 \times (r_d + R)$

$= (35.36 \times 10^{-3})^2 \times (800 + 4000)$

$= 6.0001$ वाट

ग) दिष्टकारी दक्षता $\eta = \frac{P_{dc}}{P_{in}} = \frac{4.056}{6.001} \times 100\% = 67.59\%$

घ) रूप गुणक, $\frac{I_{rms}}{I_{dc}} = \frac{35.36}{31.84} = 1.11.$

ङ) ऊर्मिका गुणक $= \sqrt{\left(\frac{I_{rms}}{I_{dc}}\right)^2 - 1} = \sqrt{(1.11)^2 - 1} = 0.48$

6.10 शब्दावली

अग्रदिशिक बायसन	—	forward biasing
अपचायी परिणामित्र	—	step-down transformer
अभिलक्षणिक	—	characteristic
उच्चायी परिणामित्र	—	step-up transformer
कालांक	—	time constant
दिष्टकरण	—	rectification
दिष्टकारी	—	rectifier
नियमन	—	regulation
निराकरक	—	eleminator
निस्यंदक	—	filter
परिवर्तक	—	converter
पश्चदिशिक बायसित	—	reverse biased
प्रतीप वोल्टता	—	inverse voltage
प्रतीप शिखर वोल्टता	—	peak inverse voltage
प्रेरक	—	inductor
भंजन	—	break down
मुख्य तार	—	mains

Uttar Pradesh
Rajarshi Tandon Open University

UGPHS-05

विद्युत परिपथ और इलेक्ट्रॉनिकी

खंड

3

रैखिक एकीकृत परिपथ

इकाई 7

संक्रियात्मक प्रवर्धक 5

इकाई 8

संक्रियात्मक प्रवर्धक के अनुप्रयोग 21

इकाई 9

रैखिक आई. सी.-प्रवर्धक और वोल्टता नियंत्रक 38

खण्ड 3 रैखिक एकीकृत परिपथ

पिछले दो खंडों में हमने इलेक्ट्रॉनिक परिपथों तथा युक्तियों की चर्चा की। इस खंड में हम रैखिक एकीकृत परिपथों की चर्चा करेंगे।

रैखिक एकीकृत परिपथ (Linear integrated circuits) आज कल इलेक्ट्रॉनिक्स की दुनिया में सबसे प्रचलित टेक्नॉलॉजी है। ट्रॉज़िस्टर का आविष्कार होने के बाद इलेक्ट्रॉनिक युक्तियों में निर्वात नलिका का इस्तेमाल काफ़ी कम हो गया। वस्तुतः इलेक्ट्रॉनिक इंजीनियरों ने हर उस युक्ति में जिसमें पहले निर्वात नलिका का इस्तेमाल होता था, ठोस अवस्था घटकों का इस्तेमाल शुरू कर दिया। इतनी बड़ी तब्दीली के पीछे एक प्रमुख कारण यह था कि ठोस अवस्था घटकों के इस्तेमाल से इलेक्ट्रॉनिक उपकरणों का साइज़ बहुत छोटा हो गया और साथ ही साथ उनकी विश्वसनीयता में कोई कमी नहीं आई।

इलेक्ट्रॉनिक उपकरणों की विश्वसनीयता को बेहतर करने तथा उनके साइज़ व कीमत कम करने के सतत प्रयासों के फलस्वरूप रैखिक एकीकृत परिपथों (Linear integrated circuits यानी आई. सी.) का जन्म हुआ। सबसे पहला आइ. सी., 1959 में, टेक्सास इन्स्ट्रूमेन्टस नामक एक अमरीकी कंपनी ने बनाया था। यह परिपथ एक संक्रियात्मक प्रवर्धक (Operational amplifier, op amp या ऑप एम्प) का था। इकाई 7 में हम ऑप एम्प की तकनीकी बारीकियों, अभिलक्षणों और कार्यविधि का अध्ययन करेंगे।

इकाई 8 में हम ऑप एम्प के कुछ महत्वपूर्ण अनुप्रयोगों का अध्ययन करेंगे जैसे कि एक ऑप एम्प का प्रतिलोमी (inverting) और अप्रतिलोमी (noninverting) प्रवर्धक के रूप में अनुप्रयोग। हम यह भी देखेंगे कि किसी ऑप एम्प का उपयोग योजक (adder), अवकलक (differentiator) और समाकलक (integrator) के रूप में किस तरह किया जा सकता है।

इकाई 9 में हम विशिष्ट उद्देश्य के लिए बनाए गए एकीकृत परिपथों का अध्ययन करेंगे। श्रवण उपकरणों में पॉवर एम्प्लीफ़ायर के रूप में आई.सी. LM 380 के अनुप्रयोग का अध्ययन भी हम इसी इकाई में करेंगे। 7800 व 7900 श्रेणी के स्थिर धनात्मक व स्थिर ऋणात्मक वोल्टता नियंत्रक आई.सी. तथा LM 317 व LM 337 श्रेणी के समंजनीय धनात्मक व ऋणात्मक वोल्टता नियंत्रक आई.सी. की भी चर्चा हम इसी इकाई में करेंगे।

इकाई 7 संक्रियात्मक प्रवर्धक

इकाई की रूपरेखा

7.1 प्रस्तावना
उद्देश्य
7.2 ऑप एम्प का तकनीकी विवरण
प्रतीक
पैकेज
संख्या कोड
विद्युत प्रदाय
सावधानियां
7.3 ऑप एम्प के अभिलक्षण
निवेश-निर्गम संबंध
निवेश ऑफसेट वोल्टता
निर्गम आफसेट वोल्टता
अवकल निवेश प्रतिरोध
निर्गम प्रतिरोध
उभयनिष्ठविधा निराकरण अनुपात
अधिकतम निर्गम धारा
शक्ति की खपत
द्रुत घूर्णन दर
लब्धि बैंड विस्तार गुणनफल
आदर्श ऑप एम्प तथा 7I4 C के अभिलक्षण
7.4 ऑप एम्प का तुल्य परिपथ
7.5 आदर्श वोल्टता स्थानांतरण वक्र
7.6 कम्पैरेटर के रूप में ऑप एम्प
वोल्टता स्तर संसूचक
शून्य क्रॉसिंग संसूचक
7.7 सारांश
7.8 अंत में कुछ प्रश्न
7.9 हल और उत्तर

7.1 प्रस्तावना

संक्रियात्मक प्रवर्धक (operational amplifier, OPAMP- ऑप एम्प) की रचना सबसे पहले 1948 में एक एकल निर्वात नलिका के आधार पर की गई थी। शुरू-शुरू में ऑप एम्प का प्रमुख उपयोग अनुरूप (analogue) कम्प्यूटरों में किया जाता था। दरअसल, ऑप एम्प का नाम "संक्रियात्मक" इसलिए पड़ा क्योंकि इनका उपयोग जोड़, बाकी, गुणा, भाग तथा अवकल समीकरणों को हल करने जैसी गणितीय संक्रियाओं में होता था।

अनुरूप कम्प्यूटरों की यथार्थता मात्र दशमलव के तीसरे स्थान तक थी। इस वजह से इनका उपयोग भी सीमित रहा। आगे चलकर इनका स्थान अंकीय (digital) कम्प्यूटरों ने ले लिया जो ज्यादा तेज़, ज़्यादा यथार्थ थे और जिनसे बहुत से काम लिए जा सकते थे। एकीकृत परिपथ (integrated circuit, इन्टीग्रेटेड सर्किट - आई.सी.) टेक्नॉलॉजी के विकास के साथ साठ के मध्य दशक में नाना किस्म के आइ.सी. आधारित ऑप एम्प बनाये जाने लगे और ये बाज़ार में भी उपलब्ध हो गए। विविक्त अवयवों पर आधारित प्रवर्धकों के मुकाबले आई.सी.ऑप एम्प में बिजली की खपत बहुत कम होती थी। ये सस्ते भी थे और जगह भी कम घेरते थे। ऐसे ऑप एम्पों के बाज़ार में आसानी से उपलब्ध हो जाने के कारण परिपथ डिज़ाइन का काम काफ़ी आसान हो गया। साथ ही, एक-दो ऑप एम्पों, चन्द प्रतिरोधकों और कुछ अन्य अवयवों की मदद से बहुत अच्छी क्वालिटी के प्रवर्धक, संकेत जनित्र, माडुलक वगैरह बनाना सुम्भव हो गया।

हाल के वर्षों में आइ.सी. टेक्नॉलॉजी में जो नफ़ासत पैदा हुई है, उसकी बदौलत उत्पादनकर्त्ता विशिष्ट उद्देश्यों के लिए ऑप एम्प का उत्पादन करने में भी समर्थ हुए हैं। द्वैत (dual) व क्वाड (quad) ऑप एम्प पैकेजों में एक ही चिप पर क्रमशः दो व चार ऑप एम्प होते हैं। ये बाज़ार में आसानी से मिलते हैं और काफ़ी सस्ते होते हैं।

ऑप एम्प का उपयोग करने वाले के लिए यह जानना कतई ज़रूरी नहीं होता कि एक इकलौती चिप पर बने ऑप एम्प का वास्तविक परिपथ कैसा है। उपयोग करने वाले को परिपथ से न तो कोई जानकारी मिलती है और न ही वह इसे बदल सकता है। उपयोगकर्त्ता के लिए तो बस इतना भर जानना काफ़ी होता है कि उस ऑप एम्प के निष्पादन अभिलक्षण (performance characteristics) क्या हैं। यह जानकारी उत्पादनकर्त्ता द्वारा दी गई डेटा शीट (data sheet) में उपलब्ध रहती है। इन अभिलक्षणों की जानकारी के आधार पर उपयोगकर्त्ता उस ऑप एम्प का उपयोग किसी भी उपयुक्त कार्य के लिए कर सकता है।

उद्देश्य

इस इकाई का अध्ययन करने के बाद आप

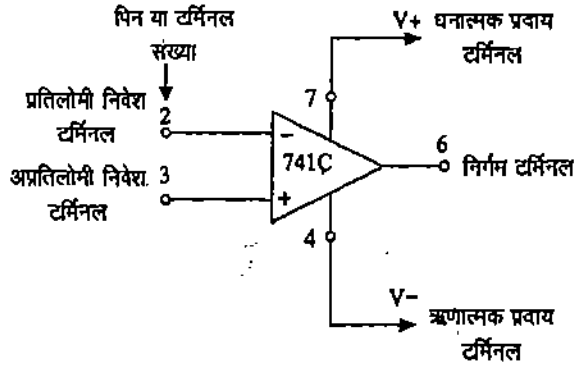
- ऑप एम्प का व्यवस्थात्मक (schematic) प्रतीक बना पाएंगे,
- ऑप एम्प आई.सी. के दो किस्मों के पैकेजों के बीच भेद कर पाएंगे,
- ऑप एम्प 741C का पिन-आउट रेखाचित्र बना सकेंगे,
- आई.सी पर छपे संख्या कोड को देखकर किसी ऑप एम्प के उत्पादक का नाम तथा उसका तापमान परास (रेंज) पता कर सकेंगे,
- ऑप एम्प की विद्युत प्रदाय आवश्यकताओं को समझा पाएंगे,
- ऑप एम्प के उपयोग में बरती जाने वाली सावधानियां बता पाएंगे,
- ऑप एम्प का निवेश-निर्गम सम्बन्ध प्रतिपादित कर पाएंगे,
- ऑप एम्प के लिए निवेश ऑफ़सेट वोल्टता, निर्गम ऑफ़सेट वोल्टता, अवकल निवेश प्रतिरोध, निर्गम प्रतिरोध, उभयनिष्ठविधा निराकरण अनुपात, अधिकतम निर्गम धारा, शक्ति की खपत, द्रुत घूर्णन दर तथा लब्धि बैण्ड विस्तार गुणनफल को परिभाषित कर सकेंगे,
- एक आदर्श ऑप एम्प तथा एक 741C के अभिलक्षणों के बीच भेद कर पाएंगे,
- किसी ऑप एम्प के तुल्य परिपथ का विवरण दे पाएंगे,
- किसी ऑप एम्प के लिए आदर्श वोल्टता स्थानांतरण वक्र चित्रित कर पाएंगे,
- कम्पेरेटर तथा शून्य क्रॉसिंग संसूचक का वर्णन कर पाएंगे।

7.2 ऑप एम्प का तकनीकी विवरण

ऑप एम्प का उपयोग सीखने से पहले, इस भाग में हम ऑप एम्प का सामान्य तकनीकी विवरण जानेंगे और संबंधित ज़रूरतों के बारे में सीखेंगे।

7.2.1 प्रतीक

ऑप एम्प के लिए प्रयुक्त प्रतीक चित्र 7.1 में दिखाया गया है। यह एक त्रिभुज होता है जो संकेत के प्रवाह की ओर इंगित करता है। यह प्रतीक एक अत्यंत लोकप्रिय ऑप एम्प 741C में, जो बहुत से अनुप्रयोगों में काम आता है, अवयव पहचान संख्या (part identificaion number, PIN) भी दिखाता है। सभी ऑप एम्पों में कम से कम पाँच टर्मिनल होते हैं – दो निवेश के लिए, दो विद्युत प्रदाय (power supply) के लिए और एक निर्गम के लिए। सामान्य तौर पर इस्तेमाल किए जाने वाले 741C में अन्य टर्मिनल भी होते हैं।



चित्र 7.1: ऑप एम्प का परिपथ प्रतीक।

ऑप एम्प में निवेश हेतु दो टर्मिनल होते हैं। पिन 2 को प्रतिलोमी निवेश (उल्टा करने वाला निवेश- inverting input) कहते हैं क्योंकि जब इसे निवेश दिया जाता है तो पिन 6 पर 180 अंश के कलांतर वाला निर्गम मिलता है। पिन 3 को अप्रतिलोमी निवेश (noninverting input) कहते हैं क्योंकि यहां निवेश देने पर पिन 6 पर बगैर कलांतर के निर्गम मिलता है। इसलिए अक्सर पिन 2 को (–) चिह्न से और अप्रतिलोमी निवेश को (+) चिह्न से दर्शाया जाता है। इन (–) व (+) टर्मिनल को प्रायः अन्तर निवेश टर्मिनल (differential input terminal) भी कहते हैं। इनके बीच वोल्टता के अन्तर पर निर्गम वोल्टता निर्भर करती है।

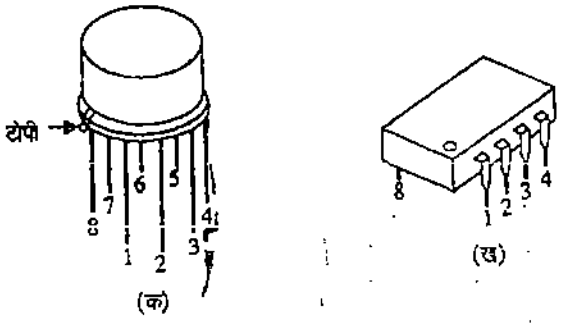
द्विध्रुवी विद्युत प्रदाय (dual power supply) का ऋणात्मक वोल्टता टर्मिनल, पिन 4 से जोड़ा जाता है और धनात्मक वोल्टता टर्मिनल, पिन 7 से । ध्यान रखें कि पिन 4 व 7 पर प्रयुक्त वोल्टता की ध्रुवणता (polarity) उल्टी कर देने पर ऑप एम्प क्षतिग्रस्त हो जाएगा और फिर इसका इस्तेमाल नहीं हो सकेगा।

बोध प्रश्न 1

निवेश और निर्गम पिनों के क्रमांक क्या हैं?

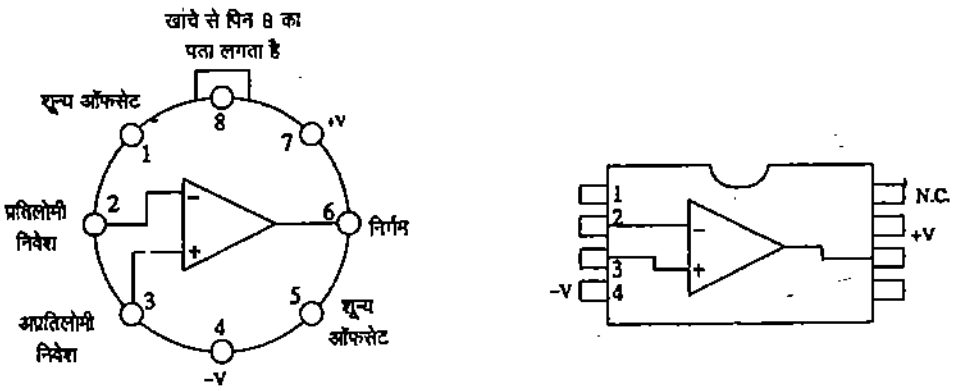
7.2.2 पैकेज

ऑप एम्प का निर्माण एक सिलिकॉन चिप पर किया जाता है और इसे उपयुक्त पैकेज में रखा जाता है। ऑप एम्प 741C दो निहायत लोकप्रिय पैकेजों में उपलब्ध हैं : (क) धातु का डिब्बा और (ख) ड्युअल-इन-लाइन पैकेज (D.I.P.) । ये पैकेज क्रमशः चित्र 7.2 (क) और 7.2 (ख) में



चित्र 7.2: ऑप एम्प पैकेज। (क) धातु का डिब्बा और (ख) 8-पिन वाला DIP पैकेज।

दिखाए गए हैं। उत्पादनकर्त्ता अपनी डैटा शीट में अक्सर ऑप एम्प प्रतीक व पैकेज का चित्र एक साथ देते हैं। ये मिश्रित चित्र क्रमशः चित्र 7.3 (क) और 7.3 (ख) में दिए गए हैं।



(क) 8 सिरों वाले धातु के डिब्बे (TO-99) का ऊपरी दृश्य

(ख) 8 सिरों वाले Clip का ऊपरी दृश्य

चित्र 7.3: (क) धातु के डिब्बे और (ख) 8- पिन DIP पैकेज वाले ऑप एम्प के पिन चित्र। NC का मतलब है, no connection यानी कोई संबंधन नहीं।

ऑप एम्प समेत प्रत्येक आइ.सी में पिनों की गिनती निम्नानुसार की जाती है। आई.सी को ठीक ऊपर से देखें। डी.आई.पी के मामले में देखें कि उस पर कोई खांचा या बिन्दु बना होगा। धातु के डिब्बे वाले पैकेज पर एक टोपी सी बनी होती है। खांचा या बिन्दु या टोपी ही पिन 1 की पहचान है जो कि इसके बाईं ओर होती है। पिन 1 के बाद की पिनों की गिनती वामावर्त दिशा में की जाती है। यहां आपको एक सावधानी बरतनी पड़ेगी : नीचे की ओर से देखकर कदापि गिनती न करें।

बोध प्रश्न 2

आई.सी. पिनों को किस तरह गिना जाता है?

7.2.3 संख्या कोड

उन आइ.सी पैकेजों पर जिनमें ऑप एम्प होते हैं, कुछ संख्याएँ छपी होती हैं जिनकी मदद से आई.सी. को पहचाना जाता है। उदाहरण के लिए, मान लीजिए किसी आई.सी के पैकेज पर CA741 CP छपा है। प्रथम दो अक्षर "CA" उत्पादनकर्त्ता का कोड है। CA दरअसल आर.सी.ए. का कोड है, AD Analog Devices (अनुरूप युक्तियों) का, LM नेशनल सेमीकन्डक्टर कार्पोरेशन का, μA फेयर चाइल्ड का कोड है, आदि। 741C शब्द इस बात का परिचायक है कि यह ऑप एम्प परिपथ व्यापारिक कार्यों के लिए इस्तेमाल होता है। किसी अन्य प्रकार के आई.सी के लिए यह शब्द तीन से सात तक के अंकों एवं अक्षरों का हो सकता है। 741C में C, व्यापारिक तापमान परास (0 से 70° सेल्सियस) का सूचक है। अन्य तापमान कोड है : I– औद्योगिक कार्यों के लिए (–25 से 85°C) से तथा M– फौजी कार्यों के लिए (–55 से 125°C) । अन्तिम अक्षर P प्लास्टिक पैकेज का द्योतक है।

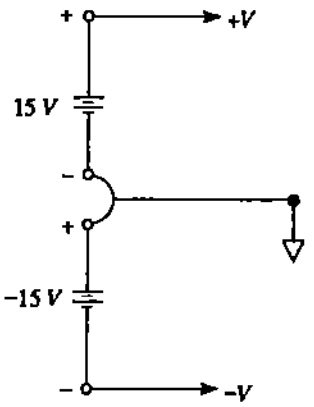
बोध प्रश्न 3

संख्या कोड LM741C वाले आई.सी. की पहचान बताइए।

7.2.4 विद्युत प्रदाय

व्यापक रूप से इस्तेमाल होने वाले किसी ऑप एम्प (741C) का बायसन करने के लिए एक

द्विध्रुवीय विद्युत प्रदाय (power supply) की ज़रूरत होती है। ऑप एम्प के लिए (+ 15) – 0 – (–15) V या (+9) – 0 – (–9) V वोल्टता प्रदान करने वाले विद्युत प्रदायों का उपयोग किया जाता है जो बाज़ार में उपलब्ध होते हैं। वोल्टता के इस परास को अक्सर ± 15 V या ± 9V के रूप में लिखा जाता है। जैसा कि चित्र 7.4 में दिखाया गया है, एक साझा टर्मिनल पर दो बराबर वोल्टता के स्रोतों का उपयोग भी किया जा सकता है।



चित्र 7.4: द्विध्रुवी विद्युत प्रदाय।

बोध प्रश्न 4

ऑप एम्प 741C की उन पिनों के नाम बताइए जिनसे विद्युत प्रदाय को जोड़ा जाता है।

7.2.5 सावधानियाँ

जिस परिपथ में ऑप एम्प को उपयोग किया जाना है, उसे ब्रेड बोर्ड पर या मुद्रित परिपथ बोर्ड पर बनाया जाता है। परिपथ बनाते व उपयोग करते समय कुछ सावधानियाँ सदैव याद रखनी चाहिए :

- पूरे परिपथ में तारों को जोड़ने का काम विद्युत प्रदाय बंद करके ही करें।
- यथासंभव छोटे से छोटे तार का उपयोग करें।
- समस्त भौम संबंधन (ground connections) एक ही बिन्दु पर जुड़ने चाहिएं।
- सबसे पहले ऑप एम्प को विद्युत सप्लाई (± V) की जानी चाहिए।
- ऑप एम्प को विद्युत सप्लाई करने के बाद ही संकेत लगाएं।
- सदैव वोल्टताओं का मापन करें, धाराओं का नहीं। किसी प्रतिरोधक के दो सिरों के बीच वोल्टता पता करके धारा की गणना की जा सकती है।
- जब काम पूरा हो जाए तो पहले संकेत को हटाएं, उसके बाद ही ऑप एम्प की विद्युत प्रदाय बन्द करें।

यहाँ हम यह बात ज़ोर देकर कहना चाहेंगे कि नीचे दी गई बातें हरगिज़ हरगिज़ न करें :

- बायस वोल्टता की ध्रुवणता (polarity) उलटना।
- +V से ज़्यादा या –V से कम संकेत वोल्टता का प्रयोग करना।
- ऑप एम्प को विद्युत सप्लाई न होते हुए भी ए सी संकेत जोड़ना।

बोध प्रश्न 5

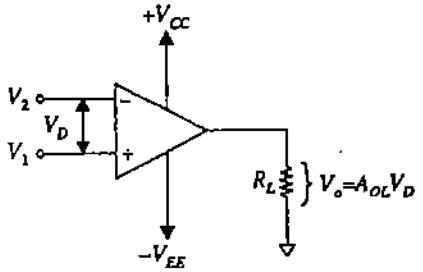
क्या आप द्विध्रुवी विद्युत प्रदाय का धनात्मक टर्मिनल ऑप एम्प की पिन 4 से तथा ऋणात्मक टर्मिनल पिन 7 से जोड़ सकते हैं? क्यों ?

7.3 ऑप एम्प के अभिलक्षण

एक संक्रियात्मक प्रवर्धक के आदर्श अभिलक्षणों की चर्चा हम थोड़ी देर बाद करेंगे। फ़िलहाल, यह याद रखें कि एक आदर्श संक्रियात्मक प्रवर्धक की वोल्टता लब्धि और निवेश प्रतिबाधा (impedance) अनन्त होती हैं और निर्गम प्रतिबाधा शून्य होती है। अलबत्ता वास्तविक ऑप एम्प के अभिलक्षण इनसे अलग होते हैं।

7.3.1 निवेश-निर्गम संबंध

जैसा कि हमने पहले बताया, ऑप एम्प, निवेश पिन 3 व पिन 2 के बीच मौजूद वोल्टता अन्तर को प्रवर्धित करते हैं। यदि वोल्टता का अन्तर V_D हो और ऑप एम्प की लब्धि A हो तो निर्गम वोल्टता AV_D होती है। चित्र 7.5 में पिन 3 की वोल्टता को V_1, तथा पिन 2 की वोल्टता को V_2 मान दिए गए हैं। अतः



चित्र 7.5: निर्गम वोल्टता, निवेश अंतर वोल्टता पर निर्भर होती है।

$$V_D = V_1 - V_2$$

और निर्गम वोल्टता है :

$$V_0 = A\ (V_1 - V_2) = AV_D$$

इससे निम्नानुसार वोल्टता लब्धि मिलती है :

$$A = \frac{V_0}{V_D}$$

इस समीकरण में दी गई वोल्टता लब्धि को कई नामों से जाना जाता है - वृहत् संकेत वोल्टता लब्धि (large signal voltage gain - LSVG), खुला पाश लब्धि (open loop gain - AOL) या अंतर वोल्टता लब्धि (differential voltage gain A_D) ।

याद रखें कि अन्तर वोल्टता (difference voltage V_D) की गणना निम्नानुसार की गई है:

V_D = पिन 3 पर वोल्टता (V_1) - पिन 2 पर वोल्टता (V_2)

V_1 तथा V_2 दोनों का मापन भोम (ground) की तुलना में किया जाता है। ध्यान रखें कि आदर्श संक्रियात्मक प्रवर्धक की लब्धि अनन्त होती है जबकि किसी वास्तविक प्रवर्धक, मसलन µA 741C की लब्धि 200,000 ही होती है। अर्थात् सैद्धांतिक रूप से निर्गम वोल्टता, V_D की 200,000 गुणा होनी चाहिए। परंतु किसी भी प्रवर्धक से, विद्युत प्रदाय द्वारा दी गई बायस वोल्टता से ज्यादा वोल्टता प्राप्त नहीं की जा सकती। लिहाज़ा निर्गम वोल्टता का सीधा संबंध बायस वोल्टता से होता

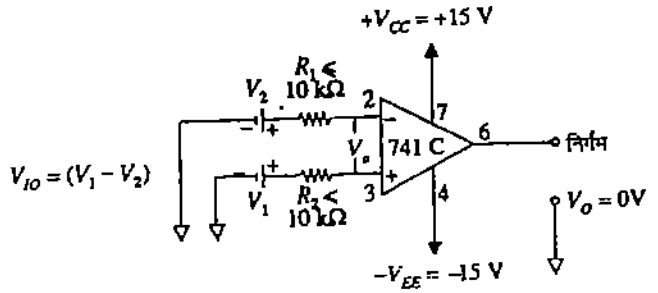
है। दरअसल, ऑप एम्प में कई ट्रांज़िस्टर लगे होते हैं। इनके आरपार कुछ वोल्टताओं को लागू किया जाता है ताकि ये सुचारू रूप से काम करते रहें। इसी वजह से निर्गम वोल्टता हमेशा बायस वोल्टता से कम ही रहती है। निर्गम वोल्टता V_o की उच्चतम सीमा, धनात्मक संतृप्ति वोल्टता (saturation voltage) $+V_{SAT}$ तथा न्यूनतम सीमा, ऋणात्मक संतृप्ति वोल्टता $-V_{SAT}$ होती है। आमतौर पर प्रयुक्त ऑप एम्प के लिए, जिसे ± 15 V की विद्युत प्रदाय से बायसित किया गया हो, $+V_{SAT}$ तथा $-V_{SAT}$ क्रमशः + 14 V तथा – 13V होते हैं। अतः ऐसे ऑप एम्पों के लिए शिखर-शिखर सममित प्रदोल (peak-to-peak symmetrical swing) 13V से ज़्यादा नहीं होगा। यहां यह याद रखें कि यदि पिन 3 पर निवेश, पिन 2 से ज़्यादा होगा तो V_o धनात्मक होगा और तब निर्गम, भौम से ज्यादा होगा और इसका मान $+V_{SAT}$ होगा। और यदि पिन 2 का निवेश पिन 3 से ज़्यादा है तो V_o ऋणात्मक होगा तथा निर्गम, भौम से कम होगा और यह $-V_{SAT}$ के बराबर होगा।

बोध प्रश्न 6

ऑप एम्प में निवेश अंतर वोल्टता की गणना कैसे की जाती है?

7.3.2 निवेश ऑफ़सेट वोल्टता

निवेश ऑफ़सेट वोल्टता (input offset voltage) उस वोल्टता को कहते हैं, जिसे पिन 2 व 3 के बीच में लगाने पर पिन 6 पर शून्य निर्गम प्राप्त होता हो। यदि पिन 3 व 2 पर लगाई गई डी.सी. निवेश वोल्टताएं क्रमशः V_1 व V_2 हों (जैसा कि चित्र 7.6 में दिखाया गया है) तो निवेश ऑफ़सेट वोल्टता $V_{IO} = V_1 - V_2$ होती है और निर्गम वोल्टता शून्य होती है। V_{IO} का परिमाण ऋण या धन



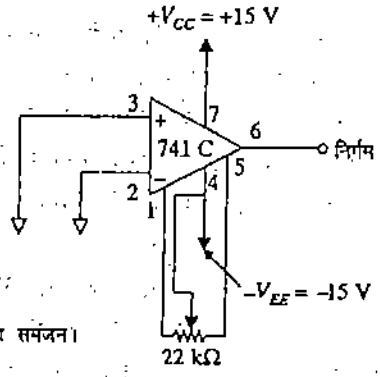
चित्र 7.6: निवेश ऑफ़सेट वोल्टता का मापन।

कुछ भी हो सकता है। V_{IO} का मान जितना कम होगा, निवेश टर्मिनल का सुमेलन (matching) उतना ही अच्छा होता है। 741 C के मामले में V_{IO} का अधिकतम मान 6mV होता है।

7.3.3 निर्गम ऑफ़सेट वोल्टता

जब दोनों निवेश शून्य हों या भूसंपर्कित (grounded) हों, तो आदर्श परिस्थिति में ऑप एम्प की निर्गम वोल्टता शून्य होनी चाहिए। लेकिन ज़रूरी नहीं कि ऐसा वास्तव में हो। दोनों निवेशों को भौम से जोड़ देने के बाद भी कुछ निर्गम वोल्टता प्राप्त हो सकती है। इस वोल्टता को निर्गम ऑफ़सेट वोल्टता (output offset voltage) कहते हैं और इसका मान शून्य किया जाना चाहिए वरना मापन के परिणाम अयथार्थ होंगे।

निर्गम ऑफ़सेट वोल्टता को शून्य करने के लिए उच्च प्रतिरोध (मसलन 22 kΩ प्रतिरोध) का कार्बन विभवमापी पिन 1 व 5 के बीच लगा दिया जाता है और वाइपर (wiper) पिन 4 से जोड़ दिया जाता है, जैसा कि चित्र 7.7 में दिखाया गया है । वाइपर की स्थिति को इस तरह समंजित किया जाता है कि निर्गम ऑफ़सेट वोल्टता शून्य हो जाए। यदि इसके बावजूद भी निर्गम ऑफ़सेट वोल्टता शून्य नहीं होती, तो एक वोल्टता प्रतिपूरण जाल (compensating network) डिज़ाइन किया जाता है (जो इस इकाई के दायरे में नहीं आता)।



चित्र 7.7: निर्गम ऑफसेट वोल्टता का समंजन।

बोध प्रश्न 7

निर्गम ऑफसेट वोल्टता क्या होती है?

7.3.4 अवकल निवेश प्रतिरोध

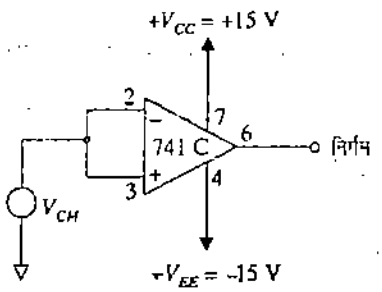
अवकल निवेश प्रतिरोध (differentiating input resistanee) R_i को आम तौर पर ऑप एम्प का निवेश प्रतिरोध (input resistance) कहा जाता है। यह वह तुल्य प्रतिरोध है, जिसे प्रतिलोमी या अप्रतिलोमी किसी भी निवेश टर्मिनल पर मापा जा सकता है, जबकि दूसरा टर्मिनल भौम से जुड़ा हो। आदर्श स्थिति में यह प्रतिरोध अनन्त होता है। परंतु 741C के लिए R_i का मान 2 MΩ है।

7.3.5 निर्गम प्रतिरोध

निर्गम प्रतिरोध R_o वह तुल्य प्रतिरोध है, जिसे निर्गम पिन 6 तथा भौम के बीच मापा जाता है। आदर्श स्थिति में R_o शून्य होता है लेकिन 741C के लिए इसका मान 75 Ω होता है।

7.3.6 उभयनिष्ठविधा निराकरण अनुपात

कई बार ऐसी स्थितियाँ हो सकती हैं, जब ऑप एम्प का उपयोग रव (noise) वाले वातावरण में



चित्र 7.8: उभयनिष्ठ विधा संयोजन।

किया जाता है। तब हो सकता है कि पिन 2 और पिन 3 कुछ रव वोल्टता (noise voltage) पकड़ लें। चूंकि ऑप एम्प दो निवेश टर्मिनल पर वोल्टता अन्तर को प्रवर्धित करता है और दोनों ही टर्मिनल एक ही रव वोल्टता पकड़ते हैं, इसलिए आदर्श रूप में तो रव की वजह से निर्गम वोल्टता शून्य होनी चाहिए और इस तरह अनचाहे रव संकेत निरसित हो जाने चाहिए। यह जाँच करने के लिए कि क्या इस काम के लिए दोनों टर्मिनल ठीक से सुमेलित हैं, उभयनिष्ठविधा निराकरण अनुपात (common mode rejection ratio- CMRR) का उपयोग किया जाता है। विभिन्न उत्पादनकर्ता इसे अलग-अलग ढंग से परिभाषित करते हैं मगर मूलतः सभी समान हैं। यह खुला पाश वोल्टता लब्धि (open loop voltage gain A_{vol}) और उभयनिष्ठविधा वोल्टता लब्धि

(common mode voltage gain A_{CM}) के अनुपात के रूप में परिभाषित किया जाता है :

$$CMRR = \frac{A_{OL}}{A_{CM}}$$

उभयनिष्ठविधा वोल्टता लब्धि A_{CM} का चित्र 7.8 में दिखाए गए तरीके से पता किया जाता है। दोनों निवेश टर्मिनल को आपस में जोड़ दिया जाता है और दोनों को एक समान उभयनिष्ठविधा वोल्टता V_{CM} दी जाती है और उभयनिष्ठविधा निर्गम वोल्टता V_{OCM} को नोट कर लिया जाता है। उभयनिष्ठ विधा वोल्टता लब्धि की गणना इस तरह की जाती है :

$$A_{CM} = \frac{V_{OCM}}{V_{CM}}$$

अतः A_{CM} यथासंभव कम से कम होना चाहिए और आदर्श रूप में तो शून्य होना चाहिए। CMRR बहुत अधिक होना चाहिए, आदर्श रूप में अनन्त होना चाहिए। CMRR का मान जितना अधिक होगा, निवेश टर्मिनल का सुमेलन उतना ही अधिक होगा तथा V_{OCM} उतना ही कम होगा। चूंकि CMRR का मान काफी अधिक होता है, इसलिए इसका मापन डेसिबल (dB) की इकाई में किया जाता है। ऑप एम्प 741C के लिए इसका मान 90 dB होता है।

बोध प्रश्न 8

क्या आप एक ऐसे ऑप एम्प का इस्तेमाल करेंगे, जिसका CMRR का हो?

7.3.7 अधिकतम निर्गम धारा

जाहिर है कि अधिकतम निर्गम धारा (maximum output current) तब बहती है, जब निर्गम टर्मिनल का लघुपथन (short circuiting) कर दिया गया हो। लेकिन यह ऑप एम्प को क्षतिग्रस्त कर देगा। आप नहीं चाहेंगे कि दुर्घटनावश भी ऐसा हो। 741 परिवार के सभी ऑप एम्प में सुरक्षा परिपथ अन्तर्निहित रूप से बना होता है तथा वे 25 mA तक के धारा मान के लिए सुरक्षित होते हैं। अतः अधिकतम निर्गम लघुपथ धारा 25 mA होती है।

7.3.8 शक्ति की खपत

शून्य निवेश वोल्टता पर किसी ऑप एम्प को सुचारू रूप से चलाने के लिए जितनी बिजली लगती है, उसे ऑप एम्प की शक्ति खपत (power consumption) कहते हैं। 741C के लिए यह खपत 855 mW होती है। ऑप एम्प विद्युत प्रदाय से 2.8 mA की धारा भी खींचता है।

7.3.9 द्रुत घूर्णन दर

द्रुत घूर्णन दर (slew rate) दर्शाती है कि निवेश आवृत्ति के बदलने पर ऑप एम्प के निर्गम में कितनी तेजी से परिवर्तन होता है। इसे इकाई समय (माइक्रोसेकण्ड) में, निर्गम वोल्टता (वोल्ट में) में परिवर्तन की अधिकतम दर के रूप में परिभाषित किया जाता है। अर्थात्

$$SR = \left.\frac{dV_o}{dt}\right|_{max} \text{ V/}\mu\text{s}$$

द्रुत घूर्णन दर वोल्टता लब्धि के साथ बदलती है। आम तौर पर उत्पादनकर्त्ता इसका मान इकाई संवृत्त पाश (closed loop) लब्धि (+1) के लिए निर्दिष्ट करते हैं। आदर्श रूप में द्रुत घूर्णन दर अनन्त होनी चाहिए। 741C की एक खामी यह है कि इसकी द्रुत घूर्णन दर 0.5 V/ μs है। इस वजह से उच्च आवृत्ति पर इसका उपयोग नहीं किया जा सकता। उच्च आवृत्तियों के लिए विशिष्ट

कार्यों के लिए बने अन्य ऑप एम्प चुनने होते हैं। नवीनतम ऑप एम्प LF 351, μ AF 771 और MC 34001 की द्रुत घूर्णन दर 13 V/μs होती है और उच्च गति ऑप एम्प LM 318 की द्रुत घूर्णन दर 70 V/μs होती है।

7.3.10 लब्धि बैंड विस्तार गुणनफल

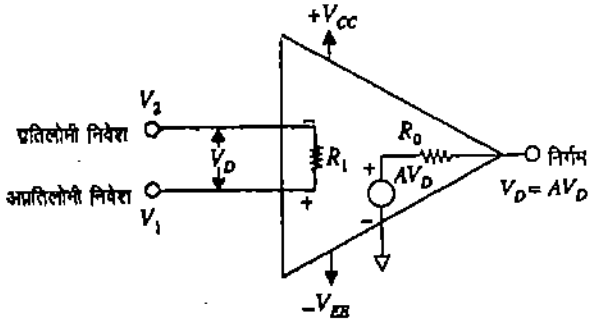
आदर्श रूप में तो ऑप एम्प का बैंड विस्तार (band width) अनन्त होता है लेकिन जब संवृत्त पाश लब्धि को बढ़ाया जाता है, तो बैंड विस्तार कम हो जाता है। आम तौर पर, संवृत्त पाश लब्धि 1 होने पर ऑप एम्प के बैंड विस्तार को उसका लब्धि बैंड विस्तार गुणनफल (gain band width product) कहते हैं। 741C के लिए लब्धि विस्तार गुणनफल लगभग 1 MHz होता है।

7.3.11 आदर्श ऑप एम्प तथा 741C के अभिलक्षण

	आदर्श	741C
1.	अनन्त वोल्टता लब्धि (LSVG, A_{OL}, A_D)	200,000
2.	अनन्त निवेश प्रतिरोध (R_i) (ऑप एम्प को निवेश देने हेतु किसी भी संकेत स्रोत का इस्तेमाल किया जा सकता है, बिना उसके द्वारा भारित हुए)	2 MΩ
3.	शून्य निर्गम प्रतिरोध (R_o) (निर्गम के द्वारा कितनी भी संख्या में अन्य युक्तियाँ चलाई जा सकती हैं)।	75 Ω
4.	निवेश शून्य होन पर शून्य निर्गम वोल्टता	शायद ऐसा न हो। पिन 1 व 5 के बीच उच्च प्रतिरोध का कार्बन विभवमापी इस्तेमाल करें, वाइपर को पिन 4 पर लगाएं। वाइपर को $V_o = 0$ के लिए एडजस्ट करें।
5	अनन्त CMRR (उभयनिष्ठ विधा रव वोल्टता निर्गम शून्य होता है)	90 dB
6.	अनन्त द्रुत घूर्णन दर (निवेश वोल्टता में परिवर्तन के साथ साथ ही, समकालिक रूप से निर्गम वोल्टता में परिवर्तन होता है)।	0.5 V/μs
7.	अनन्त बैंड विस्तार (BW) (किसी भी आवृत्ति को बगैर क्षीणन के प्रवर्धित किया जा सकता है)।	लब्धि बढ़ने के साथ बैंड विस्तार घटता है लब्धि बैंड विस्तार गुणनफल = 1 MHz

7.4 ऑप एम्प का तुल्य परिपथ

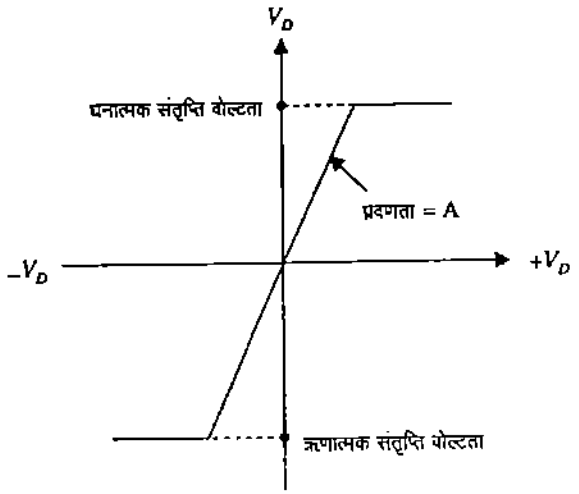
ऑप एम्प का तुल्य परिपथ चित्र 7.9 में दिखाया गया है। इस परिपथ में R_i और R_o ऑप एम्प के निवेश व निर्गम प्रतिरोध हैं तथा AV_d तुल्य थेवेनीन वोल्टता स्रोत है। A, R_i तथा R_o के मान निर्माता द्वारा दी गई डैटा शीट में मिल जाते हैं।



चित्र 7.9: ऑप एम्प का तुल्य परिपथ।

7.5 आदर्श वोल्टता स्थानांतरण वक्र

चित्र 7.10 में निवेश अन्तर वोल्टता V_D तथा निर्गम वोल्टता V_O के बीच ग्राफ़ दर्शाया गया है। यह ग्राफ़ पैमाने के अनुसार नहीं है। ग्राफ़ में दिया गया वक्र आदर्श वोल्टता स्थानांतरण वक्र (ideal voltage transfer curve) कहलाता है। अगर V_D धनात्मक हो, तो V_O, V_{SAT} तक पहुंच जाता है और अगर V_D ऋणात्मक हो, तो V_O, $-V_{SAT}$ तक पहुँच जाता है। अर्थात् निर्गम वोल्टता $+V_{SAT}$ से ज़्यादा या $-V_{SAT}$ से कम नहीं हो सकती। यदि वक्र को पैमाने के अनुसार बनाया जाय तो एक ऊर्ध्वाधर सरल रेखा प्राप्त होगी।



चित्र 7.10: आदर्श वोल्टता स्थानांतरण वक्र।

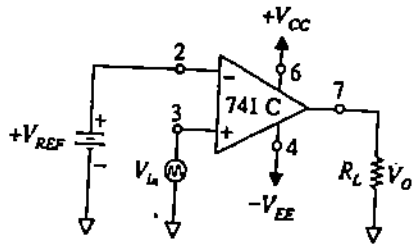
7.6 कम्पेरेटर के रूप में ऑप एम्प

7.6.1 वोल्टता स्तर संसूचक

याद कीजिए कि संक्रियात्मक प्रवधक दरअसल एक अन्तर प्रवर्धक (difference amplifier) होता है तथा इसकी अधिकतम निर्गम वोल्टता $\pm V_{SAT}$ होती है। चित्र 7.11 में एक परिपथ दिखाया गया है जिसमें ऑप एम्प का एक कम्पेरेटर (comparator) के रूप में इस्तेमाल किया जा रहा है। एक स्थिर निर्देश वोल्टता (reference voltage, V_{REF}), उदाहरणतः 1V की, प्रतिलोमी निवेश पिन 2 पर लगाई जाती है। समय निर्भर संकेत V_{in} अप्रतिलोमी निवेश पिन 3 पर लगाया जाता है। तब निर्गम वोल्टता V_0 होगी,

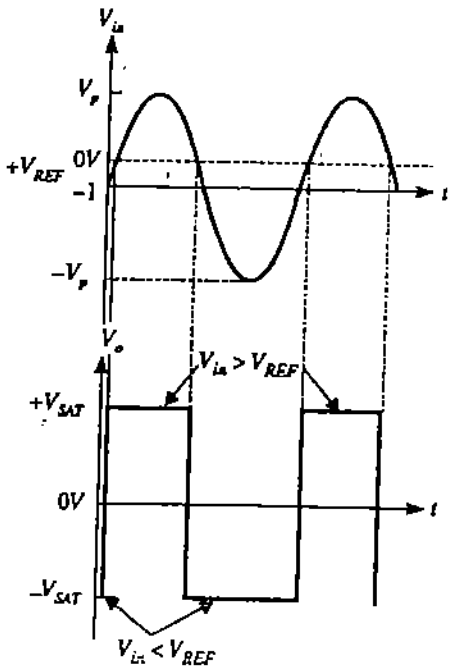
$$V_O = AV_D$$

$$= A(V_{in} - 1V)$$

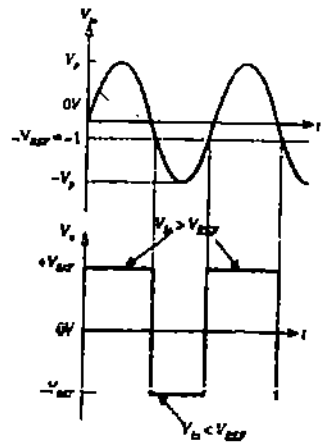


चित्र 7.11: कम्पेरेटर यानी वोल्टता स्तर संसूचक।

अब यदि $V_{in} = 1V$ हो, तो $V_D = 0$ होगा। तब $V_0 = 0$ होगा, जैसा कि चित्र 7.12 और 7.13 में दर्शाया गया है। यदि $V_{in} > 1V$ हो, तो V_D धनात्मक होगा। इस स्थिति में निर्गम $+V_{SAT}$ पर सीमित हो जाता है, जैसा कि चित्र 7.12 में दिखाया गया है। यदि $V_{in} < 1V$ हो तो V_D ऋणात्मक हो जाता है तथा निर्गम की सीमा $-V_{SAT}$ रह जाती है। अर्थात् किसी भी क्षण पर निर्गम वोल्टता



चित्र 7.12: $+V_{REF}$ के साथ कम्पेरेटर का निर्गम तरंग रूप।



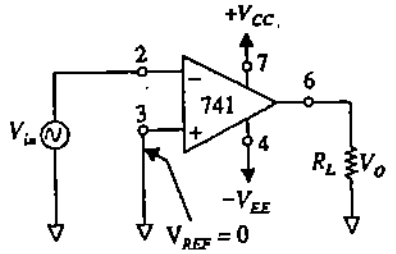
चित्र 7.13: $-V_{REF}$ के साथ कम्पेरेटर का निर्गम तरंग रूप।

V_0 से यह पता चलता है कि निवेश V_{in} से ज़्यादा है या V_{in} से कम है। यह परिपथ एक अनुरूप से अंकीय परिवर्तक (analog to digital converter) के रूप में काम करता है। इस अप्रतिलोमी कम्पेरेटर को वोल्टता स्तर संसूचक (voltage level detector) भी कहते हैं। V_{REF} का मान शून्य

हो सकता है या कोई भी धनात्मक या ऋणात्मक मान हो सकता है। इसे प्रवर्धक के किसी भी निवेश से जोड़ा जा सकता है। परंतु निर्गम का तरंग-रूप पता करने के लिए हमें यह पता करना होगा कि V_i, धनात्मक है या ऋणात्मक। जब निर्देश वोल्टता V_{REF} को अप्रतिलोमी निवेश पिन 3 से जोड़ा जाए और निवेश संकेत पिन 2 पर लगाया जाए, तब कम्पेरेटर को प्रतिलोमी कम्पेरेटर कहते हैं।

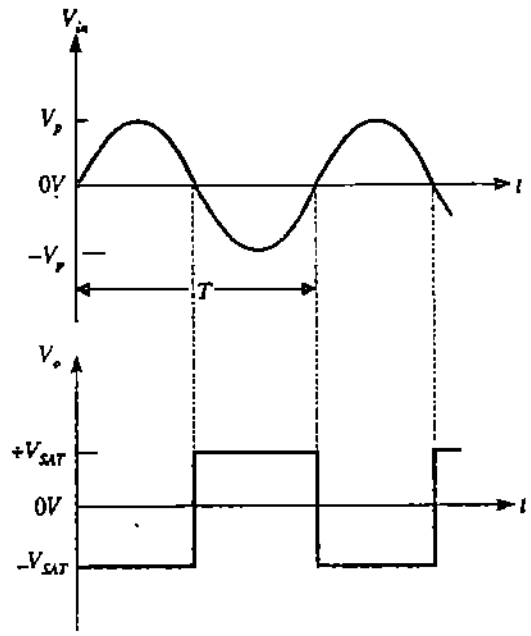
7.6.2 शून्य क्रॉसिंग संसूचक

शून्य क्रॉसिंग संसूचक (zero crossing detector) दरअसल कम्पेरेटर का एक अनुप्रयोग है। चित्र 7.14 में शून्य क्रॉसिंग संसूचक का एक परिपथ दिखाया गया है। इसमें पिन 3 को भौम से जोड़कर, भौम विभव (0V) को निर्देश वोल्टता बना दिया जाता है। निवेश संकेत पिन 2 पर दिया जाता है। जब V_{in}, 0V से ज़्यादा हो जाता है, तो V_i, ऋणात्मक हो जाता है और V_o, $-V_{SAT}$ पर सीमित हो जाता है। इसी तरह जब V_{in}, 0V से कम होता है, तब V_i, धनात्मक हो जाता है



चित्र 7.14: शून्य क्रॉसिंग संसूचक।

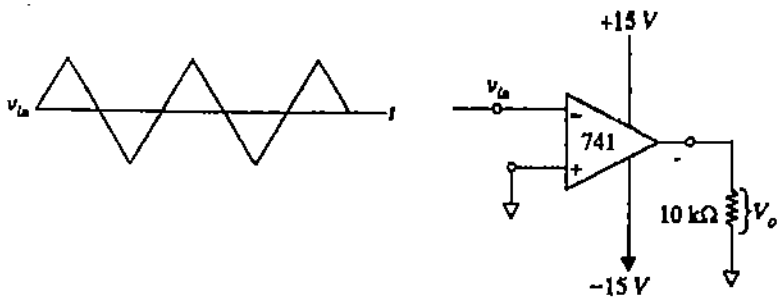
तथा V_o, $+V_{SAT}$ तक सीमित हो जाता है। यानी निर्गम वोल्टता यह दिखाती है कि वोल्टता शून्य स्तर से ऊपर है या नीचे। यह चित्र 7.15 में दिखाया गया है।



चित्र 7.15: शून्य क्रॉसिंग संसूचक के निवेश व निर्गम तरंग रूप।

बोध प्रश्न 9

चित्र 7.16 में दिए गए परिपथ का निर्गम वोल्टता तरंग रूप दर्शाइए।



चित्र 7.16: बोध प्रश्न 9 के लिए चित्र।

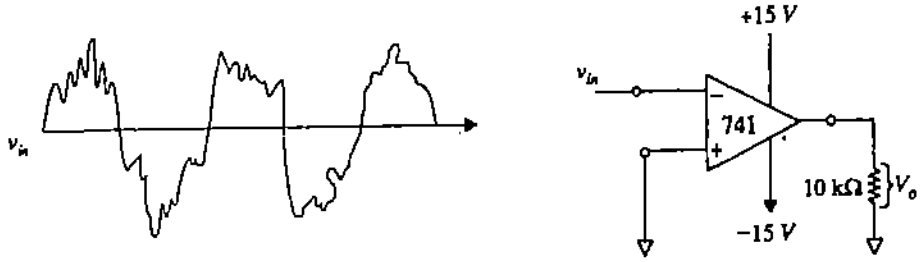
7.7 सारांश

- कई निर्माता ऑप एम्प प्रतीक व आई.सी. पैकेज का मिला-जुला उपयोग करके पिन-आउट रेखाचित्र दर्शाते हैं।
- आई.सी. पैकेज के ऊपरी हिस्से पर छपे संख्या कोड को पढ़कर निर्माता का नाम तथा ऑप एम्प का तापमान परास पता किया जा सकता है।
- ऑप एम्प को चलाने के लिए द्विध्रुवीय विद्युत प्रदाय की ज़रूरत होती है।
- बायस वोल्टता सप्लाई करने के बाद ही किसी ऑप एम्प को निवेश संकेत दिया जाना चाहिए।
- पिन 4 व 7 पर प्रयुक्त बायस वोल्टता सप्लाई की ध्रुवणा की अदला-बदली कदापि नहीं करनी चाहिए।
- आदर्श ऑप एम्प के लिए वोल्टता लब्धि, निवेश प्रतिरोध, तथा द्रुत घूर्णन दर अनन्त होते हैं।
- एक आदर्श संक्रियात्मक प्रवर्धक का निर्गम प्रतिरोध तथा निर्गम ऑफ़सेट वोल्टता शून्य होते हैं।
- वास्तविक अभिलक्षण काफ़ी हद तक आदर्श अभिलक्षणों से भिन्न होते हैं। अलबत्ता तुलनात्मक दृष्टि से इन्हें आदर्श माना जा सकता है।
- ऑप एम्प के बुनियादी कार्यकारी सिद्धांतों को समझने के लिए अक्सर किसी आदर्श ऑप एम्प के तुल्य परिपथ का उपयोग किया जाता है।
- किसी ऑप एम्प का वोल्टता स्थानांतरण वक्र उसकी निर्गम वोल्टता बनाम अंतर निवेश वोल्टता वक्र है।
- कम्पेरेटर मूलतः वोल्टता स्तर सूचक होते हैं जिनमें निर्देश वोल्टता स्रोत को ऑप एम्प के किसी एक निवेश से जोड़ा जाता है। निर्देश वोल्टता शून्य, धनात्मक या ऋणात्मक कुछ भी हो सकती है।
- प्रतिलोमी और अप्रतिलोमी कम्पेरेटर तथा शून्य क्रासिंग संसूचकों के कई अनुप्रयोग हैं।

7.8 अंत में कुछ प्रश्न

1. ऑप एम्प DIP 741C का पिन-आउट रेखाचित्र बनाइए।
2. ऑप एम्प के साथ काम करते समय किन सावधानियों का हमेशा ध्यान रखना चाहिए?
3. एक आदर्श ऑप एम्प और 741C के अभिलक्षणों में अन्तर बताइए।

4. चित्र 7.17 में दिए गए परिपथ का निर्गम तरंग-रूप बनाइए।



चित्र 7.17

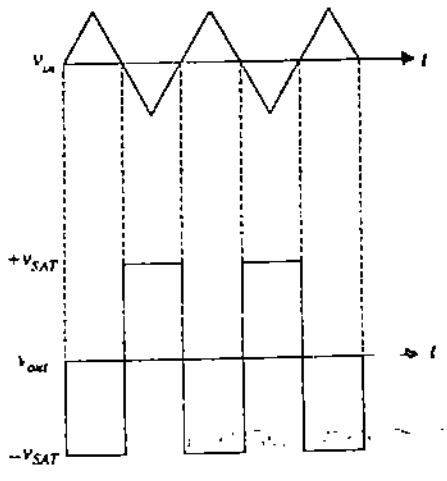
5. यदि निवेश पिन को भौम से जोड़ा जाए और पिन 3 पर एक त्रिकोणीय तरंग निवेश दिया जाए तो निर्गम तरंग-रूप क्या होगा?

7.9 हल और उत्तर

बोध प्रश्न

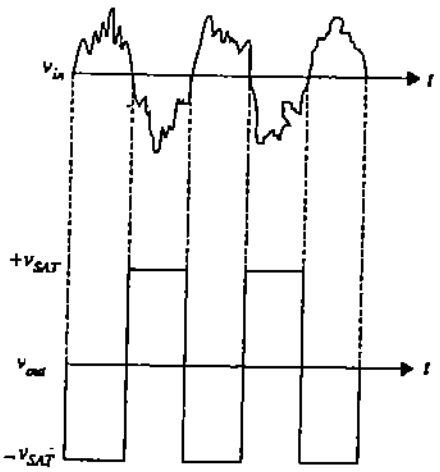
1. प्रतिलोमी निवेश पिन 2, अप्रतिलोमी निवेश पिन 3 तथा निर्गम पिन 6
2. आई.सी का ऊपरी दृश्य देखें। आई.सी पर बने खांचे या विंदु पर ध्यान दें। खांचे या बिन्दु के बाईं ओर की पिन, पिन 1 है। इसके बाद पिनों की गिनती वामावर्त दिशा में करें।
3. LM741I संख्या वाले आई.सी. में, अक्षर LM निर्माता का नाम, नेशनल सेमीकण्डक्टर कॉर्प दर्शाते हैं। अंक 741 ऑप एम्प दर्शाते हैं। अक्षर I से पता चलता है कि इसकी तापमान परास औद्योगिक उपयोग के लिए (यानी – 25° से 85°C) है। अर्थात् LM741I से पता चलता है कि यह नेशनल सेमीकण्डक्टर्स कॉर्प द्वारा औद्योगिक कार्य हेतु निर्मित ऑप एम्प है जिसका तापमान परास – 25° से 85° सेल्सियस है।
4. पिन 4 व 7 । – V_{EE} को पिन 4 से तथा $+V_{CC}$ को पिन 7 से जोड़ा जाता है।
5. नहीं। इससे ऑप एम्प स्थाई रूप से नष्ट हो जाएगा।
6. ऑप एम्प को दी गई निवेश अन्तर वोल्टता V_{ID} की गणना निम्नानुसार की जाती है

   V_{ID} = पिन 3 पर वोल्टता V_1 – पिन 2 पर वोल्टता (V_2)
7. यह वह वोल्टता है, जो निवेश पिन 2 व 3 दोनों को भौम से जोड़ देने पर भी, निर्गम पिन 6 पर प्राप्त होती है।
8. नहीं। जितना अधिक CMRR होगा, उतना ही बेहतर निवेश टर्मिनल का सुमेलन होगा।
9. निर्गम तरंग रूप चित्र 7.18 में दिखाए अनुसार होता है।



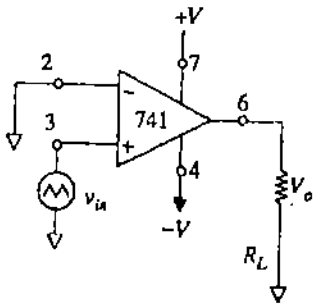
अंत में कुछ प्रश्न

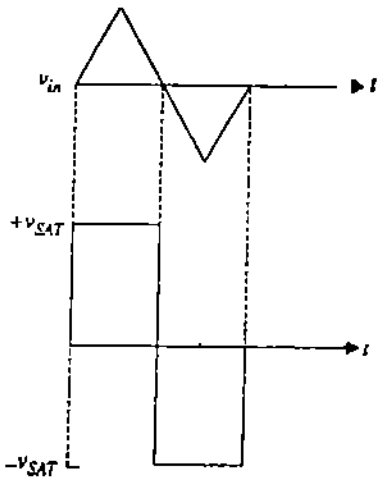
1. चित्र 7.3 (ख) में दिखाया गया है।
2. भाग 7.2.5 में सूचीवद्ध किया गया है।
3. भाग 7.3.11 में दिया गया है।
4. निर्गम तरंग रूप चित्र 7.19 में दिया गया है।



चित्र 7.19

5. इस प्रश्न का परिपथ तथा निर्गम तरंग रूप चित्र 7.20 में दिखाए गए हैं।





चित्र 7.20

इकाई 8 संक्रियात्मक प्रवर्धकों के अनुप्रयोग

इकाई की रूपरेखा

8.1 प्रस्तावना
उद्देश्य
8.2 प्रतिलोमी प्रवर्धक
8.3 अप्रतिलोमी प्रवर्धक
8.4 प्रतिलोमी योजक
8.5 बुनियादी अवकलक
8.6 बुनियादी समाकलक
8.7 ऑप एम्प में पुनर्भरण
8.8 सारांश
8.9 अंत में कुछ प्रश्न
8.10 हल और उत्तर

8.1 प्रस्तावना

आदर्श ऑप एम्प के लिए खुला पाश लब्धि (open loop gain- A_{OL}) अनन्त होती है तथा एक व्यावहारिक ऑप एम्प 741C के लिए भी A_{OL} का मान 200,000 जितना ऊँचा होता है। लेकिन इतने ऊँचे A_{OL} का अधिकांश ऐसे अनुप्रयोगों में कोई लाभ नहीं होता जिनमें ऑप एम्प का इस्तेमाल होता है। खुला पाश लब्धि अचर भी नहीं होती। यह तापमान और विद्युत प्रदाय में परिवर्तन तथा निर्माण की तकनीकों के साथ बदलती है। इतनी विशाल लब्धि की वजह से छोटी सी निवेश वोल्टता के संगत निर्गम वोल्टता $+V_{SAT}$ या $-V_{SAT}$ से कर्तित (clip) हो जाती है। इसके अलावा निर्गम वोल्टता को संतृप्ति वोल्टता की सीमा के अन्दर रखने के लिए ज़रूरी हो जाता है कि निवेश वोल्टता चन्द माइक्रोवोल्ट के मान की हो। इतनी कम वोल्टता तो प्रयोगशाला में भी प्राप्त करना मुश्किल होता है। चूंकि रैखिक प्रवर्धकों में निर्गम वोल्टता निवेश वोल्टता के समानुपाती होती है, इसलिए खुला पाश संक्रियात्मक प्रवर्धकों का उपयोग नहीं किया जा सकता। अलबत्ता कम्पेरेटर (जिनकी चर्चा इकाई 7 में की जा चुकी है) तथा वर्ग तरंग जनित्र आदि में खुला पाश प्रवर्धकों का इस्तेमाल होता है।

ऑप एम्प को रैखिक प्रवर्धक तथा अधिकांश अन्य अनुप्रयोगों में इस्तेमाल करने के लिए कुछ बाह्य परिपथ डिज़ाइन करना अनिवार्य होता है। ऐसा परिपथ ऋणात्मक पुनर्भरण (negative feed back) की अवधारणा का उपयोग करके बनाया जाता है। इस अवधारणा की चर्चा हम भाग 8.7 में करेंगे। ऑप एम्प के अनुप्रयोग पर आधारित इस इकाई में, जब कि अन्यथा न बताया जाए, हम ऑप एम्प 741C का ही इस्तेमाल करेंगे। निर्गम पिन को एक प्रतिरोधक के ज़रिए प्रतिलोमी पिन 2 से जोड़ा गया है। ऋणात्मक पुनर्भरण वाले ऐसे प्रवर्धक की लब्धि को संवृत पाश लब्धि (closed loop gain A_{CL}) कहते हैं। यह सिद्ध किया जा सकता है कि यह लब्धि ऑप एम्प की खुला पाश लब्धि A_{OL} पर निर्भर नहीं करती। यह केवल बाह्य परिपथ के गुणधर्मों पर निर्भर करती है।

उद्देश्य

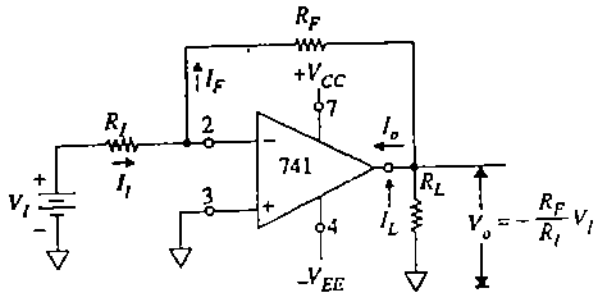
इस इकाई के अध्ययन के बाद आप

- प्रतिलोमी प्रवर्धक का परिपथ आरेख बना सकेंगे और इसकी संवृत पाश लब्धि A_{CL} ज्ञात कर सकेंगे,
- एक प्रतिलोमी प्रवर्धक को गुणक अथवा भाजक के रूप में उपयोग कर सकेंगे,

- एक दी हुई लब्धि वाला प्रतिलोमी प्रवर्धक डिज़ाइन कर सकेंगे,
- अप्रतिलोमी प्रवर्धक का परिपथ आरेख बनाकर उसकी संवृत पाश लब्धि ज्ञात कर सकेंगे,
- एक प्रतिलोमी योजक का परिपथ आरेख बना सकेंगे और इस परिपथ को एक चैनल प्रवर्धक के लिए इस्तेमाल कर सकेंगे,
- एक बुनियादी अवकलक का परिपथ आरेख बना सकेंगे और यह दिखा सकेंगे कि इस परिपथ का निर्गम, निवेश तरंग-रूप का अवकलज है,
- एक बुनियादी समाकलक का परिपथ आरेख बना सकेंगे और यह दिखा सकेंगे कि इस परिपथ का निर्गम, निवेश तरंग-रूप का समाकल है,
- प्रवर्धकों में पुनर्भरण की अवधारणा समझा सकेंगे।

8.2 प्रतिलोमी प्रवर्धक

चित्र 8.1 में दिए गए परिपथ पर गौर कीजिए। इस परिपथ में निर्गम पिन 6 को एक प्रतिरोधक R_F के जरिए प्रतिलोमी निवेश (inverting input) पिन 2 से जोड़ा गया है। पिन 2 को एक निवेश प्रतिरोधक R_I के ज़रिए निवेश वोल्टता दी जाती है। अप्रतिलोमी निवेश (noninverting input) पिन 3 को भौम से जोड़ दिया जाता है। निर्गम पिन 6 को भी एक प्रतिरोधक R_L के जरिए भौम से जोड़ दिया जाता है। इस परिपथ में दो व्यावहारिक किन्तु विवरण को बहुत आसान बना देने वाली मान्यताएं लागू की गई हैं। ये मान्यताएं इस प्रकार हैं: यदि निर्गम वोल्टता संतृप्ति के बिन्दु पर नहीं है तो अंतर निवेश (differential input) शून्य होगा। और प्रतिलोमी एवं अप्रतिलोमी निवेश पिनों से प्रवेश करने वाली धारा नगण्य होगी।



चित्र 8.1: प्रतिलोमी प्रवर्धक।

धनात्मक निवेश

एक प्रतिरोधक R_I के ज़रिए प्रतिलोमी (–) निवेश पिन 2 पर एक धनात्मक निवेश वोल्टता ($+V_I$) लगाई जाती है और पुनर्भरण प्रतिरोध (feedback resistor) R_F, निर्गम से निवेश को ज़रूरी पुनर्भरण प्रदान कर देता है। ऊपर दी गई व्यावहारिक मान्यताओं के मुताबिक पिन 2 के ज़रिए ऑप एम्प में कोई धारा प्रवेश नहीं कर रही है। और चूंकि अप्रतिलोमी (+) निवेश पिन 3 भूसंपर्कित है, इसलिए पिन 2 भी भौम वोल्टता स्तर, यानि 0V पर है। अर्थात, हालांकि पिन 2 को भूसंपर्कित नहीं किया गया है मगर यह भूसंपर्कित ही प्रतीत होती है। यह गौर तलब है कि किसी ऑप एम्प के तुल्य परिपथ (चित्र 7.9) में पिन 2 व 3 को एक अत्यंत उच्च प्रतिरोध (आदर्श रूप में अनन्त प्रतिरोध) के ज़रिए एक-दूसरे से जोड़ा गया है। सिलाज़ा हम कहते हैं कि पेन 2 यानी प्रतिलोमी निवेश, आभासी भौम (virtual ground) पर है।

चित्र 8.1 के परिपथ में R_I से बहने वाली धारा इसके सिरों के विभवान्तर पर निर्भर होती है। R_I का एक सिरा $+V_I$ से जुड़ा है और दूसरा सिरा 0V पर है। अतः R_I के दो सिरों के बीच वोल्टता पात (voltage drop) $+V_I$ है। R_I के उच्च विभव वाले बिन्दु से निम्न विभव वाले बिन्दु (यानी पिन 2 जो 0V पर है) के बीच बहने वाली निवेश धारा I_I होगी

$$I_I = \frac{V_I}{R_I} \qquad (8.1)$$

चूंकि धारा ऑप एम्प में प्रवेश नहीं करती, इसलिए I_I को R_F में बहना होगा। अतः R_F में से बहने वाली धारा I_F दरअसल I_I के बराबर है। यानी $I = I_I = I_F$ अर्थात् R_F के सिरों पर वोल्टता पात है

$$V_F = IR_F \qquad (8.2)$$

समीकरण (8.1) से I_I का मान समीकरण (8.2) में रखने पर

$$V_F = \frac{V_I}{R_I} R_F \qquad (8.3)$$

चूंकि पिन 2 आभासी भौम पर है, इसलिए R_I और R_F समान्तर क्रम में हैं अतः V_F का परिणाम V_O के बराबर है। परंतु V_F तो ऋणात्मक है, क्योंकि धारा पिन 2 (जो 0V पर है) से पिन 6 की ओर बहती है। अतः V_O, अर्थात् पिन 6 व भौम के बीच वोल्टता यह होगी :

$$V_O = -V_F$$

$$= -\frac{V_I}{R_I} R_F = -\frac{R_F}{R_I} V_I \quad \text{(समीकरण 8.3 के आधार पर)}$$

अतः प्रवर्धक की संवृत पाश लब्धि (closed loop gain) A_{CL} होगी,

$$A_{CL} = \frac{V_O}{V_I} = -\frac{R_F}{R_I} \qquad (8.4)$$

अर्थात् A_{CL} सिर्फ R_F व R_I पर निर्भर करता है और संक्रियात्मक प्रवर्धक की खुला पाश लब्धि पर कतई निर्भर नहीं करता। चूंकि A_{CL} ऋणात्मक है, इसलिए प्रवर्धक के इस विन्यास को हम **प्रतिलोमी प्रवर्धक** (inverting amplifier) कहते हैं। R_F व R_I का चुनाव करना पूरी तरह से डिज़ाइनर के हाथ में होता है तथा किसी भी मान की लब्धि प्राप्त की जा सकती है। समस्त व्यावहारिक उपयोगों के लिए R_I का मान ज़्यादा, मसलन 10 kΩ रखा जाना चाहिए ताकि यह ऑप एम्प के निवेश प्रतिरोध का लघुपथन न कर सके।

निर्गम धारा I_O, R_F में से बहने वाली धारा I तथा लोड R_L में से बहने वाली धारा $I_L = V_O/R_L$ के योग के बराबर होती है। अर्थात्

$$I_O = I + I_L \qquad (8.5)$$

ऑप एम्प आधारित प्रवर्धक को डिज़ाइन करते समय यह भी ध्यान में रखना चाहिए कि निर्गम पर कितनी धारा की आवश्यकता है। I का मान V_I और R_I से निर्धारित होता है, जो स्वयं डिज़ाइन की ज़रूरतों से निर्धारित होते हैं। अतः निर्गम धारा I_O का नियंत्रण R_L के उपयुक्त चयन द्वारा किया जाता है।

प्रतिलोमी प्रवर्धक परिपथ का उपयोग गुणा व भाग की संक्रियाओं के लिए किया जा सकता है। निर्गम वोल्टता, निवेश वोल्टता की R_F/R_I गुणा होती है। यदि निवेश वोल्टता किसी संख्या की द्योतक हो तो निर्गम वोल्टता उस संख्या की R_F/R_I गुनी होगी। R_F/R_I अनुपात उपयोगकर्ता के नियंत्रण में होता है अतः इसका मान कुछ भी रखा जा सकता है। R_I को R_F से ज़्यादा रखने पर प्रतिलोमी प्रवर्धक का उपयोग भाग की संक्रिया के लिए किया जा सकता है।

उदाहरण 8.1

ऑप एम्प 741C का इस्तेमाल करके तथा V_I का मान 1V रखते हुए एक प्रवर्धक डिज़ाइन कीजिए जिसकी लब्धि – 8 हो तथा जिसके लिए $I_O = 0.9$ mA हो।

हल

$R_I = 10\,k\Omega$ का चुनाव कीजिए।

$A_{OL} = -8$ है, तो $R_F = -8\,R_I = 80\,k\Omega$

समीकरण (8.1) के आधार पर

$$I = \frac{V_I}{R_I} = \frac{1V}{10\,k\Omega} = 0.1\,mA$$

समीकरण (8.5) से

$$I_L = I_O - I = 0.9\,mA - 0.1\,mA = 0.8\,mA$$

$$V_O = 1V \times (-8) = -8\,V$$

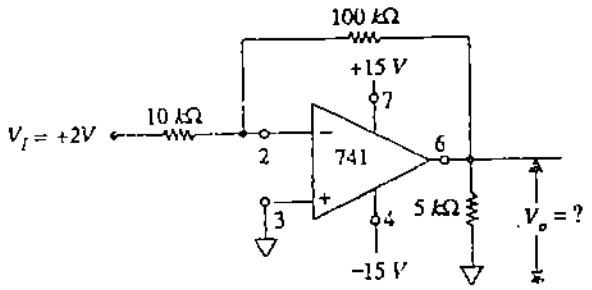
$$I_L = \frac{V_O}{R_L}$$

या $$R_L = \frac{V_O}{I_L} = \frac{8\,V}{0.8\,mA} = 10\,k\Omega$$

अर्थात् अभीष्ट डिजाइन के लिए $R_I = 10\,k\Omega$, $R_F = 80\,k\Omega$ और $R_L = 10\,k\Omega$ । ऑप एम्प के लिए डी.सी. बायस अपेक्षित निर्गम से कहीं ज़्यादा होना चाहिए। इस उदाहरण में $V_o = -8\,V$ है। इसलिए $\pm 9V$ की विद्युत प्रदाय उपयुक्त नहीं होगी क्योंकि $-8V$ लगभग $-V_{SAT}$ के बराबर होगा। लिहाज़ा विद्युत प्रदाय के लिए और अधिक मान, मसलन $\pm 10\,V$ चुना जाएगा।

बोध प्रश्न 1

नीचे दिए गए परिपथ में निर्गम वोल्टता कितनी होगी?



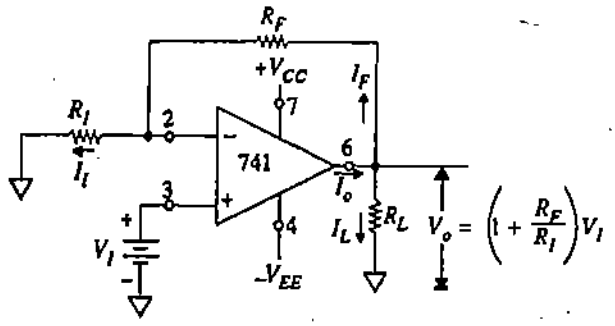
चित्र: बोध प्रश्न 1

8.3 अप्रतिलोमी प्रवर्धक

चित्र 8.2 में दिया गया परिपथ एक अप्रतिलोमी प्रवर्धक (non inverting amplifier) का परिपथ है। इस परिपथ में भी R_I व R_F को उसी तरह जोड़ा जाता है, जैसा कि प्रतिलोमी प्रवर्धक में जोड़ा गया था। लेकिन इसमें चित्रानुसार R_I को भूसंपर्कित कर दिया जाता है और निवेश वोल्टता V_I अप्रतिलोमी (+) निवेश पिन 3 पर दी जाती है।

भाग 8.2 में बताए गए कारणों की बदौलत प्रतिलोमी निवेश पिन 2 उसी वोल्टता पर होता है जिस पर अप्रतिलोमी निवेश पिन 3 है। यानी पिन 2 + V_I पर है जिसके कारण R_I में से धारा I_I प्रवाहित होती है। R_I के सिरों पर विभव पात V_I है। अतः

$$I_I = \frac{V_I}{R_I} \qquad (8.6)$$



चित्र 8.2: अप्रतिलोमी प्रवर्धक।

ज़ाहिर है कि I_I पिन 2 से भौम में प्रवाहित होती है। उन्हीं कारणों से R_F में से बहने वाली धारा I_F, I_I के बराबर होनी चाहिए यानी $I = I_F = I_I$ अर्थात् धारा I निर्गम टर्मिनल पिन 6 से पिन 2 से होती हुई भौम तक बहती है। अतः निर्गम पिन 6, पिन 2 की तुलना में उच्चतर विभव पर है। चूंकि अब लोड प्रतिरोध R_L, R_I व R_F के श्रेणी क्रम के साथ समान्तर क्रम में है, इसलिए निर्गम वोल्टता, R_I व R_F के सिरों पर वोल्टता के योग के बराबर होती है। यानी

$$V_0 = V_I + IR_F$$

$$= V_I + \frac{V_I}{R_I} R_F \quad \text{(समीकरण (8.6) के आधार पर)}$$

$$= V_I \left\{ 1 + \frac{R_F}{R_I} \right\}$$

यानी प्रवर्धक की संवृत पाश लब्धि (closed loop gain) होगी

$$A_{CL} = \frac{V_0}{V_I} = \left\{ 1 + \frac{R_F}{R_I} \right\} \tag{8.7}$$

ध्यान दें कि A_{CL} का चिह्न वही है, जो निवेश वोल्टता का है अर्थात् यह धनात्मक है। इस वजह से इस प्रवर्धक को हम अप्रतिलोमी प्रवर्धक कहते हैं। इस बात पर भी ध्यान दें कि इस मामले में भी लब्धि R_F और R_I पर निर्भर है, न कि संक्रियात्मक प्रवर्धक के मापदण्डों पर । अलबत्ता लब्धि सदैव एक से ज़्यादा होती है। R_F / R_I के अनुपात को कम से कम करके लब्धि को एक के नज़दीक लाया जा सकता है परंतु इसे एक से कम कदापि नहीं किया जा सकता। चूंकि पिन 6 भौम से ऊँचे विभव पर है, इसलिए लोड धारा I_L पिन 6 से लोड प्रतिरोध R_L से होकर भौम में बहती है।

उदाहरण 8.2

ऑप एम्प 741C का उपयोग करके और V_I को 2.2V रखते हुए प्रवर्धक डिज़ाइन कीजिए जिसकी लब्धि +10 हो और जिसके लिए $I_0 = 0.1$ mA हो।

हल

$R = 10\,\text{k}\Omega$ लीजिए।

दिया गया है कि $A_{CL} = +10 = 1 + (R_F / R_I)$

यानी $R_F / R_I = 10 - 1 = 9$

यानी $R_F = 9R_I = 90\,\text{k}\Omega$

$$I = V_I / R_I = 0.2\,\text{V} / 10\,\text{k}\Omega = 0.02\,\text{mA}$$

$$V_0 = +10\,V_I = 10 \times 0.2\text{V} = 2\text{V}$$

हम जानते हैं कि $I_0 = I + I_L$. अतः

$$I_0 = 0.02 + V_0 / R_L = 0.1 \text{ mA}$$

यानी $V_0 / R_L = (0.1 - 0.02) \text{ mA} = 0.08 \text{ mA}$

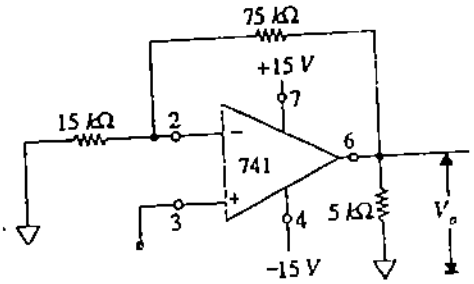
यानी $R_L = 2\text{V} / 0.08 \text{ mA} = 25 \text{ k}\Omega$

अतः अभीष्ट डिज़ाइन के लिए $R_1 = 10 \text{ k}\Omega$, $R_F = 90 \text{ k}\Omega$

और $R = 25 \text{ k}\Omega$.

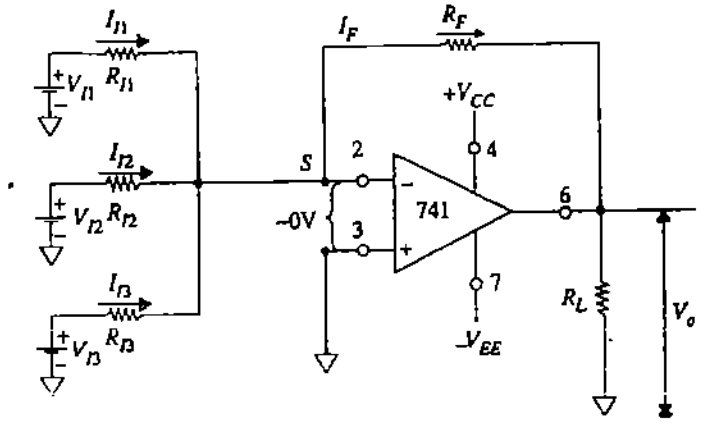
बोध प्रश्न 2

नीचे दिए चित्र में दिखाए गए प्रवर्धक की लब्धि क्या होगी?



8.4 प्रतिलोमी योजक

ऑप एम्प के प्रतिलोमी प्रवर्धक विन्यास का कई अनुप्रयोगों में इस्तेमाल होता है। जैसा कि हमने भाग 8.2 में बताया था, प्रतिलोमी प्रवर्धक का उपयोग गुणा व भाग के लिए किया जा सकता है। चित्र 8.1 के परिपथ में R_1 के ज़रिए मात्र एक निवेश है। निवेशों की संख्या जितनी चाहे बढ़ाई जा सकती है। उदाहरण के लिए, चित्र 8.3 में दिया गया परिपथ देखिए। इसमें निवेश प्रतिरोधकों के रूप में तीन प्रतिरोधक पिन 2 से जुड़े हैं और इन सभी के लिए एक साझा R_F है। चूंकि पिन 3 भूसंपर्कित है, इसलिए पिन 2, 0V पर है।



चित्र 8.3: प्रतिलोमी योजक।

R_F से बहने वाली धारा उन सभी धाराओं का योग है, जो पिन 2 के जुड़ाव बिन्दु S पर पहुँचती है। इन धाराओं का निर्धारण V_{I1} व R_{I1}, V_{I2} व R_{I2} और V_{I3} व R_{I3} द्वारा होता है। अतः

$$I_F = I_{I1} + I_{I2} + I_{I3}$$

$$= \frac{V_{I1}}{R_{I1}} + \frac{V_{I2}}{R_{I2}} + \frac{V_{I3}}{R_{I3}}$$

तो निर्गम वोल्टता होगी

$$V_O = I_F \cdot R_F$$

$$= -\left(\frac{V_{I1}}{R_{I1}} + \frac{V_{I2}}{R_{I2}} + \frac{V_{I3}}{V_{I3}} \right) R_F \qquad (8.8)$$

अब यदि सारे प्रतिरोधक एक ही मान के हों, यानी

$R = R_F = R_{I1} = R_{I2} = R_{I3}$ हो, तो

$$V_O = -(V_{I1} + V_{I2} + V_{I3}) \qquad (8.9)$$

अर्थात् इस परिपथ की निर्गम वोल्टता सारी निवेश वोल्टताओं के योग के बराबर होती है। इस परिपथ को प्रतिलोमी योजक (inverting adder) कहते हैं। ऋण चिह्न से पता चलता है कि निवेश व निर्गम के बीच 180° का कलांतर होता है।

यदि सारे R_I बराबर मान के लिए जाएं और R_F भिन्न मान का हो, तो निर्गम वोल्टता होगी

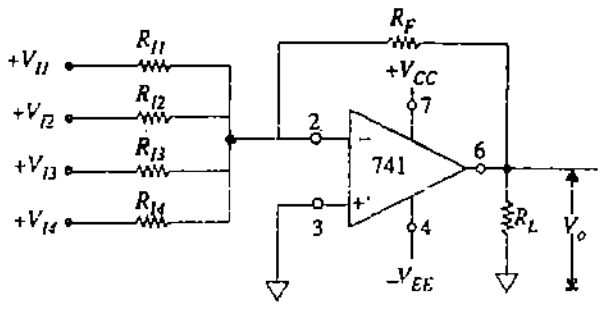
$$V_0 = -\left(V_{I1} + V_{I2} + V_{I3}\right)\frac{R_F}{R_I} \qquad (8.10)$$

इस समीकरण से पता चलता है कि निवेश के योग में गुणक R_F/R_I की गुणा होती है। यह गुणक उपयोगकर्त्ता के नियंत्रण में होता है। इस समीकरण में यदि R_F/R_I को 1/3 के बराबर कर दें तो परिणामस्वरूप जो प्रवर्धक बनता है, वह औसतकारी प्रवर्धक (averaging amplifier) कहलाता है।

चित्र 8.3 के परिपथ के कई अनुप्रयोग हैं। उपरोक्त अनुप्रयोगों के अलावा, यदि R_I के विभिन्न मानों वाला परिपथ बनाया जाए तो निर्गम वोल्टता प्रत्येक निवेश वोल्टता के संगत निर्गम वोल्टताओं के योग के बराबर होती है। इस तरह के परिपथ का अंकीय-अनुरूप परिवर्तक (digital to analog converter) के रूप में भी उपयोग किया जा सकता है। एक विकल्प यह भी हो सकता है सारे निवेशों का इस्तेमाल न किया जाए। एक समय पर एक ही निवेश का इस्तेमाल किया जा सकता है। उस स्थिति में इस परिपथ का उपयोग विभिन्न R_I द्वारा निर्धारित विभिन्न लब्धियों को प्राप्त करने हेतु किया जा रहा होता है। ऐसे परिपथ को एक चैनल प्रवर्धक (channel amplifier) के रूप में प्रयुक्त किया जा सकता है।

उदाहरण 8.3

एक ऑप एम्प 741C का उपयोग करके –20, –15, –10 और –5 लब्धियों वाला एक 4-चैनल प्रतिलोमी प्रवर्धक डिज़ाइन कीजिए।



चित्र 8.4: चार निवेशों वाला प्रतिलोमी प्रवर्धक।

हल

चित्र 8.4 के अनुसार एक 4-चैनल प्रतिलोमी प्रवर्धक बनाइए। चार निवेशों के लिए समीकरण (8.8) को निम्नानुसार लिखा जा सकता है

$$V_O = \left(\frac{V_{I1}}{R_{I1}} + \frac{V_{I2}}{R_{I2}} + \frac{V_{I3}}{R_{I3}} + \frac{V_{I4}}{R_{I4}} \right) R_F$$

$$= -\left(V_{I1} \frac{R_F}{R_{I1}} + V_{I2} \frac{R_F}{R_{I2}} + V_{I3} \frac{R_F}{R_{I3}} + V_{I4} \frac{R_F}{R_{I4}} \right) \qquad (8.11)$$

ज़ाहिर है कि निवेश प्रतिरोध को बदलकर प्रत्येक चैनल की लब्धि को स्वतंत्र रूप से बदला जा सकता है। हमें पता है कि

$$A_{CL1} = \frac{R_F}{R_{I1}}, \; A_{CL2} = \frac{R_F}{R_{I2}}, A_{CL3} = \frac{R_F}{R_{I3}}, A_{CL4} = \frac{R_F}{R_{I4}}$$

सर्वोच्च लब्धि (–20) वाले चैनल के लिए R_I का मान 10 kΩ ले लीजिए। R_F का मान निम्नानुसार पता कीजिए:

$$A_{CL1} = -20 = \frac{R_F}{R_{I1}} = \frac{R_F}{10\,\text{k}\Omega}$$

तो $R_F = 20 \times 10 = 200\,\text{k}\Omega$। इस प्रकार से प्राप्त R_F के मान के आधार पर अन्य चैनलों के R_I मान ज्ञात कीजिए।

चैनल 2 के लिए, $A_{CL2} = -15 = 200/R_{I2}$

यानी $R_{I2} = 200/15 = 13.33\,\text{k}\Omega$

चैनल 3 के लिए, $A_{CL3} = -10 = 200/R_{I3}$

यानी $R_{I3} = 200/10 = 20\,\text{k}\Omega$

चैनल 4 के लिए, $A_{CL4} = -5 = 200/R_{I4}$

यानी $R_{I4} = 200/5 = 40\,\text{k}\Omega$

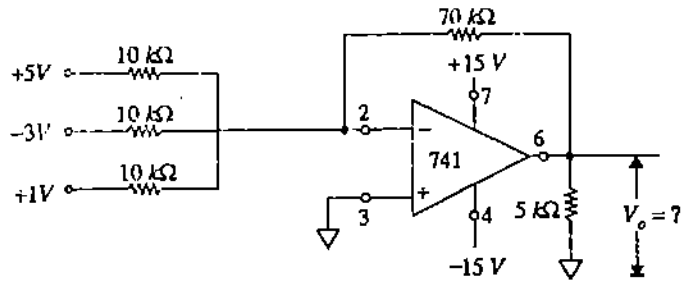
इस डिज़ाइन को सार रूप में इस तरह लिखा जा सकता है:

$R_F = 200\,\text{k}\Omega$

चैनल	A_{CL}	R_I
1	–20	10 kΩ
2	–15	13.33 kΩ
3	–10	20 kΩ
4	–5	40 kΩ

बोध प्रश्न 3

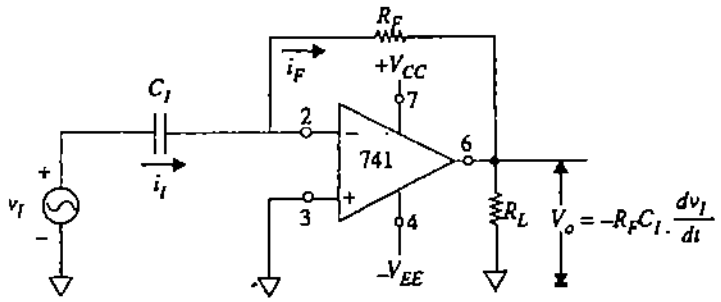
नीचे दिये गए परिपथ का निर्गम क्या होगा?



चित्र

8.5 बुनियादी अवकलक

चित्र 8.5 में बुनियादी अवकलक (basic differentiater) का परिपथ दर्शाया गया है, जो अवकलन की गणितीय क्रिया सम्पादित करता है। निर्गम तरंग-रूप, निवेश तरंग-रूप का अवकलज होता है। अवकलक परिपथ प्राप्त करने के लिए प्रतिलोमी प्रवर्धक के R_I की जगह एक संधारित्र लगा देते हैं। शेष परिपथ वैसा ही रहता है। प्रतिलोमी प्रवर्धक के संदर्भ में बताए गए कारणों से ही संधारित्र



चित्र 8.5: बुनियादी अवकलक।

में से बहने वाली धारा i_C, प्रतिरोधक R_F में से बहने वाली धारा i_F के बराबर होती है। अर्थात्

$$i_c = i_F$$

धारा i_F, जनित्र से पिन 2 तक बहती है और वहाँ से R_F में बहती है। चूंकि पिन 2, 0V पर है, C के आरपार वोल्टता पात V_I है और R_F के आर पार वोल्टता पात $-V_o$ है। अब याद करें कि संधारित्र C में से बहने वाली धारा, संधारित्र के आरपार वोल्टता परिवर्तन की C गुना होती है। अतः

$$i_c = C_I \frac{dV_I}{dt}$$

और $$i_F = -\frac{V_O}{R_F}$$

अतः हमें निम्नलिखित संबंध प्राप्त होता है

$$C_I \frac{dV_I}{dt} = -\frac{V_O}{R_F}$$

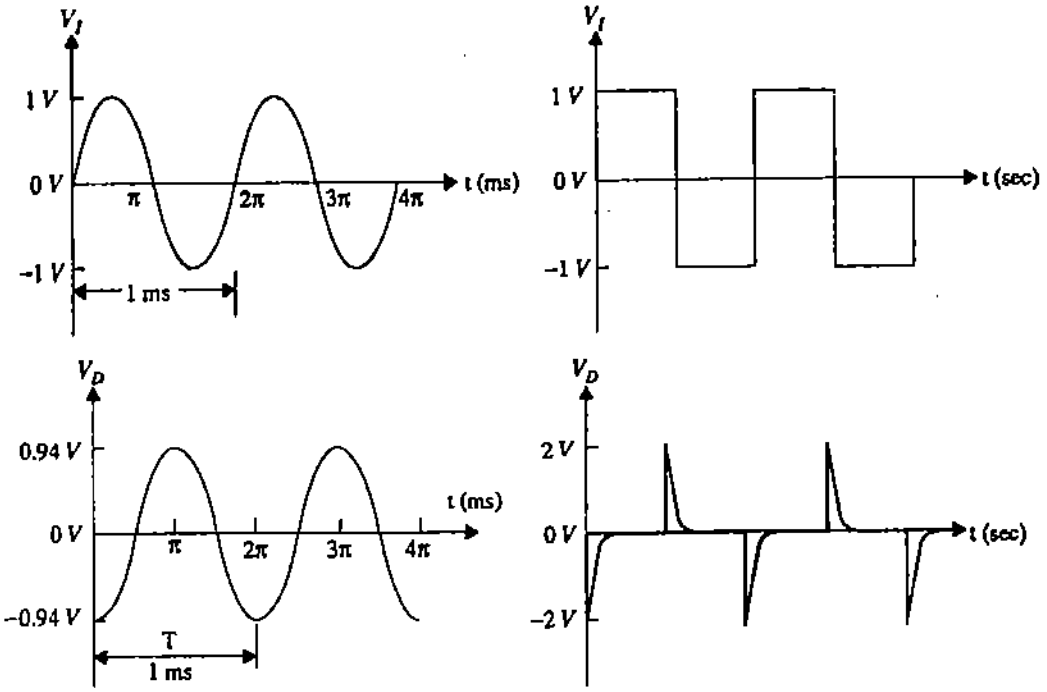
इसे पुनः व्यवस्थित करने पर

$$V_O = -R_F C_I \frac{dV_I}{dt}$$

यदि $R_F C_I = 1$ हो, तो

$$V_O = -\frac{dV_I}{dt} \qquad (8.12)$$

लिहाज़ा निर्गम वोल्टता, निवेश वोल्टता V_I की ऋणात्मक अवकलज होती है। यदि निवेश तरंग-रूप एक ज्या तरंग हो, तो निर्गम तरंग रूप एक कोज्या तरंग होगी। और यदि निवेश तरंग एक वर्ग तरंग हो, तो निर्गम तरंग एक स्पाइक (spike) तरंग रूप होगी, जैसा कि चित्र 8.6 में दिखाया गया है।

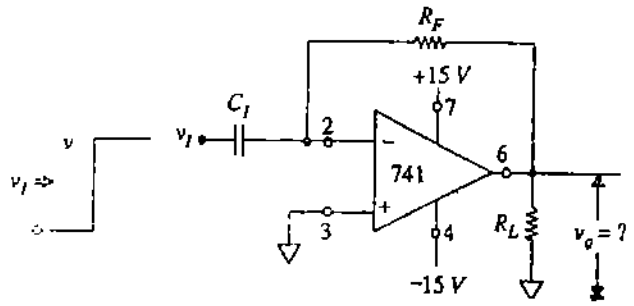


(क) (ख)

चित्र 8.6: बुनियादी अवकलक का निर्गम जब निवेश (क) एक ज्या तरंग हो, (ख) एक वर्ग तरंग हो।

बोध प्रश्न 4

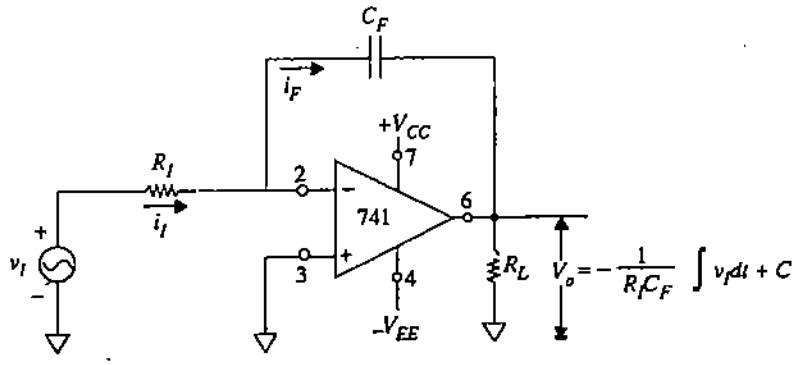
नीचे बताए गए बुनियादी अवकलक का निर्गम तरंग रूप पता कीजिए।



8.6 बुनियादी समाकलक

चित्र 8.7 में एक बुनियादी समाकलक (basic integrator) का परिपथ दिखाया गया है, जो समाकलन की गणितीय संक्रिया को अंजाम देता है। निर्गम तरंग रूप V_o निवेश तरंग रूप V_I का समाकल होता है। समाकलक परिपथ प्राप्त करने के लिए प्रतिलोमी प्रवर्धक के परिपथ में प्रतिरोधक R_F के स्थान पर संधारित C_F लगाना होता है। शेष परिपथ वही रहता है। प्रतिलोमी प्रवर्धक के संदर्भ में बताए जा चुके कारणों की वजह से प्रतिरोधक R_I में से बहने वाली धारा i_I संधारित C_F में से बहने वाली धारा i_F के बराबर होगी। अर्थात्

$$i_I = i_F$$



चित्र 8.7: बुनियादी समाकलक।

धारा i_I जनरेटर में से पिन 2 तक और वहाँ से संधारित्र C_F में से बहती है। चूंकि पिन 2. 0V पर है, R_I के आरपार वोल्टता पात V_I है और C_F के आरपार $-V_O$ है। अतः

$$i_I = \frac{V_I}{R_I}$$

और $$i_F = C_F \frac{d(-V_O)}{dt}$$

तो $$\frac{V_I}{R_I} = C_F \frac{d(-V_O)}{dt}$$

या $$\int \frac{V_I}{R_I} dt = \int C_F \frac{d}{dt}(-V_O)\, dt$$

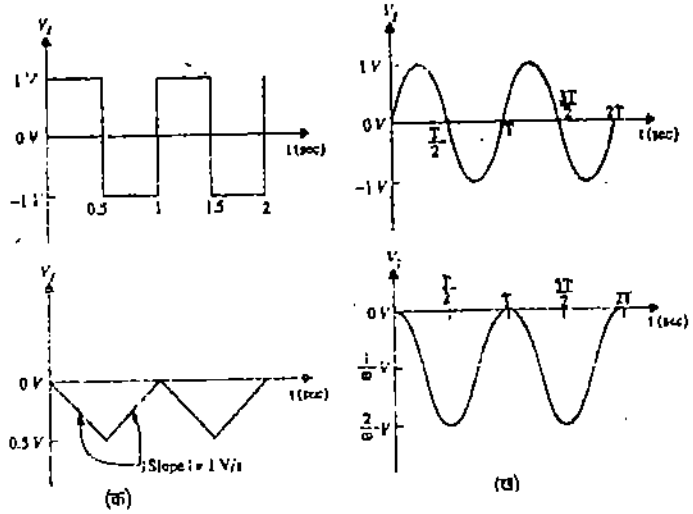
$$= C_F(-V_O) + \text{ समाकलन स्थिरांक}$$

या $$V_O = \frac{1}{R_I C_F}\int V_I dt + \text{ समाकलन स्थिरांक} \qquad (8.13)$$

समाकलन स्थिरांक समय $t = 0$ पर V_o के मान के बराबर होता है। समीकरण (8.13) से पता चलता है कि निर्गम, निवेश वोल्टता तरंग-रूप के समाकल के समानुपाती होता है। यदि गुणनफल $R_I C_F$ को 1 कर दिया जाए और समाकलन स्थिरांक 0 हो, तो

$$V_O = -\int V_I dt \qquad (8.14)$$

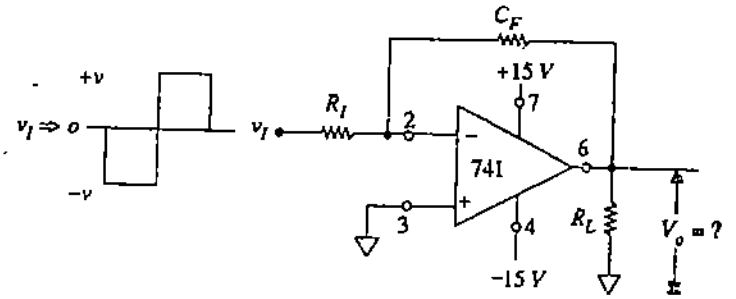
यदि निवेश तरंग-रूप ज्या तरंग हो, तो निर्गम तरंग एक कोज्या तरंग होगी। और यदि निवेश तरंग, एक वर्ग तरंग हो, तो निर्गम तरंग एक त्रिकोण तरंग (triangular wave) होगी, जैसा कि चित्र 8.8 में दिखाया गया है।



चित्र 8.8: एक बुनियादी समाकलक का निर्गम जब निवेश (क) एक ज्या तरंग हो, (ख) एक वर्ग तरंग हो।

बोध प्रश्न 5

नीचे दिए गए बुनियादी समाकलक के लिए निर्गम तरंग रूप बनाइए।

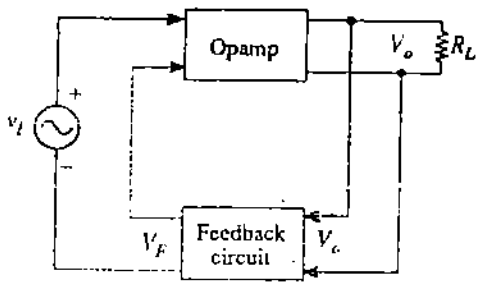


8.7 ऑप एम्प में पुनर्भरण

इस इकाई की शुरूआत में हमने दो सुविधाजनक मान्यताएं दी थीं जिनके परिणामस्वरूप यह मान लिया गया था कि पिन 2 में कोई धारा प्रविष्ट नहीं होती और R_I में से बहने वाली धारा, R_F में से बहने वाली धारा के बराबर होगी। यह भी माना गया था कि पिन 2 व 3 समान विभव पर हैं। इन मान्यताओं की बदौलत हमारी गणनाएं काफ़ी आसान हो गई थीं। लेकिन वास्तविक स्थिति ऐसी नहीं होती। चाहे थोड़ी सी ही सही मगर कुछ धारा तो ऑप एम्प में प्रविष्ट होती है और इसकी वजह से निवेश के आर-पार कुछ वोल्टता पात होता ही है। हमने ऋणात्मक पुनर्भरण का (negative feedback) ज़िक्र ज़रूर किया था मगर इसका ब्यौरा नहीं दिया था। आइए, अब देखें कि क्या ऊपर वर्णित परिपथों के यथार्थपरक विश्लेषण से भी वही परिणाम प्राप्त होते हैं। ऊपर जिन संवृत पाश प्रवर्धकों की चर्चा की गई है, वे सारे ऋणात्मक पुनर्भरण प्रवर्धक थे।

पुनर्भरण से युक्त प्रवर्धक में दो बुनियादी परिपथ जाल (network) होते हैं। एक तो होता है प्रवर्धक और दूसरा होता है पुनर्भरण जाल जो निर्गम वोल्टता के एक अंश को वापिस निवेश तक पहुंचा देता है। जब पुनर्भरण वोल्टता, निवेश वोल्टता में जुड़ती है, तो इसे धनात्मक पुनर्भरण (positive feedback) कहते हैं। धनात्मक पुनर्भरण की वजह से लब्धि बढ़ती है। यदि पुनर्भरण वोल्टता ऐसी हो जो निवेश वोल्टता को घटा दे, तो ऐसे पुनर्भरण को ऋणात्मक पुनर्भरण कहते हैं। ऋणात्मक पुनर्भरण लब्धि को कम कर देता है। धनात्मक व ऋणात्मक पुनर्भरण के लाभ-हानि की चर्चा इस इकाई के दायरे से बाहर का विषय है। अतः इस पहलू की चर्चा यहाँ नहीं की जाएगी।

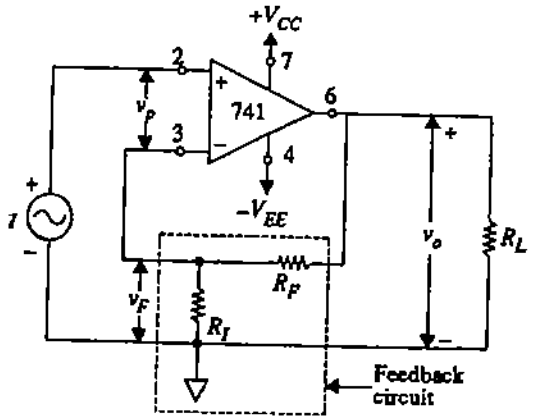
अब चित्र 8.9 के परिपथ पर गौर कीजिए। निर्गम टर्मिनल को पुनर्भरण परिपथ जाल से जोड़ा गया है और पुनर्भरण परिपथ जाल को श्रेणी क्रम में निवेश वोल्टता स्रोत से जोड़ा गया है। अतः इस विन्यास में निवेश वोल्टता V_I, प्रतिलोमी निवेश पिन 3 को जाती है तथा पुनर्भरण वोल्टता V_F प्रतिलोमी निवेश पिन 2 को जाती है।



चित्र 8.9: ऑप एम्प में पुनर्भरण।

चित्र 8.2 में दिए गए अप्रतिलोमी परिपथ पर गौर करें। यहाँ इसे चित्र 8.10 में फिर से बनाया गया है। इस परिपथ की तुलना चित्र 8.9 के परिपथ से करने पर हम देखते हैं कि R_I और

R_F मिलकर एक पुनर्भरण परिपथ जाल बनाते हैं। निर्गम वोल्टता V_o , R_I और R_F के श्रेणी क्रम के आर-पार प्राप्त होती है। R_I के आर-पार वोल्टता पात, पुनर्भरण वोल्टता V_F है और इसे प्रतिलोमी निवेश पिन 2 पर लगाया जाता है। निवेश वोल्टता V_I को अप्रतिलोमी निवेश पिन 3 पर लगाया जाता है।



चित्र 8.10: चित्र 8.2 का अप्रतिलोमी प्रवर्धक परिपथ, फिर से बनाया गया।

याद कीजिए कि संवृत पाश लब्धि A_{CL} को इस तरह परिभाषित किया जाता है

$$A_{CL} = \frac{V_0}{V_I}$$

चित्र 8.10 के परिपथ में निर्गम वोल्टता है,

$$V_O \simeq A_{OL}(V_1 - V_2) \qquad (8.15)$$

जहाँ V_1 निवेश वोल्टता V_I है और V_2 पुनर्भरण वोल्टता V_F है। अतः R_I व R_F के आर-पार पुनर्भरण परिपथ जाल से V_O को भाग देने पर

$$V_2 = V_F$$

$$= \frac{R_I V_0}{R_I + R_F} \qquad (8.16)$$

V_1 व V_2 के मानों को समीकरण (8.15) में रखने पर

$$V_0 = A_{OL}\left(V_I - \frac{R_I V_0}{R_I + R_F} \right)$$

पुनर्व्यवस्थित करने पर

$$V_0 = \frac{A_{OL}(R_I + R_F)\, V_I}{R_I + R_F + A_{OL} R_I}$$

$$A_{CL} = \frac{V_0}{V_I} = \frac{A_{OL}(R_I + R_F)}{R_I + R_F + R_I A_{OL}}$$

चूंकि आदर्श रूप में A_{OL} का मान अनन्त होता है और 741C के मामले में इसका मान 200,000 यानी लगभग 10^5 है, इसलिए

$$A_{OL} R_I >> R_I + R_F$$

अतः

$$A_{CL} = \frac{A_{OL}(R_I + R_F)}{A_{OL} R_I} = \frac{R_I + R_F}{R_I}$$

$$A_{CL} = 1 + \frac{R_F}{R_I}$$

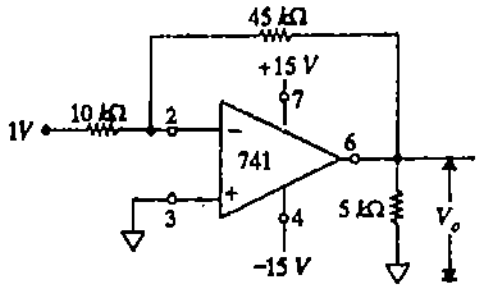
यानी अप्रतिलोमी प्रवर्धक के A_{CL} की समीकरण वही है, जो भाग 8.3 में समीकरण (8.7) के ज़रिए प्राप्त की गई थी। अर्थात् हमने शुरूआत में जो मान्यताएं ली थीं उनकी वजह से कोई गणितीय त्रुटि नहीं हुई है। बल्कि उन मान्यताओं की बदौलत हमें विभिन्न परिपथ जालों को आसानी से हल करने में मदद ही मिली है।

8.8 सारांश

- एक आदर्श ऑप एम्प की अनन्त खुला पाश लब्धि अधिकांश कार्यों के लिए किसी मतलब की नहीं होती और इसलिए प्रवर्धक की लब्धि को नियंत्रित करने हेतु बाह्य परिपथ का उपयोग किया जाता है।
- पिन 2 व पिन 6 को जोड़ने वाले पुनर्भरण प्रतिरोधक R_F के उपयोग से ऑप एम्प की पाश लब्धि को नियंत्रित किया जा सकता है।
- प्रतिलोमी प्रवर्धक की लब्धि पूरी तरह पुनर्भरण प्रतिरोधक R_F तथा निवेश प्रतिरोधक R_I पर निर्भर होती है। इस लब्धि की समीकरण में ऋण चिह्न से पता चलता है कि निवेश वोल्टता व निर्गम वोल्टता के बीच 180° का कलांतर होता है। इस कारण से इसे प्रतिलोमी प्रवर्धक कहते हैं। इस स्थिति में निवेश वोल्टता पिन 2 पर दी जाती है।
- प्रतिलोमी प्रवर्धक का गुणक व भाजक के रूप में उपयोग किया जा सकता है।
- अप्रतिलोमी प्रवर्धक में निवेश व निर्गम वोल्टताओं के बीच कोई कलांतर नहीं होता है। निवेश पिन 3 पर लगाया जाता है। इस प्रवर्धक की संवृत पाश लब्धि सदैव 1 से ज़्यादा होती है।
- प्रतिलोमी प्रवर्धक में एक साझा पुनर्भरण प्रतिरोधक के साथ कई सारे निवेश हो सकते हैं। इस तरह के परिपथ का उपयोग एक योजक, औसतकारी तथा चेनल प्रवर्धक के रूप में हो सकता है।
- एक बुनियादी अवकलक में निवेश प्रतिरोधक की जगह एक संधारित्र लगाया जाता है। अवकलक का निर्गम तरंग-रूप निवेश तरंग का अवकलज होता है।
- एक बुनियादी समाकलक में पुनर्भरण प्रतिरोधक की जगह एक संधारित्र लगाया जाता है। समाकलक का निर्गम तरंग-रूप निवेश तरंग का समाकल होता है।
- ऑप एम्प की संवृत पाश लब्धि की गणना ऋणात्मक पुनर्भरण की धारणा के आधार पर भी की जा सकती है। इस तरह की गणना से पता चलता है कि पिन 2 व 3 के एक समान विभव पर होने संबंधी मान्यता एकदम सही नहीं होने के बावजूद, आसान तरीके से परिणाम प्राप्त करने में मददगार होती है।

8.9 अंत में कुछ प्रश्न

1. ऑप एम्प 741C का उपयोग करके एक प्रवर्धक डिज़ाइन कीजिए जिसकी लब्धि 0.5V के निवेश व 5 mA की निर्गम धारा के लिए –20 हो।
2. नीचे दिए गए परिपथ को पहचानिए तथा निर्गम धारा की मात्रा पता कीजिए। इस परिपथ में क्या बदलाव किए जाएं कि प्रवर्धक की लब्धि को बदले बगैर निर्गम धारा दोगुनी हो जाए?



चित्र

3. ऑप एम्प 741C का इस्तेमाल करके एक प्रवर्धक निवेश डिज़ाइन कीजिए जिसकी लब्धि + 19 हो। यदि 0.5 V की निवेश वोल्टता को प्रवर्धित करना है ताकि निर्गम धारा 5 mA हो, तो लोड प्रतिरोधक के मान की गणना कीजिए।

4. − 8 व − 17 लब्धियों वाला एक द्वि-चैनल प्रवर्धक डिज़ाइन कीजिए।

5. एक ऐसा अवकलक परिपथ बनाइए जिसका निर्गम, निवेश संकेत के अवकलज का दोगुना हो।

6. एक समाकलक परिपथ बनाइए जिसका निर्गम, निवेश संकेत के समाकल का पाँचवा हिस्सा हो।

8.10 हल और उत्तर

बोध प्रश्न

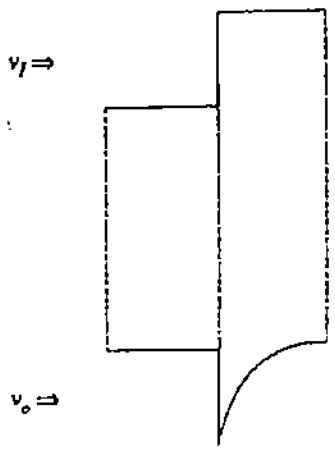
1. निर्गम वोल्टता $-V_{SAT}$ है। (ध्यान दें कि प्रवर्धक की लब्धि −10 है। +2V के निवेश के लिए निर्गम −20V होना चाहिए। लेकिन निर्गम $+V_{SAT}$ से ज़्यादा या $-V_{SAT}$ से कम नहीं हो सकता। अतः निर्गम $-V_{SAT}$ होगा जो कि लगभग −13V है।)

2. यह एक अप्रतिलोमी प्रवर्धक है तथा इसकी लब्धि $(1+R_F/R_1)$ है। यदि $R_F = 75\ \text{k}\Omega$ है और $R_1 = 15\ \text{k}\Omega$ है, तो लब्धि 6 होगी।

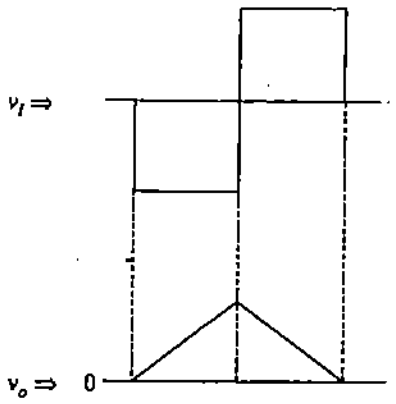
3. यह परिपथ प्रतिलोमी योजक का है। निर्गम वोल्टता है,

$$V_0 = -\frac{70\ \text{k}\Omega}{10\ \text{k}\Omega}(5-3+1)\ \text{V} = -7\times 3\text{V} = -21\text{V}$$

4. निर्गम तरंग-रूप निम्नानुसार होगा



5. निर्गम तरंग-रूप निम्नानुसार होगा



अंत में कुछ प्रश्न

1. $R_I = 10\,k\Omega$ मान लीजिए। तब $A_{CL} = -20$ के लिए, $R_F = -A_{CL} \cdot R_I = 200\,k\Omega$

   अब $I = 0.5\,V/10\,k\Omega = 0.05\,mA$

   $I_O = I + I_L$ या $5\,mA = 0.05\,mA + I_L$

   या $I_L = (5 - 0.05)\,mA = 4.95\,mA$

   अब $I_L = V_O/R_L = 10\,V/R_L = 4.95\,mA$

   या $R_L = 10\,V/4.95\,mA = 2.02\,k\Omega$

   अतः दी गई डिज़ाइन के लिए $R_I = 10\,k\Omega$, $R_F = 200\,k\Omega$ और $R_L = 2\,k\Omega$। इसके लिए $\pm 15V$ विद्युत प्रदाय का उपयोग कीजिए।

2. दिया गया परिपथ एक प्रतिलोमी प्रवर्धक है जिसकी लब्धि $= -4.5$ है। निर्गम वोल्टता $-4.5\,V$ है।

   अब $I_O = I + I_L = 1V/10\,k\Omega + 4.5\,V/5\,k\Omega$

   $= 0.1\,mA + 0.9\,mA = 1\,mA$

   प्रवर्धक की लब्धि बदले बगैर यदि निर्गम धारा को दोगुना करना है, तो $I_L = 1.9\,mA$ होना चाहिए। अतः $R_L = 4,5\,V/1.9\,mA = 2368\,\Omega$

   अतः R_L का मान $5\,k\Omega$ से घटाकर $2368\,\Omega$ करना होगा।

3. लब्धि +19 के साथ लगे धन चिह्न से पता चलता है कि यह एक अप्रतिलोमी प्रवर्धक है। हम जानते हैं कि इसकी लब्धि $(1 + R_F/R_I)$ होती है। अर्थात् R_F/R_I का मान 18 होना चाहिए। $R_I = 10\,k\Omega$ चुन लीजिए, तब $R_F = 180\,k\Omega$ होगा। निर्गम वोल्टता

   $V_O = 19 \times 0.5V = 9.5V$

   अब $I_O = I + I_L = 5\,mA = 0.5V/10\,k\Omega + I_L$

   या $I_L = (5 - 0.05)\,mA = 4.95\,mA$

   या $R_I = V_O/I_I = 9.5\,V/4.95\,mA = 1919\,\Omega$

   अर्थात् अभीष्ट डिज़ाइन इस तरह है: $R_I = 10\,k\Omega$, $R_F = 180\,k\Omega$ और $R_L = 1919\,\Omega$ या $\approx 2\,k\Omega$

4. यह दो निवेश वाला प्रतिलोमी योजक है। चैनल I के लिए $R_{I1} = 10\,k\Omega$ चुन लीजिए,

जिसकी लब्धि – 17 है। तब $R_F = 170\ \text{k}\Omega$ जो कि दोनों निवेशों के लिए समान होगा। चैनल 2 का R_{I2} पता करने के लिए हम जानते हैं कि $R_F/R_{I2} = -8$, यानी $R_{I2} = 170\ \text{k}\Omega/8 = 21.25\ \text{k}\Omega$ ।

अतः अभीष्ट डिज़ाइन है: $R_{I1} = 10\ \text{k}\Omega$, $R_{I2} = 21.25\ \text{k}\Omega$ या $\simeq 20\ \text{k}\Omega$, $R_F = 170\ \text{k}\Omega$ और $R_L = 5\ \text{k}\Omega$ ले लीजिए (क्योंकि धारा की मात्रा संबंधी कोई निर्देश नहीं दिया गया है)।

5. बुनियादी अवकल का निर्गम $V_O = -R_F C_I dV_I/dt$ होता है। दिया गया है कि $R_F C_I = 2$ होना चाहिए। $C_I = 1\ \mu\text{F}$ चुन लीजिए, तब $R_F = 2\ \text{M}\Omega$ होगा ताकि $R_F C_I = 2$ हो सके। अतः $C_I = 1\ \mu\text{F}$ तथा $R_F = 2\ \text{M}\Omega$ होने पर निर्गम, निवेश संकेत के अवकल का दोगुना होगा।

6. बुनियादी समाकलक का निर्गम $V_O = -\frac{1}{R_I C_F}\int V_I\, dt$ होता है। निर्गम को निवेश संकेत के समाकल का पांचवा हिस्सा होने के लिए $R_I C_F = 5$ होना चाहिए। अतः $C_F = 1\ \mu\text{F}$ ले लीजिए, तो $R_I = 5\ \text{M}\Omega$ होगा ताकि $R_I C_F = 5$ हो सके। अर्थात् $C_F = 1\mu\text{F}$ तथा $R_I = 5\ \text{M}\Omega$ होने पर बुनियादी समाकलक निर्गम, निवेश संकेत के समाकल का पांचवा हिस्सा होगा।

इकाई 9 रैखिक आई.सी.– प्रवर्धक और वोल्टता नियंत्रक

इकाई की रूपरेखा

9.1 प्रस्तावना
उद्देश्य
9.2 शक्ति प्रवर्धक आई.सी. LM380
LM 380 के अभिलक्षण
पिन-आउट एवं ब्लॉक आरेख
स्थिर लब्धि श्रव्य आवृत्ति प्रवर्धक
उच्चतर और परिवर्ती लब्धि प्रवर्धक
9.3 वोल्टता नियंत्रक आई.सी
उन्मोचक वोल्टता
आत्म सुरक्षा परिपथ
निष्पादन मापदण्ड
स्थिर वोल्टता नियंत्रक
समंजनीय वोल्टता नियंत्रक
9.4 सारांश
9.5 अन्त में कुछ प्रश्न
9.6 हल और उत्तर

9.1 प्रस्तावना

इकाई 7 और 8 में हमने रैखिक आई.सी. ऑप एम्प का विवरण विस्तार में मूलतः इसलिए दिया था क्योंकि इलेक्ट्रॉनिक परिपथ रचना में इनका बड़े पैमाने पर उपयोग होता है। कई अन्य उद्देश्यों हेतु कुछ रैखिक एकीकृत परिपथों (आई.सी.) का उपयोग भी बहुतायत से होता है। बाज़ार में उपलब्ध ऐसे सारे आई.सी का विवरण देना तो इस इकाई के दायरे से बाहर की बात है। अलबत्ता इस इकाई में चन्द प्रचलित आई.सी. का विवरण दिया जाएगा।

लघु संकेत प्रवर्धक (small signal amplifier) किसी दी हुई वोल्टता को प्रवर्धित करके लोड पर वृहत् एवं प्रवर्धित वोल्टता प्रदान करते हैं। दूसरी ओर शक्ति प्रवर्धक (power amplifiers) अथवा वृहत् संकेत प्रवर्धक अपने धारा-चालित लोड को वृहत् संकेत धारा प्रदान करते हैं। ये लोड, स्पीकर अथवा मोटर जैसे हो सकते हैं। सक्रियात्मक प्रवर्धक (ऑप एम्प) एक लघु संकेत प्रवर्धक होता है, जो वोल्टता को प्रवर्धित करता है। ऑप एम्प की धारा सामर्थ्य भी सीमित होती है। एक सामान्य ऑप एम्प 741C में, $R_L = 0$ होने पर 25 mA मान की अधिकतम धारा प्राप्त की जा सकती है। स्पष्ट है कि R_L बढ़ने के साथ यह धारा कम होती जाएगी। श्रव्य तंत्रों जैसे कई अनुप्रयोगों में वृहत् धारा की ज़रूरत होती है, जो सामान्य ऑप एम्प द्वारा सप्लाई नहीं की जा सकती। लिहाज़ा, स्पीकर और मोटर जैसे लोड को सीधे किसी ऑप एम्प के निर्गम से नहीं चलाया जा सकता। धारा को बढ़ाने के लिए हमें शक्ति प्रवर्धकों का इस्तेमाल करना होता है जो या तो ट्रांज़िस्टर आधारित होते हैं या विशिष्ट रूप से बने आई.सी. आधारित होते हैं। ऐसे आई.सी. आजकल बाज़ार में आसानी से मिलते हैं। इस इकाई में एक विशिष्ट उद्देश्य शक्ति प्रवर्धक आई. सी. LM 380 का विवरण दिया जाएगा जिसका उपयोग श्रव्य तंत्रों में काफ़ी बहुतायत से किया जाता है।

आजकल एक और आई.सी. वोल्टता नियंत्रक प्रचलित है जिसका उपयोग लगभग हर किस्म के विद्युत प्रदाय में किया जाता है। वोल्टता नियंत्रक वह युक्ति होती है, जिसके निगम में नियत वोल्टता प्राप्त होती है, भले ही लोड धारा में कुछ भी परिवर्तन क्यों न हो। एक ऑप एम्प, ज़ेनर डायोड, दो प्रतिरोधी और एक या एक से अधिक ट्रांज़िस्टरों का उपयोग करके एक उम्दा वोल्टता नियंत्रक बनाया जा सकता है। इन समस्त अवयवों तथा कुछ अन्य अवयवों को एकीकृत करके एक वोल्टता नियंत्रक बनाने का काम सबसे पहले फ़ेयर चाइल्ड सेमीकण्डक्टर डिविज़न ने 1968 में

किया था। आई.सी. टैक्नॉलॉजी में हुई तरक्की के फलस्वरूप वोल्टता नियंत्रकों में काफ़ी सुधार आया। आजकल, अलग-अलग मानों की ऋणात्मक व धनात्मक वोल्टता के लिए, तीन टर्मिनल वाले स्थिर वोल्टता नियंत्रक तथा समंजनीय वोल्टता नियंत्रक बाज़ार में उपलब्ध हैं। इस इकाई में 7800 व 7900 श्रेणी के स्थिर धनात्मक व ऋणात्मक वोल्टता नियंत्रक आई.सी LM317 एवं LM337 श्रेणी के समंजनीय धनात्मक व ऋणात्मक वोल्टता नियंत्रक आई.सी. की चर्चा की जाएगी।

उद्देश्य

इस इकाई का अध्ययन करने के बाद आप

- आई. सी. LM380 का पिन-आउट ब्लॉक आरेख बना पाएंगे,
- आई. सी. LM380 का इस्तेमाल स्थिर, वर्धित और परिवर्ती लब्धि वाले श्रव्य आवृत्ति शक्ति प्रवर्धक के रूप में कर पाएंगे,
- 7800, 7900, LM317 एवं LM337 श्रेणी के वोल्टता नियंत्रक आई.सी. के पिन-आउट आरेख बना पाएंगे,
- अपने अनुप्रयोग के लिए उपयुक्त वोल्टता नियंत्रक चुन पाएंगे,
- 7800, 7900, LM317 एवं LM337 श्रेणी के आई.सी. का इस्तेमाल करते हुए स्थिर धनात्मक या ऋणात्मक निर्गम वोल्टता हेतु नियंत्रक डिज़ाइन कर पाएंगे,
- वोल्टता नियंत्रक का उपयोग वांछित मान की धारा के स्रोत के रूप में कर पाएंगे।

9.2 शक्ति प्रवर्धक आई.सी. LM380

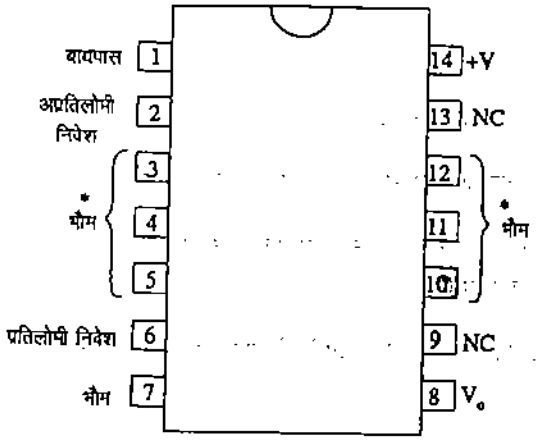
आई.सी LM380, नेशनल सेमीकण्डक्टर द्वारा निर्मित एक श्रव्य आवृत्ति प्रवर्धक है। इसमें एक ही चिप पर पी एन पी उत्सर्जक अनुगामी (pnp emitter follower), भेद प्रवर्धक (differential amplifier), उभयनिष्ठ उत्सर्जक तथा अर्द्ध-पूरक उत्सर्जक अनुगामी (quasi complementary emitter follower) को एकीकृत किया जाता है। एक 8Ω के लोड को यह 2.5W (rms) की न्यूनतम शक्ति सप्लाई करता है। इसकी बदौलत यह उपभोक्ता इलेक्ट्रॉनिक्स तथा अन्य अनुप्रयोगों के लिए निहायत उपयुक्त पाया जाता है।

9.2.1 LM380 के अभिलक्षण

1. इसकी आन्तरिक स्थिर लब्धि 50 है।
2. LM380 का निर्गम स्वतः रूप से सप्लाई वोल्टता के आधे पर निर्धारित होता है।
3. निर्गम का लघुपथन न हो, इसकी व्यवस्था रहती है।
4. इसमें एक आन्तरिक ऊष्मा परिसीमन व्यवस्था होती है, इसलिए अलग से उष्मा अभिगम का उपयोग नहीं करना होता।
5. इसके निवेश स्टेज की बदौलत यह सम्भव होता है कि निवेश संकेत को किसी भी निवेश के साथ, भौम के सापेक्ष ए सी युग्मित अथवा सीधे युग्मित किया जा सकता है।
6. यह 5V से 22V की वोल्टता सप्लाई के विस्तृत परास में काम कर सकता है।
7. 2W शक्ति निर्गम तथा 8Ω लोड होने पर इसका बैंड विस्तार 100 kHz होता है।
8. इसकी उच्चतम धारा क्षमता काफ़ी अधिक होती है तथा इसका अधिकतम मान 1.3A होता है।
9. कुल संनादी विरूपण (harmonic distortion) 0.2% से भी कम होता है।
10. यह मानक DIP पैकेज में उपलब्ध है।

9.2.2 पिन-आउट एवं ब्लॉक आरेख

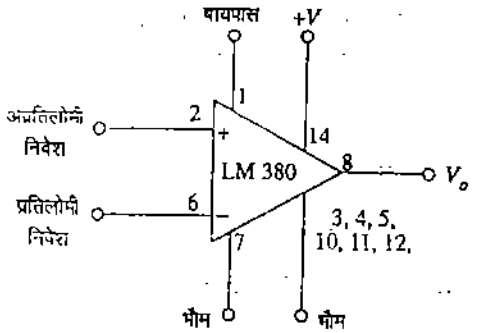
LM380 एक 14 पिन वाला आई.सी. है तथा इसका पैकेज मानक DIP होता है। इसका पिन-आउट आरेख चित्र 9.1 में दिखाया गया है। पैकेज के दोनों ओर तीन मध्यवर्ती पिनें (बाईं ओर



14 पिन वाला डी.आई.पी. पैकेज

चित्र 9.1: आई.सी. LM380 श्रव्य आवृत्ति शक्ति प्रवर्धक का पिन-आउट आरेख।

पिन 3, 4, व 5 तथा दाईं ओर पिन 10,11 व 12) एक तांबे और सीसे के बने ढांचे से जुड़ी होती हैं ताकि ऊष्मा अभिगम के रूप में कार्य कर सकें। यह भी ध्यान दें कि पिन 2 अप्रतिलोमी निवेश है, पिन 6 प्रतिलोमी निवेश है तथा निर्गम पिन 8 से प्राप्त किया जाता है। निवेश स्टेज को सप्लाई वोल्टता से वियुग्मित करने हेतु बाइपास पिन 1 तथा भूसंपर्कित पिन 7 के बीच चन्द माइक्रोफैरेड का एक संधारित्र लगा देना चाहिए। इसकी आंतरिक रूप से स्थिर लब्धि को, जिसका मान 50 होता है, बाह्य परिपथ के ज़रिए बदला जा सकता है। यह आगे समझाया जाएगा। चित्र 9.2 में LM380 का ब्लॉक आरेख दिखाया गया है। तारा चिह्न भूसंपर्कित उष्मा अभिगम पिनें दर्शाता है।



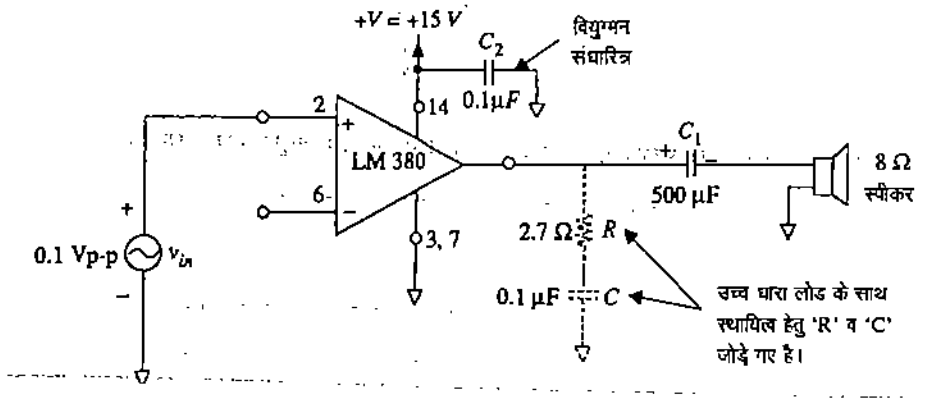
चित्र 9.2: आई.सी. LM 380 का ब्लॉक आरेख।

9.2.3 स्थिर लब्धि श्रव्य आवृत्ति प्रवर्धक

LM380 के उपयोग से बनने वाला सरलतम परिपथ एक श्रव्य आवृत्ति शक्ति प्रवर्धक होता है जो चित्र 9.3 में दर्शाया गया है। भाग 9.2.1 में बताए गए LM380 के अभिलक्षणों की बदौलत (और जैसा कि परिपथ से ज़ाहिर है), इस आई.सी. के साथ बहुत ही थोड़े से बाहरी अवयवों का इस्तेमाल करना होता है।

LM380 के प्रतिलोमी और अप्रतिलोमी निवेश में से किसी का भी उपयोग किया जा सकता है। जब अप्रतिलोमी पिन 2 का इस्तेमाल किया जाता है, तब प्रतिलोमी निवेश पिन 6 को या तो

खुला छोड़ा जा सकता है या एक प्रतिरोधक या संधारित्र के ज़रिए भूसंपर्कित किया जा सकता है। जब प्रतिलोमी पिन 6 का इस्तेमाल किया जाता है, तब अप्रतिलोमी पिन 2 को या तो सीधे अथवा एक प्रतिरोधक या संधारित्र के ज़रिए भूसंपर्कित किया जाता है। दोनों ही मामलों में बायस सप्लाई को वियुग्मित किया जाता है। इसके लिए पिन 14 और भौम के बीच 0.1 μF का एक संधारित्र जोड़ दिया जाता है। रेडिओ आवृत्ति संवेदी क्षेत्र में काम करते वक्त निर्गम पिन 8 और भौम के बीच एक RC संयोजन भी जोड़ा जाता है, जैसा कि चित्र 9.3 में दिखाया गया है। ऐसा

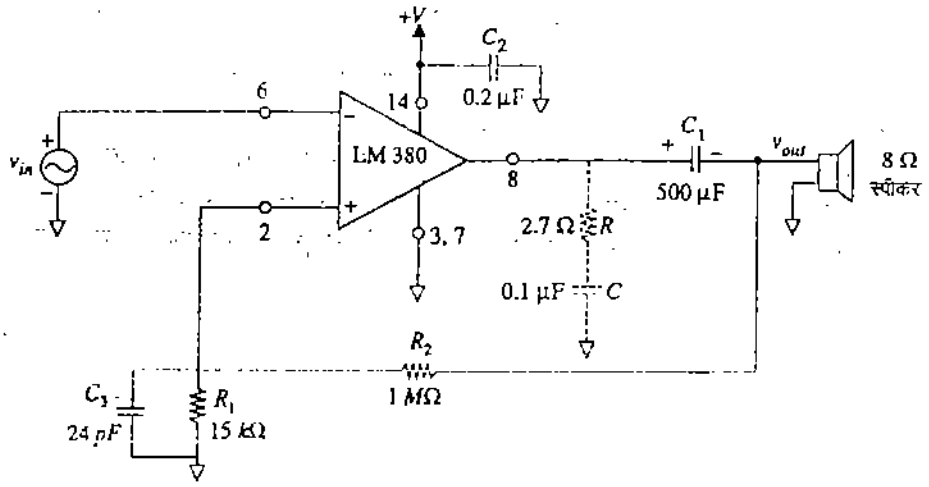


चित्र 9.3: आई.सी. LM380 पर आधारित श्रव्य आवृत्ति शक्ति प्रवर्धक का परिपथ।

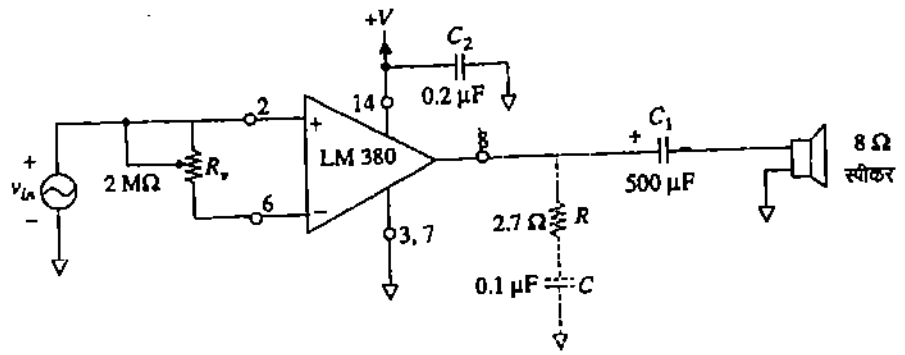
इसलिए किया जाता है ताकि 5 से 10MHz के दायरे में होने वाले अवांछित दोलनों से बचा जा सके।

9.2.4 उच्चतर और परिवर्ती लब्धि प्रवर्धक

जैसा कि पहले बताया गया था, LM380 की लब्धि आंतरिक रूप से 50 पर स्थिर होती है। लेकिन कुछ बाहरी अवयवों का उपयोग करके इसे बदला जा सकता है और परिवर्ती भी बनाया जा सकता है। धनात्मक पुनर्भरण का इस्तेमाल करके LM380 की लब्धि को 300 तक बढ़ाया जा सकता है। चित्र 9.4 में एक परिपथ दिखाया गया है जिसमें LM380 को प्रतिलोमी विन्यास में 200 की लब्धि के लिए उपयोग किया गया है। चित्र 9.5 में एक परिपथ दिखाया गया है जिसमें आई.सी. की दो निवेश पिनों के बीच एक विभवमापी लगाकर 50 तक की परिवर्ती लब्धि की व्यवस्था की गई है।



चित्र 9.4: धनात्मक पुनर्भरण का उपयोग करते हुए 200 लब्धि वाला आई.सी LM380 श्रव्य आवृत्ति शक्ति प्रवर्धक।



चित्र 9.5: 50 तक की परिवर्ती लब्धि वाला आई.सी. LM380 श्रव्य आवृत्ति शक्ति प्रवर्धक।

बोध प्रश्न 1

लघु संकेत प्रवर्धक और वृहत् संकेत (या शक्ति प्रवर्धक) के बीच मुख्य अंतर क्या है?

9.3 वोल्टता नियंत्रक आई.सी.

वोल्टता नियंत्रक कई किस्म के होते हैं। स्थिर निर्गम वोल्टता वाले नियंत्रक धनात्मक व ऋणात्मक दोनों तरह के निर्गम के लिए +5V से लेकर ±24V तक के लिए उपलब्ध हैं। परिवर्ती नियंत्रकों की निर्गम वोल्टता धनात्मक व ऋणात्मक दोनों तरह के निर्गम के लिए ±1.2V से लेकर ±37V तक बदली जा सकती है। आजकल 0.1A से लेकर 10A की निर्गम धारा वाले वोल्टता नियंत्रक आई.सी. भी उपलब्ध हैं। अधिकांश नियंत्रक तीन पिन वाले होते हैं जबकि कुछ विशेष बहु-पिन नियंत्रक भी होते हैं।

9.3.1 उन्मोचक वोल्टता

किसी भी आई.सी. नियंत्रक की निवेश पर तात्क्षणिक वोल्टता सदैव नियंत्रक की निर्गम वोल्टता से अधिक होनी चाहिए। निवेश ऊर्मिका (ripple) वोल्टता के निम्न बिन्दु पर भी इसका मान 0.5V से 3V तक होनी चाहिए। आई.सी. वोल्टता नियंत्रकों की 7800 श्रेणी के लिए यह मान 2V होता है। इस वोल्टता को उन्मोचक (dropout) वोल्टता अथवा हेड रूम (headroom) कहते हैं।

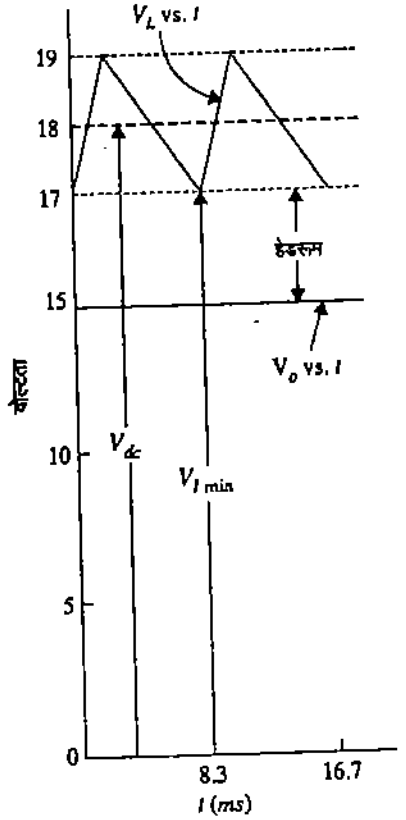
μA7815 एक वोल्टता नियंत्रक है, जिसका स्थिर धनात्मक वोल्टता निर्गम 15V है। मान लीजिए कि एक विद्युत प्रदाय के अनियंत्रित निर्गम को μA7815 के निवेश से जोड़ा गया है। मान लीजिए कि विद्युत प्रदाय में एक संघारित्र फ़िल्टर है और इसकी ऊर्मिका (ripple) वोल्टता 2V है। जैसा कि चित्र 9.6 में दिखाया गया है, इस विद्युत प्रदाय की न्यूनतम लोड वोल्टता, जो नियंत्रक को दी जाने वाली न्यूनतम निवेश वोल्टता भी होगी, निम्नलिखित समीकरण से व्यक्त की जा सकती है

$$V_{I\,min} = V_O + \text{उन्मोचक वोल्टता} \qquad (9.1)$$

यहां $V_{I\,min}$ नियंत्रक को मिलने वाली न्यूनतम निवेश वोल्टता है तथा V_O नियंत्रक की नियंत्रित निर्गम वोल्टता है। अतः

$$V_{I\,min} = 15V + 2V = 17V$$

अतः नियंत्रक को पोषित करने वाले विद्युत प्रदाय की डी.सी. कम से कम 18V होनी चाहिए (17V+ ऊर्मिका वोल्टता की आधी, जो इस उदाहरण में 1V है)। उन्मोचक वोल्टता अर्थात् हेडरूम बहुत ज्यादा भी नहीं होना चाहिए। विद्युत प्रदाय द्वारा नियंत्रक को जो उच्चतर डी सी वोल्टता प्रदान की जाती है, उसकी वजह से नियंत्रक में ज्यादा ऊष्मा बर्बाद होती है।



चित्र 9.6: उन्मोचक वोल्टता।

बोध प्रश्न 2

क्या आप एक ऐसे स्थिर वोल्टता नियंत्रक का उपयोग करेंगे जिसका हेड रूम बहुत ज्यादा हो?

9.3.2 आत्म सुरक्षा परिपथ

सीमा से ज्यादा लोड धारा होने पर इन यंत्रों की सुरक्षा हेतु इनमें आंतरिक परिपथ बने होते हैं। यदि लोड धारा निर्माता द्वारा निर्दिष्ट सीमा मान से ज्यादा हो जाती है, तो स्वतः ही लोड धारा को सीमित कर दिया जाता है जब तक कि अतिरिक्त लोड धारा को हटा न दिया जाए। इसके अलावा इन नियंत्रकों में यह जानने की संवेदनशीलता होती है कि ऊष्मा अभिगम ठीक से हो रहा है या नहीं। यदि नियंत्रक का आंतरिक तापमान 150° – 175° सेल्सियस से ज्यादा हो जाता है तो वह काम करना बन्द कर देता है। ऊष्मा अभिगम में आ रही गड़बड़ी को दुरुस्त करने पर नियंत्रक फिर से काम करने लगता है।

9.3.3 निष्पादन मापदण्ड

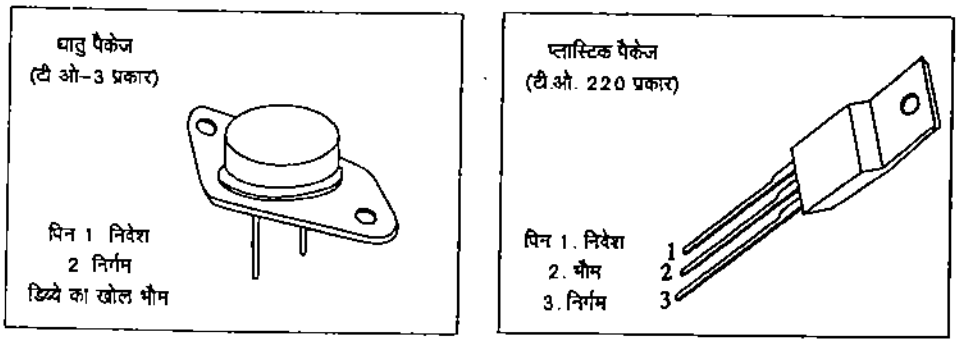
वोल्टता नियंत्रकों के संदर्भ में चार निष्पादन (performance) मापदण्ड होते हैः लाइन या निवेश नियमन, लोड नियमन, तापमान स्थायित्व, ऊर्मिका (ripple) निराकरण। निवेश नियमन से तात्पर्य है कि निवेश या लाइन वोल्टता में परिवर्तन होने पर निर्गम वोल्टता में होने वाला परिवर्तन। लोड नियमन का अर्थ है लोड धारा में परिवर्तन होने पर निर्गम वोल्टता में परिवर्तन। तापमान स्थिरता से तात्पर्य है कि तापमान में प्रति इकाई परिवर्तन पर निर्गम वोल्टता में कितना परिवर्तन होता है। इसे mV/°C में नापा जाता है। ऊर्मिका निराकरण (ripple rejection), शिखर-शिखर (peak-to-peak) निवेश ऊर्मिका वोल्टता तथा शिखर-शिखर निर्गम ऊर्मिका वोल्टता का अनुपात होता है तथा इसे डेसीबल (dB) में नापते हैं। अच्छे नियमन के लिए निवेश नियमन, लोड नियमन तथा तापमान स्थायित्व के मान कम होने चाहिए तथा ऊर्मिका निराकरण का मान ज़्यादा होना चाहिए।

बोध प्रश्न 3

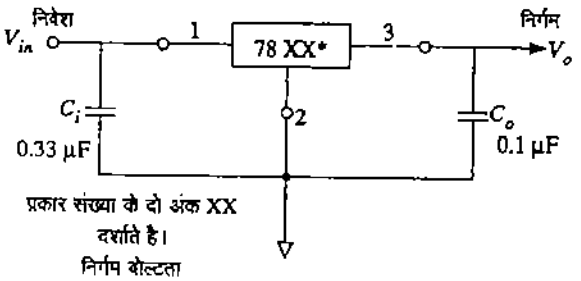
एक वोल्टता नियंत्रक आई.सी. के लिए ऊर्मिका निराकरण को परिभाषित कीजिए।

9.3.4 स्थिर वोल्टता नियंत्रक

आई.सी. 7800 श्रेणी के वोल्टता नियंत्रक स्थिर धनात्मक वोल्टता के लिए होते हैं। इनमें 5V से 24V तक के कई वोल्टता मान उपलब्ध होते हैं। इनमें तीन पिनें होती हैं- निवेश, निर्गम तथा उभयनिष्ठ भौम। उपयुक्त ऊष्मा निकासी की व्यवस्था होने पर ये नियंत्रक IA से ज़्यादा धारा प्रदान कर सकते हैं। पैकेज का प्रकार तथा पिन संबंधन चित्र 9.7 में दिखाया गया हैं। वोल्टता नियंत्रक हेतु मानक अनुप्रयोग परिपथ चित्र 9.8 में दिखाया गया है। संधारित्र C_i की ज़रूरत तब पड़ती है, जब नियंत्रक विद्युत प्रदाय के फिल्टर से काफ़ी अधिक दूरी पर हो जबकि C_0 वैसे तो ज़रूरी नहीं है मगर यह नियंत्रक की क्षणिक अनुक्रिया (transient response) बेहतर कर देता है।

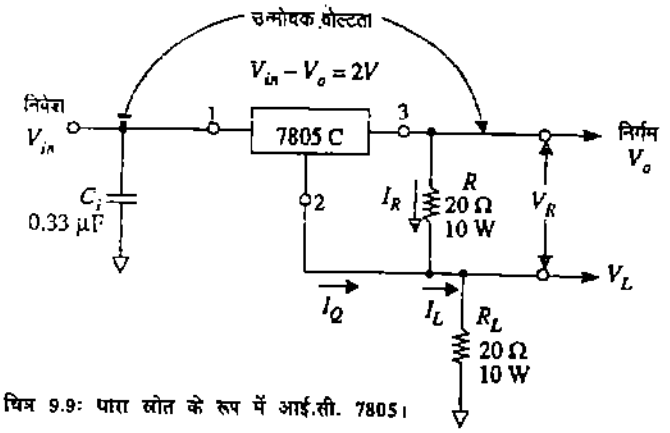


चित्र 9.7: 7800 श्रेणी के आई.सी. के पैकेज प्रकार तथा पिन संबंधन।



चित्र 9.8: 7800 श्रेणी के आई.सी. का मानक अनुप्रयोग परिपथ।

आई.सी 7800 श्रेणी के नियंत्रक, धारा के स्रोत के रूप में भी प्रयुक्त किए जा सकते हैं। चित्र 9.9 पर गौर कीजिए जिसमें 7805 को 0.25 mA की धारा के स्रोत के रूप में इस्तेमाल किया जा रहा है। लोड प्रतिरोध R_L को सप्लाई की गई धारा को इस तरह व्यक्त किया जा सकता है:



चित्र 9.9: धारा स्रोत के रूप में आई.सी. 7805।

$$I_L = \frac{V_R}{R} + I_Q \qquad (9.2)$$

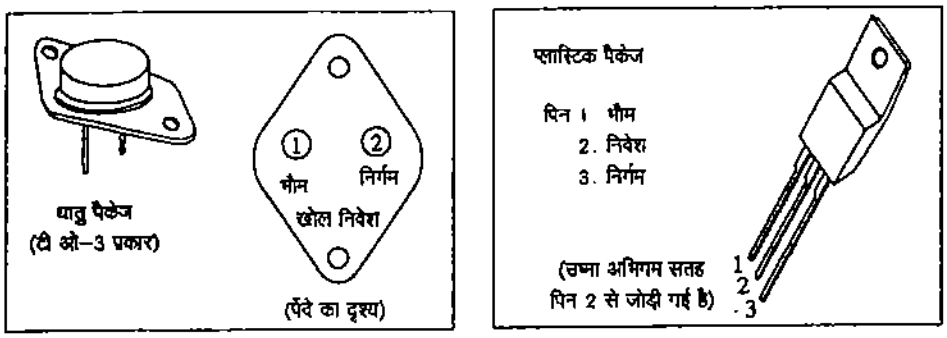
I_Q शांत (Quiescent) धारा है और आई.सी. 7805 के लिए इसका प्रतिरूपी मान 4.3 mA होता है। चित्र 9.9 के अनुसार V_R, R के आर-पार वोल्टता पात है जो कि नियंत्रक की निर्गम वोल्टता है। अतः $V_R = V_{23} = 5V$, यदि $R = 20\,\Omega$ हो, तो $V_R/R = 0.25$ होगा। तब

$$I_L = 0.25\,A + 4.3\,mA \approx 0.25\,A$$

धारा $I_L = 0.25A$, लोड प्रतिरोधक R_L, जिसका प्रतिरोध $20\,\Omega$ है, से होकर बह रही है जिसकी वजह से R_L के आर-पार $V_L = I_L . R_L = 5V$ के बराबर वोल्टता पात हो रहा है। भौम के सापेक्ष निर्गम वोल्टता है

$$V_O = V_R + V_L \qquad (9.3)$$
$$= 5V + 5V = 10V$$

आई.सी 7805 में उन्मोचक वोल्टता 2V होती है। अतः आवश्यक न्यूनतम निवेश वोल्टता 12V है। इस प्रकार से हमें 0.25A की धारा का स्रोत प्राप्त होता है। R का उपयुक्त मान चुनकर लोड धारा की मात्रा को नियंत्रित किया जा सकता है। अलबत्ता, आवश्यक न्यूनतम निवेश वोल्टता का मान R_L के मान तथा उन्मोचक वोल्टता पर निर्भर करता है।



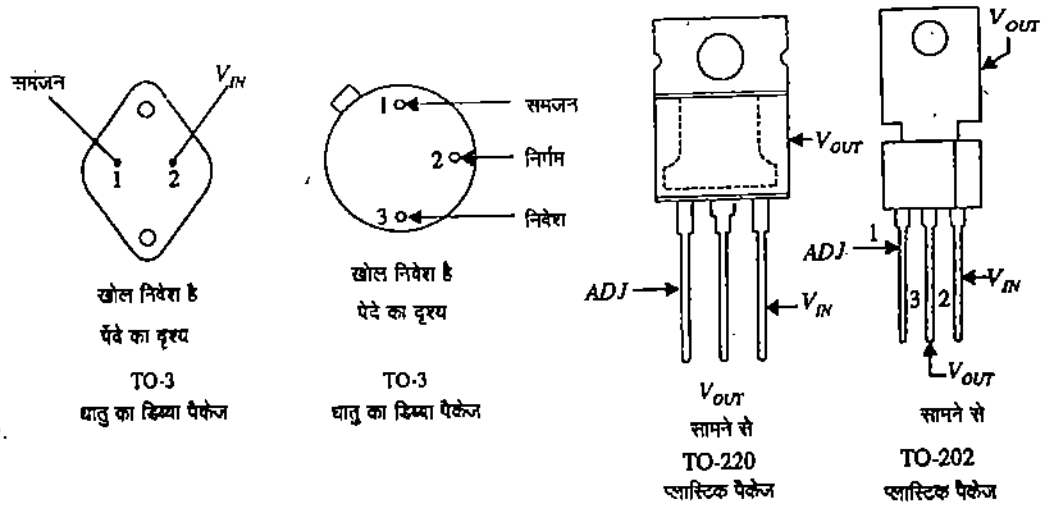
चित्र 9.10: 7900 श्रेणी के आई.सी. के पैकेज प्रकार तथा पिन संबंधन।

आई.सी 7900 श्रेणी के वोल्टता नियंत्रक स्थिर ऋणात्मक वोल्टता नियंत्रक होते हैं। ये 7800 श्रेणी के स्थिर वोल्टता नियंत्रकों के पूरक हैं। ये भी उसी परास में उपलब्ध हैं, जिसमें 7800 श्रेणी के आई.सी. मिलते हैं। इसके अलावा –2V तथा –5.2V के दो अतिरिक्त विकल्प भी उपलब्ध हैं। आई.सी. 7900 श्रेणी के पैकेज प्रकार तथा पिन-आउट आरेख चित्र 9.10 में दिखाए गए हैं।

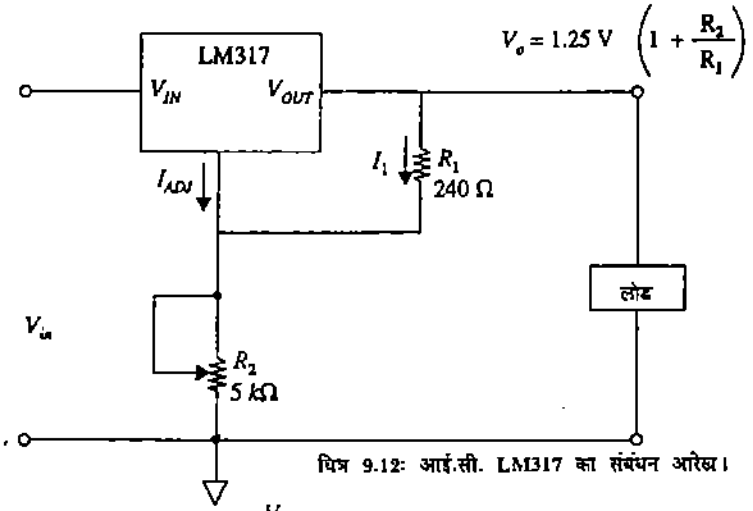
9.3.5 समंजनीय वोल्टता नियंत्रक

चार मानक पैकेज नियंत्रकों के पिन संबंधन चित्र 9.11 में दिए गए हैं। इन आई.सी के उपयोग हेतु एक सामान्य परिपथ चित्र 9.12 में दिया गया है। एक $240\,\Omega$ का प्रतिरोधक R_1, निर्गम व समंजन पिनों के बीच लगाया जाता है। यह $I_1 = V_{REF}/R$ की धारा को R_1 में प्रवाहित करता है। चूंकि निर्देश वोल्टता (reference voltage) नियत है, इसलिए I_1 का मान भी दिए गए R_1 के लिए नियत होता है। इस प्रतिरोध को धारा निर्धारक (current set) या प्रोग्राम प्रतिरोध (programme resistor) कहते हैं क्योंकि यह धारा, I_1 का निर्धारण करता है। एक अल्प किन्तु स्थिर धारा, समंजन पिन में से निर्गम निर्धारक प्रतिरोधक R_2 में होकर भी बहती है। धारा I_{ADJ} का अधिकतम मान $100\,\mu A$ होता है। अतः निर्गम वोल्टता होती है।

$$V_0 = R_1 I_1 + (I_1 + I_{ADJ}) R_2$$
$$= I_1 (R_1 + R_2) + I_{ADJ} R_2$$



चित्र 9.11: आई.सी. LM317 श्रेणी के मानक पैकेज प्रकार तथा पिन संबंधन।



चित्र 9.12: आई.सी. LM317 का संबंधन आरेख।

$$= \frac{V_{REF}}{R_1}(R_1 + R_2) + I_{ADJ} R_2$$

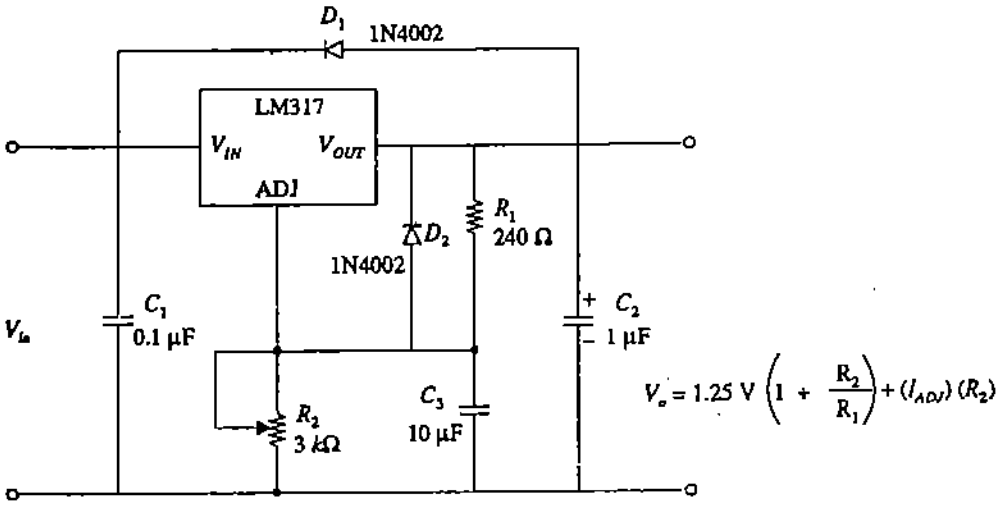
$$= V_{REF}\left(1 + \frac{R_2}{R_1}\right) + (100\,\mu A)\, R_2 \qquad (9.4)$$

$$= V_{REF}\left(1 + \frac{R_2}{R_1}\right) \qquad (9.5)$$

समीकरण (9.5) में दूसरे पद को छोड़ दिया गया है क्योंकि इसका मान बहुत ही कम (अधिकतम $I_{ADJ} = 100\,\mu A$) होता है। इस तरह R_2 को बदलकर नियंत्रित निर्गम वोल्टता की वांछित मात्रा प्राप्त की जा सकती है। धारा निर्धारक प्रतिरोधक R_1, जिसका मान सामान्यतः 240 Ω होता है, को लोड के निकट जोड़ने की बजाय सीधे नियंत्रक की निर्गम पिन से जोड़ा जाता है ताकि बेहतर लोड नियमन सम्भव हो सके। आई.सी. LM317 की उन्मोचक वोल्टता 3V होती है। अतः निवेश वोल्टता का निम्न बिन्दु, नियंत्रित निर्गम वोल्टता से कम से कम 3V ज़्यादा होना चाहिए।

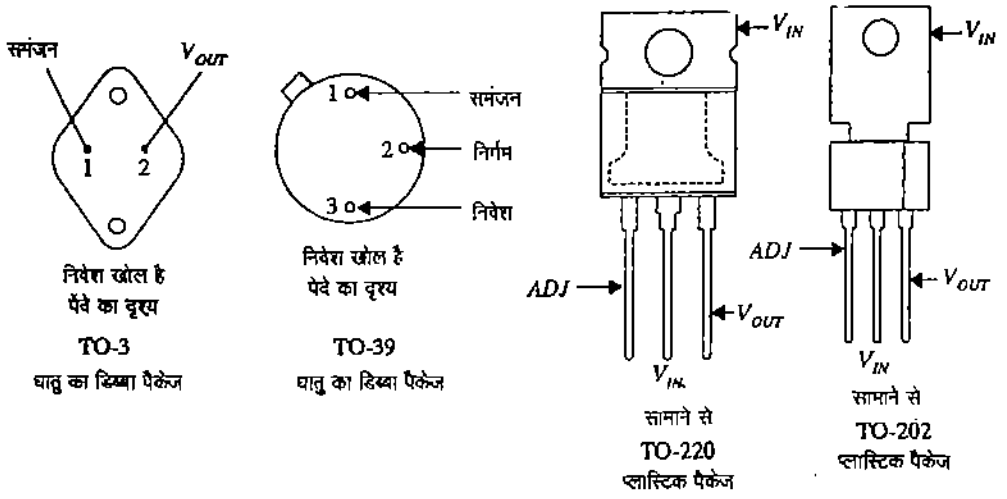
बायपास संधारित्रों C_1(0.1μF) तथा C_2(1μF, टैंटेलम) को चित्र 9.12 में दिखाए अनुसार जोड़ा जाता है। C_1 दिष्टकारी (rectifier) और नियंत्रक के बीच लम्बे तारों की वजह से उत्पन्न दिक्कतों को कम करता है और C_2 परिवर्तन के दौरान क्षणिक अनुक्रिया को बेहतर बनाता है। दिष्टकारी से कोई भी ऊर्मिका वोल्टता 1000 गुना कम हो जाएगी, बशर्ते R_2 को 10 μF के विद्युत अपघट्य (electrolyte) संधारित्र के ज़रिए बायपास कर दिया जाए। बाहरी संधारित्र का उपयोग करते वक़्त यह ज़रूरी हो जाता है कि चित्र 9.13 के अनुसार डायोड D_1 व D_2 जोड़कर अतिरिक्त सुरक्षा की व्यवस्था की जाए ताकि संधारित्रों का नियंत्रक के निम्न धारा बिन्दुओं पर

विसर्जन (discharge) न हो पाए। बहरहाल, यदि निर्गम 25V से कम है तथा बायपास संधारित्र का मान 25 μF से कम है, तो डायोड की ज़रूरत नहीं होती।



चित्र 9.13: आई.सी. LM317 हेतु संधारित्रों व सुरक्षा परिपथ का इस्तेमाल।

आई.सी. LM 337 श्रृंखला के समंजनीय वोल्टता नियंत्रक आई.सी. LM 317 उपकरणों के पूरक होते हैं। ये भी वोल्टता व धारा की उसी परास में उपलब्ध हैं जो तालिका 9.1 में दी गई है। पैकेज का प्रकार और पिन संबंध चित्र 9.14 में दर्शाए गए हैं। समंजनीय नियंत्रक ठीक उसी तरह काम करते हैं, जैसे कि धनात्मक समंजनीय नियंत्रक काम करते हैं, अन्तर सिर्फ़ इतना होता है कि इनमें R_1 का मान 120 Ω होता है।



चित्र 9.14

चित्र 9.14: आई.सी. LM 337 श्रेणी के मानक पैकेज प्रकार तथा पिन संयंपन।

उदाहरण 9.1

आई.सी. LM317 का उपयोग करके 5 से 20V की निर्गम वोल्टता हेतु एक समंजनीय वोल्टता नियंत्रक डिज़ाइन कीजिए।

हल

समीकरण (9.4) का इस्तेमाल करके और $R_1 = 240\,\Omega$ लेने पर

$$5V = 1.25\left(1 + \frac{R_2}{240\,\Omega}\right) + (100\,\mu A)\,R_2$$

$$= 1.25 + R_2\left(\frac{1.25}{240} + 10^{-4}\right)$$

$$= 1.25 + R_2 (5.3 \times 10^{-3})$$

$$R_2 = \frac{3.75}{(5.3)(10^{-3})}\ \Omega$$

$$= 708\ \Omega$$

इसी तरह, 20V के लिए R_2 का मान होगा

$$20 = 1.25\left(1 + \frac{R_2}{240}\right) + (10^{-4})\, R_2$$

$$R_2 = \frac{18.75}{(5.3)\,(10^{-3})}\ \Omega$$

$$= 3538\ \Omega$$

अर्थात 5V से 20V की निर्गम वोल्टता परास वाले समंजनीय वोल्टता नियंत्रक हेतु हमें R_2 का मान 708 Ω से 3538 Ω के बीच बदलना होगा। जिहाज़ा परिवर्तनीय R_2 के रूप में 5 kΩ का कार्बन विभवमापी जोड़ दें। जैसा कि हमने पहले बताया था, 0.1 μF मान का C_1, 1 μF का C_2 तथा 10 μF मान का C_3 को जोड़े ताकि बेहतर ऊर्मिका निराकरण हासिल हो सके।

बोध प्रश्न 5

आई.सी. LM317 तथा LM337 की निर्देश वोल्टता क्या है?

बोध प्रश्न 6

आई.सी. LM317 तथा LM337 के लिए उन्मोचक वोल्टता क्या है?

9.4 सारांश

- हालांकि सामान्य ऑप एम्प का उपयोग कुछ अनुप्रयोगों में संतोषप्रद ढंग से किया जा सकता है, मगर यह ज़्यादा आसान व किफ़ायती होता है कि बाज़ार में उपलब्ध विशेष उद्देश्य के लिए बनाए गए रैखिक एकीकृत परिपथों का इस्तेमाल किया जाए।

- शक्ति प्रवर्धक, स्पीकर व मोटर जैसे विद्युत धारा संचालित लोड को वृहत संकेत धारा सप्लाई करते हैं। नेशनल सेमीकण्डक्टर द्वारा निर्मित आई.सी. LM380 शक्ति प्रवर्धकों में बहुतायत से इस्तेमाल किया जाता है। यह 8Ω के लोड को न्यूनतम 2.5W (rms) शक्ति प्रदान कर सकता है। आई.सी LM380 की लब्धि को आंतरिक रूप से 50 पर स्थिर कर दिया जाता है। लेकिन इसे 300 तक बढ़ाया जा सकता है और बाह्य परिपथ के ज़रिए धनात्मक पुनर्भरण का उपयोग करके 50 तक परिवर्तनीय बनाया जा सकता है।

- 7800 श्रेणी के वोल्टता नियंत्रक आई.सी. का इस्तेमाल 5V से 24V की परास में स्थिर धनात्मक नियंत्रित वोल्टता प्राप्त करने के लिए किया जाता है। इन आई.सी को 2V उन्मोचक वोल्टता की ज़रूरत होती है, यानी निवेश ऊर्मिका के न्यूनतम बिन्दु पर भी निवेश वोल्टता वांछित नियंत्रित वोल्टता से कम से कम 2V ज़्यादा होना चाहिए। यदि नियंत्रक विद्युत प्रदाय से दूर हो, और क्षणिक अनुक्रिया को बेहतर बनाना हो, तो संधारित्रों C_1 व C_0 का इस्तेमाल किया जाता है।

- 7900 श्रेणी के आई.सी 7800 श्रेणी के आई.सी. के पूरक हैं तथा इनका उपयोग स्थिर

ऋणात्मक वोल्टता नियंत्रण हेतु होता है। ये आई.सी. ठीक 7800 श्रेणी के आई.सी. की तरह काम करते हैं।

- जैसा कि इकाई में बताया गया है, आई.सी. 7800 श्रेणी के वोल्टता नियंत्रकों का उपयोग वांछित मान की धारा के स्रोत के रूप में भी किया जा सकता है। इस कार्य हेतु आई.सी. के अलावा मात्र दो प्रतिरोधकों की ज़रूरत होती है।

- LM317 श्रेणी के आई.सी. समंजनीय धनात्मक नियंत्रित वोल्टता हेतु इस्तेमाल होते हैं। इस श्रेणी की वोल्टता परास 1.2V से लेकर 57V तक है। इन आई.सी. की उन्मोचक वोल्टता 3V होती है। धारा निर्धारण हेतु आई.सी. के अलावा निर्गम व समंजन पिनों के बीच 240 Ω के एक प्रतिरोधक का तथा समंजनीय निर्गम वोल्टता निर्धारित करने हेतु एक कार्बन विभवमापी प्रतिरोध का इस्तेमाल किया जाता है जैसा कि इकाई में बताया गया है, बेहतर निष्पादन व बेहतर ऊर्मिका निराकरण हेतु आई.सी. के साथ तीन संधारित्रों का उपयोग किया जाता है।

- आई.सी. LM337 श्रेणी, आई.सी. LM317 श्रेणी की पूरक है। LM337 समंजनीय ऋणात्मक नियंत्रित वोल्टता के लिए है। ये आई.सी. ठीक LM317 की तरह काम करते हैं। अन्तर सिर्फ़ इतना है कि LM317 में धारा निर्धारण प्रतिरोधक का मान 240 Ω होता है। जबकि LM337 में इसका मान 120 Ω होता है।

9.5 अंत में कुछ प्रश्न

1. आई.सी. LM380 के प्रमुख अभिलक्षण क्या हैं?
2. एक संधारित्र फ़िल्टर युक्त विद्युत प्रदाय के निर्गम में 3V की ऊर्मिका वोल्टता है। यदि 10V की नियंत्रित निर्गम वोल्टता वांछित हो, तो इस विद्युत प्रदाय का डी.सी. वोल्टता निर्गम क्या होना चाहिए? आपके द्वारा इस कार्य के लिए चुने गए नियंत्रक का संख्या कोड क्या है?
3. एक वोल्टता नियंत्रक आई.सी. का ऊर्मिका निराकरण 60 डेसीबेल है। यदि नियंत्रक के निवेश पर ऊर्मिका वोल्टता 5V है, तो नियंत्रक के निर्गम पर ऊर्मिका का मान क्या होगा?
4. 8V से लेकर 16V की वोल्टता परास हेतु आई.सी. LM317 का उपयोग करते हुए समंजनीय वोल्टता नियंत्रक डिज़ाइन कीजिए।

9.6 हल और उत्तर

बोध प्रश्न

1. लघु संकेत प्रवर्धक दरअसल वोल्टता प्रवर्धक होते हैं, जो लोड पर वृहत् प्रवर्धित वोल्टता प्रदान करते हैं जबकि वृहत् संकेत या शक्ति प्रवर्धक स्पीकर व मोटर जैसे धारा संचालित लोड को वृहत संकेत धारा प्रदान करते हैं। लघु संकेत व वृहत् संकेत यानी शक्ति प्रवर्धकों के बीच यही मुख्य अंतर है।
2. नहीं, क्योंकि इसमें नियंत्रक में बहुत अधिक ऊष्मा व्यर्थ होगी।
3. परिभाषा भाग 9.3.3 में है।
2. आई.सी. 7800 श्रेणी में, पिन 1 निवेश, 2 भौम और पिन 3 निर्गम है। दूसरी ओर आई.सी 7900 श्रेणी में पिन 1 भौम, पिन 2 निवेश तथा पिन 3 निर्गम है।
5. यह निर्गम व समंजन पिन के बीच उत्पन्न स्थिर वोल्टता होती है तथा इसका मान 1.25V है।
6. 3V.

अंत में कुछ प्रश्न

1. अभिलक्षणों की सूची भाग 9.2.1 में दी गई है।

2. नियंत्रक आई.सी. 7810 चुनें। इस आई.सी की उन्मोचक वोल्टता 2V होती है। अतः $V_{I\,min} = 10V + 12V + 2V + 12V$ । परंतु दिए गए शक्ति प्रवर्धक में 3V की ऊर्मिका है। लिहाज़ा विद्युत प्रदाय डी.सी. निर्गम होना चाहिए $V_{I\,min}$ + ऊर्मिका वोल्टता का आधा, अर्थात् $1V + 1.5V = 13.5V$.

3. ऊर्मिका निराकरण $= 20 \log \frac{\text{निवेश पर ऊर्मिका}}{\text{निर्गम पर ऊर्मिका}} = 60$ डेसीबेल (दिया गया है)

   इसका अर्थ है कि log पद, 3 के बराबर होना चाहिए। ऐसा तभी सम्भव है, जब log पद का अंश 1000 हो तथा हर 1 हो। यानी निवेश व निर्गम ऊर्मिका 1000:1 के अनुपात में हैं। चूंकि निवेश ऊर्मिका 5V है, इसलिए निर्गम ऊर्मिका 5mV होगी।

   (एक अन्य तरीका यह है कि समीकरण में निवेश ऊर्मिका का मान रखकर इसे निर्गम ऊर्मिका के लिए हल किया जाए)।

4. पाठ के उदाहरण 9.1 में दिए गए चरणों के अनुरूप चलें। 8V के लिए R_2 का मान 1273Ω है और 16V के लिए 2783Ω है अतः 3 kΩ का कार्बन विभवमापी इस्तेमाल करना होगा।

तालिका 9.1: विभिन्न प्रकार के नियंत्रक ICLM337 श्रेणी।

युक्ति	उपलब्ध V_0 (V)	निर्गम धारा (A)	$V_{in\,max}$ (V)	ऊर्मिका निराकरण (dB)	पैकेज
LM337	–1.2 to –37	1.5	40	77	TO–39
LM337H	–1.2 to –37	0.5	40	77	TO–39
LM337HV	–1.2 to –47	1.5	50	77	TO–3
LM337HVH	–1.2 to –47	0.50	50	77	TO–39
LM337LZ	–1.2 to –37	0.10	40	65	TO–92
LM337M	–1.2 to –37	0.50	40	77	TO–202

उत्तर प्रदेश
राजर्षि टण्डन मुक्त विश्वविद्यालय

UGPHS-05
विद्युत परिपथ और इलेक्ट्रॉनिकी

खंड

4
अंकीय इलेक्ट्रॉनिकी

इकाई 10

सँख्या पद्धति और कोड 5

इकाई 11

बूलीय बीजावली के मूल तथ्य और फ्लिप-फ्लॉप 27

इकाई 12

रजिस्टर, गणित्र, स्मृति परिपथ और अनुरूप/अंकीय परिपथ 75

इकाई 13

इलेक्ट्रॉनिक उपकरण 105

खंड 4 अंकीय इलेक्ट्रॉनिकी

पिछले तीन खंडों में हमने अनुरूप इलेक्ट्रॉनिकी के बारे में अध्ययन किया है, जिसमें निवेश और निर्गम अनुरूप (सतत् रूप से परिवर्ती) सिगनल रहे हैं। इस खंड में हम अंकीय परिपथों के बारे में अध्ययन करेंगे, जिनमें सिगनल असतत् होते हैं।

इतिहास लिखे जाने के हजारों साल पहले गुफाओं में अंकों का उद्गम हो चुका था। मनुष्य ने अंगुलियों (अंकों) पर गिनती करना सीख लिया था। अतः आधारभूत संख्याओं को अंको के नाम से जाना जाता है। अंकीय इलेक्ट्रॉनिकी में विभिन्न संख्या-पद्धतियों का प्रयोग होता है। इकाई 10 में आपको कुछ प्रयुक्त होने वाली महत्वपूर्ण संख्या-पद्धतियों से परिचित कराया जाएगा। वहाँ हम यह देखेंगे कि एक पद्धति की संख्याओं को दूसरी पद्धति की संख्याओं में किस प्रकार रूपांतरित किया जाता है। वहाँ हम द्वि-आधारी संख्या और इनसे संबंधित कुछ गणितीय संक्रियाओं पर चर्चा करेंगे।

इकाई 11 में कुछ ऐसे परिपथों से आपको परिचित कराएंगे, जो द्वि-आधारी संख्याओं पर प्रक्रिया कर तर्कसंगत कार्य का निष्पादन कर सकते हैं। इन परिपथों को इलेक्ट्रॉनिक गेट कहा जाता है। यहाँ आपको बूलीय बीजावली से भी परिचित कराया जाएगा जिसका प्रयोग अंकीय तंत्रों में किया जाता है। विभिन्न प्रकार के गेट का अध्ययन कर लेने के बाद आपको फिलप-फ्लाप से परिचित कराया जाएगा, जिसका निर्माण गेट की सहायता से किया जा सकता है।

इकाई 12 में हम गणित्रों के बारे में अध्ययन करेंगे, जिनका प्रयोग अंकीय स्पंदों की गिनती करने में किया जाता है। यहाँ हम रजिस्टरों का भी अध्ययन करेंगे, जिनका प्रयोग द्वि-आधारी सूचना को संग्रहित करने में किया जाता है। अनेक अंकीय तंत्रों में कुछ स्मृति होती हैं, जहाँ स्थायी अथवा अस्थायी रूप से आंकड़ों को सुरक्षित रखा जा सकता है। अंकीय तंत्र में विभिन्न प्रकार की स्मृतियों का प्रयोग किया जाता है। इस इकाई में हम अर्धचालक स्मृतियों के बारे में पढ़ेंगे। प्रायः इस भौतिक जगत से प्राप्त आंकड़े अनुरूप और समय के साथ सतत् होते हैं। अंकीय कम्प्यूटर या संसाधित्र संख्याओं और असतत् आंकड़ों पर संक्रिया करते हैं। भौतिक समस्याओं को हल करने या नियंत्रण करने में अंकीय संसाधित्र का प्रयोग करने के लिए हमें कुछ ऐसी युक्तियों की आवश्यकता होती है, जो अनुरूप आंकड़ों को अंकीय रूप में कोडित कर सके या संसाधित्र सूचना को पुनः अनुरूप में लाने के लिए उत्क्रम संसाधन और विकोडन कर सके। अतः इकाई 12 में हम अनुरूप से अंकीय परिवर्तक और अंकीय से अनुरूप परिवर्तक पर चर्चा करेंगे।

इकाई 13 में हमने कुछ इलेक्ट्रॉनिक उपकरणों जैसे कैथोड किरण दोलनदर्शी, सिगनल जनित्र, इलेक्ट्रॉनिक वोल्टमापी आदि की चर्चा की है।

इकाई 10 संख्या पद्धति और कोड

इकाई की रूपरेखा

10.1 प्रस्तावना
उद्देश्य

10.2 द्वि-आधारी संख्या पद्धति
द्वि-आधारी से दशमलव में रूपांतरण
दशमलव से द्वि-आधारी में रूपांतरण

10.3 अष्टाधारी संख्या पद्धति
अष्टाधारी से दशमलव में रूपांतरण
दशमलव से अष्टाधारी में रूपांतरण
अष्टाधारी से द्वि-आधारी में रूपांतरण
द्वि-आधारी से अष्टाधारी में रूपांतरण

10.4 षोडश-आधारी संख्या पद्धति
षोडश-आधारी से दशमलव में रूपांतरण
दशमलव से षोडश-आधारी में रूपांतरण
षोडश-आधारी से द्वि-आधारी में रूपांतरण
द्वि-आधारी से षोडश-आधारी में रूपांतरण
षोडश-आधारी से अष्टाधारी में रूपांतरण
अष्टाधारी से षोडश-आधारी में रूपांतरण

10.5 कोड
BCD कोड
आस्की (ASCII) कोड

10.6 द्वि-आधारी अंकगणित
जोड़
घटाना
गुणा और भाग

10.7 सारांश
10.8 अंत में कुछ प्रश्न
10.9 हल और उत्तर
10.10 शब्दावली

10.1 प्रस्तावना

किसी भी संख्या पद्धति का उद्देश्य कुछ ऐसी राशियों के बारे में अध्ययन करना है, जिन्हें मापित, मॉनिटरित, अभिलेखित, गणितीयतः प्रकलित तथा प्रेक्षित किया जा सकता हो और जिन्हें उपयोग में लाया जा सकता हो। प्रत्येक राशि को उसके मान से उतनी ही दक्षता और परिशुद्धता के साथ निरूपित करना होता है, जितना कि किसी अनुप्रयोग के लिए अपेक्षित है। मूलतः किसी भी राशि के संख्यात्मक मान को या तो अनुरूप (सतत्) या अंकीय (चरणशः) निरूपण-विधि से व्यक्त किया जा सकता है।

अनुरूप विधि में, किसी राशि को ऐसी दूसरी राशि से व्यक्त किया जाता है, जो कि पहली राशि की समानुपाती होती है। उदाहरण के लिए, एक प्रवर्धक का वोल्टता निर्गत एक वोल्टमीटर से मापा जाता है। वोल्टमीटर की सुई की कोणीय स्थिति प्रवर्धक के वोल्टता निर्गत के समानुपाती होती है। एक अन्य उदाहरण थर्मामीटर का है। थर्मामीटर में पारा जितनी ऊँचाई तक चढ़ता है, वह ऊँचाई तापमान के समानुपाती होती है। इन दोनों उदाहरणों में वोल्टता तथा तापमान का मान शून्य और अधिकतम सीमा के बीच कोई भी हो सकता है।

अंकीय विधि में राशि के मान को कुछ प्रतीकों, जिन्हें अंक कहा जाता है, से व्यक्त किया जाता है न कि उसे राशि से व्यक्त किया जाता है, जो कि पहली राशि के समानुपाती है। अंकीय घड़ी

(digital watch) में समय को, जिसमें सतत् परिवर्तन होता रहता है, उन अंकों में व्यक्त किया जाता है जिनमें सतत् परिवर्तन नहीं होता। इसमें घंटे का अंक प्रत्येक घंटे पर बदलता है और मिनट का अंक प्रत्येक मिनट पर बदलता है। परन्तु, दो उत्तरोत्तर मिनट अंकों के बीच गुजरे हुए समय का कोई माप नहीं होता। यदि हम समय को और अधिक परिशुद्ध रूप में मापना चाहते हैं, तब इसके लिए उन घड़ियों का प्रयोग किया जा सकता है, जिनमें सेकंड-अंक भी हों ; सेकंड-अंक प्रत्येक सेकंड पर बदलता है। परन्तु, इससे दो सेकंडों के बीच गुज़रे हुए समय को नहीं मापा जा सकता। यदि हमें इसे भी मापना हो, तो हमें इसके लिए स्पोर्ट घड़ियों का प्रयोग करना होता है, जिनमें समय 2 दशमलव स्थान तक मापा जाता है। इस तरह, समय को उन अंकों से व्यक्त किया जा सकता है, जिनमें चरणशः (असतत्) परिवर्तन होता है। इस चरण को, जो कि इस उदाहरण में समय अंतराल है, आवश्यकतानुसार जितना छोटा चाहें उतना छोटा बना सकते हैं। अतः समय जैसी अनुरूप राशि को अंकीय सन्निकटनों (जैसे 10 घंटा 40 मिनट या अधिक परिशुद्ध रूप में 10 घंटा 35 मिनट 50 सेकंड) से निरूपित किया जा सकता है। जैसा कि ऊपर दिए गए उदाहरणों से स्पष्ट हो जाता है कि सामान्यतः प्रेक्षण के निर्णय पर ही अनुरूप राशि के मान की परिशुद्धता निर्भर करती है।

अंकीय प्रौद्योगिकी में अनेक संख्या पद्धतियों का प्रयोग किया जा रहा है। इनमें अत्यधिक प्रचलित पद्धतियाँ दशमलव, द्वि-आधारी, अष्टाधारी और षोडश आधारी पद्धतियाँ हैं। हम दशमलव संख्या पद्धति से अत्यधिक परिचित हैं क्योंकि इनका प्रयोग प्रायः हम प्रतिदिन करते हैं। इस इकाई में हम इन संख्या पद्धतियों, एक पद्धति से दूसरी पद्धति में संख्या के रूपांतरण और अंत में द्वि-आधारी अंकगणित के बारे में अध्ययन करेंगे। यह इकाई अंकीय इलेक्ट्रॉनिकी को समझने का हमारा प्रथम प्रयास है।

अगली इकाई में हम आपको कुछ गेटों (gates) से परिचित कराएंगे, जिनका कि अंकीय इलेक्ट्रॉनिकी में आधारभूत स्थान है। वहाँ आपको बूलीय बीजावली से भी परिचित कराया जाएगा जो कि एक गणितीय विधि है, जिसका प्रयोग अंकीय तंत्रों की अभिकल्पना में किया जाता है।

उद्देश्य

इस इकाई को पढ़ लेने के बाद आप :

- द्वि-आधारी संख्या लिख सकेंगे तथा इसे दशमलव तुल्य में रूपांतरित कर सकेंगे और दशमलव संख्या को इसके द्वि-आधारी तुल्य में रूपांतरित कर सकेंगे,
- अष्टाधारी संख्या पद्धति की व्याख्या कर सकेंगे, अष्टाधारी गिनती को समझ सकेंगे, अष्टाधारी संख्या को उसके दशमलव और द्वि-आधारी तुल्यों में रूपांतरित कर सकेंगे और दशमलव तथा द्वि-आधारी संख्याओं को उनके अष्टाधारी तुल्यों में रूपांतरित कर सकेंगे,
- षोडश-आधारी संख्या पद्धति की व्याख्या कर सकेंगे, षोडश-आधारी गिनती को समझ सकेंगे, षोडश-आधारी संख्या को उसके दशमलव, द्वि-आधारी और अष्टाधारी तुल्यों में रूपांतरित कर सकेंगे और दशमलव, द्वि-आधारी तथा अष्टाधारी संख्याओं को उनके षोडश-आधारी तुल्यों में रूपांतरित कर सकेंगे,
- BCD कोड लिख सकेंगे और एक दशमलव संख्या को उसके तुल्य BCD में तथा BCD कोड को उसके तुल्य दशमलव संख्या में रूपांतरित कर सकेंगे,
- आस्की (ASCII) कोड को समझ सकेंगे,
- द्वि-आधारी संख्याओं का जोड़, घटाना, गुणा और भाग कर सकेंगे।

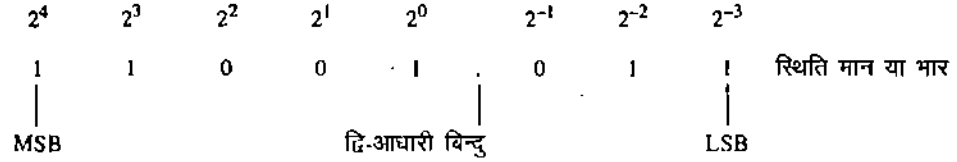
10.2 द्वि-आधारी संख्या पद्धति

आइए, पहले हम सुपरिचित दशमलव पद्धति पर विचार करें। इस पद्धति में स्पष्ट और अलग-अलग दस अंक (0, 1, 2, 3, 4, 5, 6, 7, 8 और 9) होते हैं। 9 से अधिक परिमाणों के संबंध में परिपाटी यह रही है कि अंकों को पंक्तियों में इस तरह व्यवस्थित किया जाए कि अधिकतम सार्थक अंक को प्रारंभ में सबसे बायीं ओर और न्यूनतम सार्थक अंक को अंत में सबसे दायीं ओर रखा जाए। सार्थकता का निर्धारण अंक के भारण (weighting) से किया जाता है। इस प्रकार दहाई, सैकड़ा,

हजार आदि की संकल्पना का उद्‌भव हुआ। उदाहरण के लिए, $3458 = (3 \times 10^3) + (4 \times 10^2) + (5 \times 10^1) + (8 \times 10^0)$. इसमें प्रत्येक अंक 0 से 9 तक के प्रतीकों में से एक है और इसे अंक की स्थिति के अनुसार 10 के घात से गुणा किया गया है। इस तरह, दशमलव संख्या का आधार दस है और गुणा करने वाले घातों 10^0, 10^1, 10^2, 10^3, आदि को "भार" या "स्थिति मान" (positional values) कहा जाता है।

द्वि-आधारी संख्या-पद्धति (2 का आधार) में केवल दो अंक 0 और 1 होते हैं और स्थान मान (place value) 2^0, 2^1, 2^2, 2^3 आदि होते हैं। द्वि-आधारी अंक को संक्षेप में बिट (bit) कहा जाता है। उदाहरण के लिए 1101 एक 4 बिट वाली द्वि-आधारी संख्या है (अर्थात् यह एक द्वि-आधारी संख्या है, जिसमें चार द्वि-आधारी अंक हैं)।

एक द्वि-आधारी संख्या में कितने भी बिट हो सकते हैं। उदाहरण के लिए संख्या 11001.011 लीजिए। इस संख्या में द्वि-आधारी बिन्दु (जो कि दशमलव संख्या पद्धति में दशमलव बिन्दु के तुल्य है) पर ध्यान दीजिए। सबसे दायीं ओर के बिट को न्यूनतक सार्थक बिट (Least Significant Bit-LSB) और सबसे बायीं ओर के बिट को अधिकतम सार्थक बिट (Most Significant Bit-MSB) कहा जाता है। प्रत्येक बिट का अपना स्थिति मान होता है, जैसा कि चित्र 10.1 में दिखाया गया है।



चित्र 10.1 : द्वि-आधारी संख्या : प्रत्येक बिट का स्थिति मान (भार) दिखाया गया है।

द्वि-आधारी बिन्दु की बायीं ओर के बिट 2 के धनात्मक घात वाले हैं और द्वि-आधारी बिन्दु की दायीं ओर के बिट 2 के ऋणात्मक घात वाले हैं। इस संख्या का दशमलव तुल्य इसके प्रत्येक बिट और स्थिति मान के गुणनफलों को जोड़कर इस प्रकार प्राप्त किया जाता है :

$$\begin{aligned} 11001.011_2 &= (1 \times 2^4) + (1 \times 2^3) + (0 \times 2^2) + (0 \times 2^1) + (1 \times 2^0) + (0 \times 2^{-1}) + (1 \times 2^{-2}) \\ &\quad + (1 \times 2^{-3}) \\ &= 16 + 8 + 0 + 0 + 1 + 0 + 0.25 + 0.125 \\ &= 25.375_{10} \end{aligned}$$

ध्यान दीजिए कि भ्रम दूर करने की दृष्टि से संख्याओं के साथ पदांक (subscript) 2 और 10 लिखे गए हैं, जिससे यह स्पष्ट हो जाए कि किस संख्या पद्धति पर संख्या लिखी गई है। किसी भी संख्या को द्वि-आधारी रूप में व्यक्त किया जा सकता है, जैसा कि सारणी 10.1 में दिखाया गया है।

सारणी 10.1 : द्वि-आधारी पद्धति में गिनती

2^3	2^2	2^1	2^0	द्वि-आधारी संख्या	दशमलव संख्या
0	0	0	0	0000	0
0	0	0	1	0001	1
0	0	1	0	0010	2
0	0	1	1	0011	3
0	1	0	0	0100	4
0	1	0	1	0101	5
0	1	1	0	0110	6
0	1	1	1	0111	7
1	0	0	0	1000	8
1	0	0	1	1001	9
1	0	1	0	1010	10
1	0	1	1	1011	11
1	1	0	0	1100	12
1	1	0	1	1101	13
1	1	1	0	1110	14
1	1	1	1	1111	15

इस सारणी से आप यह देख सकते हैं कि 15_{10} तक की गिनती करने के लिए 4 द्वि-आधारी अंकों की आवश्यकता होती है। इस तरह, यदि बिटों की संख्या n हो, तो हम 2^n तक की गिनती कर सकते हैं और निरूपित की जाने वाली बड़ी से बड़ी दशमलव संख्या $2^n - 1$ होगी। उदाहरण के लिए, सारणी 10.1 देखिए यहाँ $n = 4$ है, इसलिए निरूपित की जाने वाली बड़ी संख्या $2^4 - 1 = 15_{10}$ है। सारणी 10.1 में अगली बड़ी संख्या लिखने के लिए आधार की अगली घात अर्थात् 2^4 के लिए हमें एक अतिरिक्त स्तंभ (column) की आवश्यकता होती है।

बोध प्रश्न 1

वह कौन-सी बड़ी से बड़ी दशमलव संख्या होगी जिसे 10 बिटों का प्रयोग करके निरूपित किया जा सकता हो ?

द्वि-आधारी पद्धति का लाभ यह है कि इसकी सहायता से अंकीय परिपथिकी (digital circuitry) की अभिकल्पना करने का काम काफी सरल हो जाता है क्योंकि ऐसी स्थिति में वोल्टताओं की केवल दो अवस्थाओं या स्तरों पर विचार करना होता है। उदाहरण के लिए, बल्ब की जलती हुई (ON) अवस्था को बिट "1" से और बुझी हुई (OFF) अवस्था को बिट "0" से निरूपित कर सकते हैं। वोल्टताओं के संबंध में 0V या निम्न (LOW) वोल्टता को बिट "0" से और 5V या उच्च (HIGH) वोल्टता को बिट "1" से निरूपित कर सकते हैं। वास्तव में यह आवश्यक नहीं है कि प्रत्येक बिट को एक विशेष वोल्टता दी जाए। अनुरूप तंत्र (analog system) में वोल्टता का ठीक-ठीक मान का होना अति महत्वपूर्ण है, अन्यथा सही-सही अनुरूप परिपथिकी की अभिकल्पना करना काफी कठिन हो जाता है। परंतु, अंकीय तंत्र में वोल्टता के ठीक-ठीक मान के होने का कोई खास महत्व नहीं है, क्योंकि 3.9 V की वोल्टता का अर्थ वही है, जो कि 4.4 V या 5 V की वोल्टता का है। इस पहलू पर विचार इकाई 11 में किया जाएगा।

आइए, हम यह देखें कि द्वि-आधारी संख्याओं को तुल्य दशमलव रूप में और दशमलव संख्या को तुल्य द्वि-आधारी रूप में किस प्रकार रूपांतरित किया जा सकता है।

10.2.1 द्वि-आधारी से दशमलव में रूपांतरण

ऊपर दिए गए उदाहरण से यह स्पष्ट है कि द्वि-आधारी संख्या के उन स्थितियों के भारों को जोड़कर, जिन स्थितियों में बिट 1 है, द्वि-आधारी संख्या को दशमलव संख्या में निरूपित किया जा सकता है। उदाहरण के लिए, 100011.101_2 का रूपांतरण लीजिए :

$$1 \quad 0 \quad 0 \quad 0 \quad 1 \quad 1 \; . \; 1 \quad 0 \quad 1$$
$$2^5 + 0 + 0 + 0 + 2^1 + 2^0 + 2^{-1} + 0 + 2^{-3}$$
$$= 32 + 2 + 1 + 0.5 + 0.125$$
$$= 35.625_{10}$$

आइए, हम एक और उदाहरण 11100111.0101_2 के रूपांतरण को लें।

$$11100111.0101$$
$$2^7 + 2^6 + 2^5 + 0 + 0 + 2^2 + 2^1 + 2^0 + 0 + 2^{-2} + 0 + 2^{-4}$$
$$= 128 + 64 + 32 + 4 + 2 + 1 + 0.250 + 0.0625$$
$$= 231.3125_{10}$$

निम्नलिखित उदाहरण लीजिए :

$$1111.00 = 15$$
$$11110.0 = 30$$
$$111100.0 = 60$$

इन उदाहरणों से स्पष्ट है कि यदि द्वि-आधारी बिन्दु दायीं तरफ किया जाता है, तो संख्या का मान दोगुना हो जाता है।

अब, निम्नलिखित उदाहरण पर विचार कीजिए :

$$111.100 = 7.5$$
$$11.1100 = 3.75$$
$$1.11100 = 1.875$$

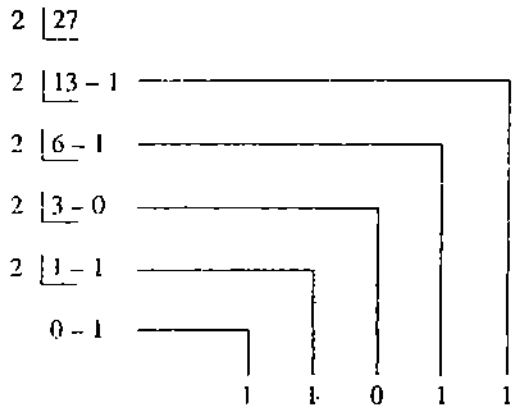
इन उदाहरणों से यह स्पष्ट है कि यदि द्वि-आधारी बिन्दु को बाईं तरफ़ किया जाता है तो संख्या का मान आधा हो जाता है।

बोध प्रश्न 2

1011.101_2 को इसके तुल्य दशमलव रूप में रूपांतरित कीजिए।

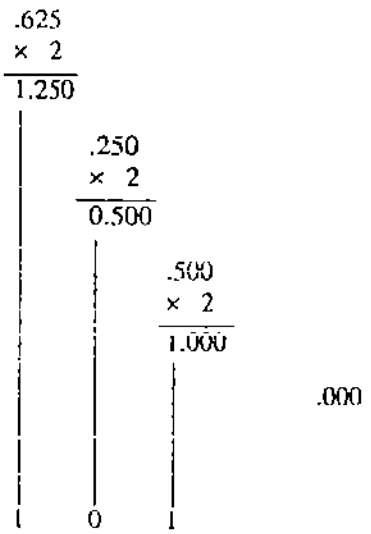
10.2.2 दशमलव से द्वि-आधारी में रूपांतरण

किसी दशमलव संख्या को बार-बार 2 से भाग देने पर उसे द्वि-आधारी तुल्य रूप में रूपांतरित किया जाता है। भाग देने की प्रक्रिया तब तक जारी रखी जाती है, जब तक कि हमें भागफल शून्य नहीं मिल जाता है। इसके बाद सभी शेष संख्याओं को क्रमबद्ध तरीके से लगाया जाता है, जिसमें पहला शेषफल LSB की स्थिति ले लेता है और अंतिम MSB की स्थिति। अब 27 को उसके द्वि-आधारी तुल्य में इस प्रकार रूपांतरित कीजिए :



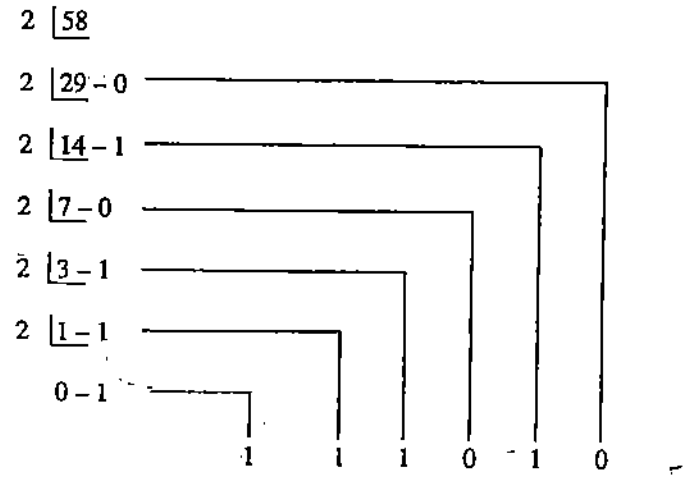
इस तरह, $27_{10} = 11011_2$

यदि संख्या में दशमलव बिन्दु की दायीं ओर भी कुछ अंक हो, तो संख्या के इस भाग के लिए अलग विधि अपनानी होती है। इस भाग को बार-बार 2 से गुणा कीजिए। 2 से पहली बार गुणा करने पर दशमलव बिन्दु की बायीं ओर या तो 1 या 0 आएगा। इस 1 या 0 को अलग रखिए और इसे 2 से गुणा मत कीजिए। यह क्रिया प्रत्येक गुणन पर करनी चाहिए और 1 से गुणा तब तक करते जाइए, जब तक कि दशमलव बिन्दु के बाद अपको सभी शून्य प्राप्त नहीं हो जाते या अपेक्षित परिशुद्धता के स्तर तक नहीं पहुँच जाते। नीचे दिए गए उदाहरण से यह बात स्पष्ट हो जाएगी। 27.625_{10} को उसके द्वि-आधारी तुल्य में रूपांतरित कीजिए। ऊपर हम 27 को तो उसके द्वि-आधारी तुल्य में रूपांतरित कर चुके हैं जिससे हमें 11011_2 प्राप्त हुआ था। अब, .625 का रूपांतरण करने के लिए इसे हम बार-बार 2 से निम्नलिखित प्रकार से गुणा करेंगे :

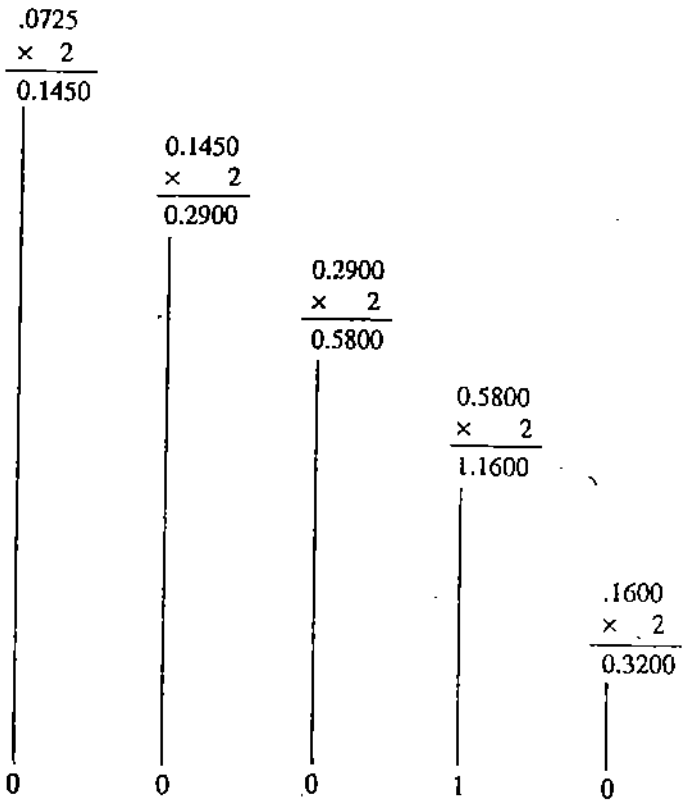


इस तरह, $27.625_{10} = 11011.101_2$

आइए, अब हम एक अन्य उदाहरण लें अर्थात् 58.0725_{10} को द्वि-आधारी में रूपांतरित करें। इस संख्या को दो भागों अर्थात् 58 और .0725 में बाँट दीजिए और ऊपर बताई गई विधि से इन्हें अलग-अलग द्वि-आधारी में रूपांतरित कीजिए।



अब हम 0.0725 का रूपांतरण करेंगे।



इस तरह, $58.0725_{10} = 111010.00010_2$

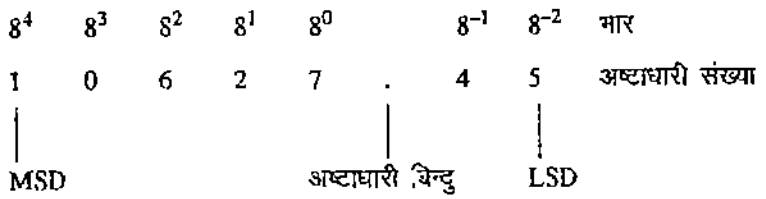
बोध प्रश्न 3

37.75_{10} का द्वि-आधारी तुल्य क्या होगा ?

संख्याओं को द्वि-आधारी संख्या पद्धति में रूपांतरित करना काफी कठिन काम है, क्योंकि द्वि-आधारी संख्याओं में 0 और 1 की एक बड़ी श्रृंखला सी होती है। एक 10-अंक वाले दशमलव संख्या के द्वि-आधारी तुल्य की लंबाई की कल्पना कीजिए। अतः द्वि-आधारी संख्याओं को निरूपित करने के लिए कुछ सुविधाजनक लघु रूप विकसित किए गए हैं, जैसे – अष्टाधारी पद्धति और षोडश-आधारी पद्धति। इन पद्धतियों को लागू करके 0 और 1 की लंबी श्रृंखला को प्रबंधनीय लघु रूप में प्रस्तुत किया जा सकता है। आइए, अब हम इन पद्धतियों पर विचार करें।

10.3 अष्टाधारी संख्या पद्धति

अष्टाधारी संख्या पद्धति का आधार 8 है अर्थात् इस पद्धति में 8 अंक होते हैं। ये अंक हैं 0, 1, 2, 3, 4, 5, 6, 7. प्रत्येक अष्टाधारी अंक का भार अंक की स्थिति के अनुसार 8 का घात होता है। इसकी व्याख्या चित्र 10.2 में की गई है।



चित्र 10.2 : अष्टाधारी संख्या : प्रत्येक अंक का स्थिति-मान (भार) दिखाया गया है।

अष्टाधारी संख्या में दशमलव अंक 8 और 9 नहीं होते। अतः यदि किसी संख्या में दशमलव अंक 8 और 9 हों, तो वह संख्या अष्टाधारी संख्या नहीं हो सकती।

आइए, अब हम देखें कि अष्टाधारी पद्धति में गिनती किस प्रकार की जाती है। आप दशमलव पद्धति में गिनती करने की विधि से परिचित हैं। दशमलव पद्धति में 0 से 9 तक 10 अंक होते हैं। अतः ऐसी पद्धति में गिनती जिस प्रकार की जाती है, उसे सारणी 10.2 में दिखाया गया है।

सारणी 10.2 : दशमलव पद्धति में गिनती

0	10	20	30	40	50	60	70	100	110 ... 170
1	11	21	31	41	51	61	71	101	111
2	12	22	32	42	52	62	72	102	112
3	13	23	33	43	53	63	73	103	113
4	14	24	34	44	54	64	74	104	114
5	15	25	35	45	55	65	75	105	115
6	16	26	36	46	56	66	76	106	116
7	17	27	37	47	57	67	77	107	117
8	18	28	38	48	58	68	78	108	118
9	19	29	39	49	59	69	79	109	119 ... 179

इसी प्रकार अष्टाधारी पद्धति में गिनती की जा सकती है जैसा कि सारणी 10.3 में दिखाया गया है।

सारणी 10.3 : दशमलव पद्धति में गिनती

0	10	20	30	40	50	60	70	100
1	11	21	31	41	51	61	71	101
2	12	22	32	42	52	62	72	102
3	13	23	33	43	53	63	73	103
4	14	24	34	44	54	64	74	104
5	15	25	35	45	55	65	75	105
6	16	26	36	46	56	66	76	106
7	17	27	37	47	57	67	77	107

अष्टाधारी गिनती में यदि अंकों की संख्या n हो, तो गणनांकों की कुल संख्या 8^n होती है। n अंकों वाली अष्टाधारी संख्या से निरूपित की जाने वाली बड़ी से बड़ी दशमलव संख्या $8^n - 1$ होती है। इस तरह, $n = 4$ के लिए गणनांकों (counts) की कुल संख्या $8^4 = 4096$ होगी और निरूपित की गई बड़ी से बड़ी दशमलव संख्या $4096 - 1 = 4095_{10}$ होगी।

बोध प्रश्न 4

क्या संख्या 128.96 अष्टाधारी संख्या हो सकती है ?

बोध प्रश्न 5

वह बड़ी से बड़ी दशमलव संख्या क्या होगी, जिसे तीन अंकों वाली अष्टाधारी संख्या से निरूपित किया जा सकता हो ?

10.3.1 अष्टाधारी से दशमलव में रूपांतरण

जैसा कि द्वि-आधारी संख्याओं के संबंध में किया गया है, अष्टाधारी अंक को उसके स्थिति मान से गुणा करके अष्टाधारी संख्या को उसके दशमलव तुल्य में रूपांतरित किया जा सकता है। उदाहरण के लिए,

$$\begin{aligned} 126.25_8 &= (1\times8^2)+(2\times8^1)+(6\times8^0)+(2\times8^{-1})+(5\times8^{-2}) \\ &= 64+16+6+0.25+0.078 \\ &= 86.328_{10} \end{aligned}$$

आइए, हम 36.4_8 को दशमलव संख्या में रूपांतरित करें।

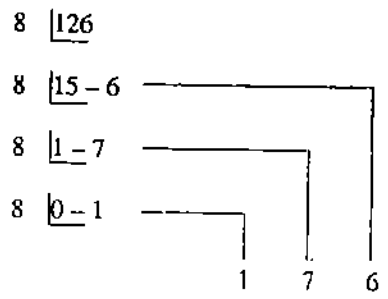
$$\begin{aligned} 36.4_8 &= 3\times8^1+6\times8^0+4\times8^{-1} \\ &= 24+6+0.5 \\ &= 30.5_{10} \end{aligned}$$

बोध प्रश्न 6

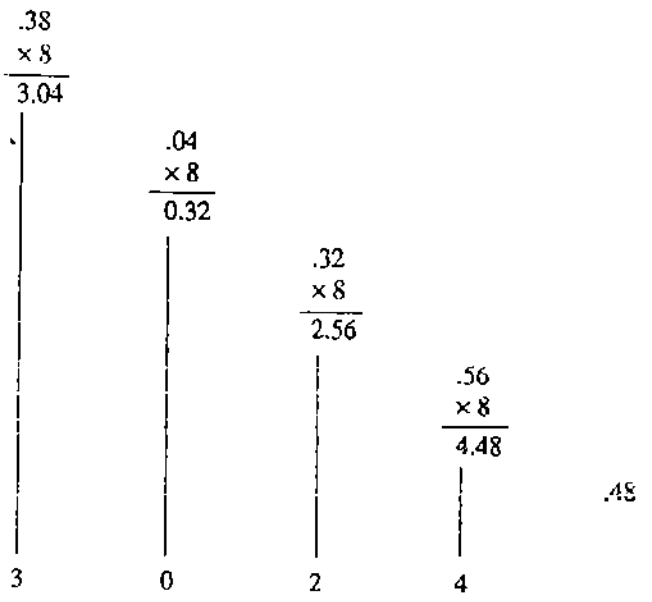
37.2_8 का दशमलव तुल्य क्या है ?

10.3.2 दशमलव से अष्टाधारी में रूपांतरण

8 से बार-बार भाग देकर दशमलव संख्या को तुल्य अष्टाधारी संख्या में रूपांतरित किया जा सकता है। यह विधि ठीक वैसी ही है, जैसी कि हमने दशमलव को द्वि-आधारी में रूपांतरित करने में लागू की है। यदि दशमलव संख्या में दशमलव बिन्दु की दायीं ओर कुछ अंक हों, तो संख्या के इस भाग को 8 से बार-बार गुणा करके इसे अष्टाधारी तुल्य में रूपांतरित किया जाता है। इसमें भी वही प्रक्रिया अपनायी जाती है, जैसी कि द्वि-आधारी संख्या में अपनायी गई है। आइए, हम 126.38_{10} को उसके दशमलव तुल्य में रूपांतरित करने पर विचार करें। इस संख्या को दो भागों 126 और .38 में बाँट दीजिए।



अब .38 का रूपांतरण इस प्रकार किया जाता है :



इस तरह, $126.38_{10} = 176.3024_8$

बोध प्रश्न 7

15.250_{10} का अष्टाधारी तुल्य क्या है ?

10.3.3 अष्टाधारी से द्वि-आधारी में रूपांतरण

अष्टाधारी संख्या पद्धति में उच्चतम अष्टाधारी अंक अर्थात् 7 को 3-बिट वाले द्वि-आधारी संख्या में रूपांतरित किया जा सकता है। अतः सभी अष्टाधारी अंकों को एक 3-बिट वाले द्वि-आधारी संख्या में निरूपित करना होता है। प्रत्येक अष्टाधारी अंक के द्वि-आधारी तुल्य को सारणी 10.4 में दिखाया गया है। अष्टाधारी संख्या पद्धति का मुख्य लाभ उसकी सरलता है, जिससे कि किसी भी अष्टाधारी संख्या को उसके द्वि-आधारी तुल्य में रूपांतरित किया जा सकता है।

सारणी 10.4 : प्रत्येक अष्टाधारी अंक का द्वि-आधारी तुल्य

अष्टाधारी अंक	3-बिट द्वि-आधारी तुल्य
0	000
1	001
2	010
3	011
4	100
5	101
6	110
7	111

अष्टाधारी अंक का 3-बिट द्वि-आधारी संख्या में इस रूपांतरण की सहायता से प्रत्येक अष्टाधारी अंक के स्थान पर एक 3-बिट द्वि-आधारी संख्या रखकर के किसी भी अष्टाधारी संख्या को उसके द्वि-आधारी तुल्य में रूपांतरित किया जा सकता है। उदाहरण के लिए, 567_8 का उसके द्वि-आधारी तुल्य में रूपांतरण यह है :

$$5.67_8 = 101\ 110\ 111$$
$$= 101110111_2$$

इस तरह, $567_8 = 101110111_2$

एक अन्य उदाहरण :

672.27_8 का उसके द्वि-आधारी तुल्य में रूपांतरण

$$672.27_8 = 110\ 111\ 010\ .\ 010\ 111$$
$$= 110111010.010111_2$$

इस तरह, $672.27_8 = 110111010.010111_2$

बोध प्रश्न 8

10027.12_8 को द्वि-आधारी संख्या में निरूपित कीजिए।

10.3.4 द्वि-आधारी से अष्टाधारी में रूपांतरण

LSB पक्ष से प्रारंभ करके पहले 3-बिट के समूह बनाकर द्वि-आधारी संख्या को उसके अष्टाधारी तुल्य में रूपांतरित किया जा सकता है। यदि MSB पक्ष में 3-बिट न हो, तो 0 को जोड़कर अंतिम समूह को 3-बिट वाला बना दीजिए। तब 3-बिट के प्रत्येक समूह के स्थान पर उसके अष्टाधारी तुल्य को रखकर द्वि-आधारी संख्या को उसके अष्टाधारी तुल्य में रूपांतरित किया जा सकता है। उदाहरण के लिए 1100011001_2 का उसके अष्टाधारी तुल्य में रूपांतरण इस प्रकार किया जाता है :

1100011001_2 = 1 100 011 001

= 001 100 011 001 [क्योंकि MSB पक्ष में 3-बिट नहीं हैं, इसलिए अंतिम समूह को 3-बिट वाला बनाने के लिए हमने दो 0 जोड़ दिए हैं।]

= 1 4 3 1

= 1431_8

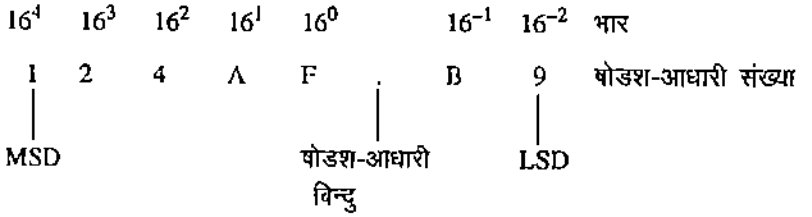
इस तरह, $1100011001_2 = 1431_8$

बोध प्रश्न 9

10010_2 का अष्टाधारी तुल्य क्या है ?

10.4 षोडश-आधारी संख्या पद्धति

षोडश-आधारी संख्या पद्धति का आधार 16 है, अर्थात् इस¨ 16 अंक हैं (षोडश का अर्थ है 16) ये अंक हैं : 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B, C, D, E और F. अंक A, B, C, D, E और F के तुल्य दशमलव मान क्रमशः 10, 11, 12, 13, 14 और 15 हैं। षोडश-आधारी संख्या में प्रत्येक षोडश-आधारी अंक का एक स्थिति मान होता है, जो कि संख्या में इसकी स्थिति के अनुसार 16 का कुछ घात होता है। इसे चित्र 10.3 में दिखाया गया है।



चित्र 10.3 : षोडश-आधारी संख्या : प्रत्येक अंक के स्थिति मान (भार) को दर्शा रही है।

दशमलव और द्वि-आधारी संख्याओं के साथ षोडश-आधारी अंकों का संबंध सारणी 10.5 में दिया गया है। ध्यान दीजिए कि वृहत्तम षोडश-आधारी संख्या को निरूपित करने के लिए हमें चार द्वि-आधारी बिट की आवश्यकता होती है। अतः सभी षोडश-आधारी अंकों के द्वि-आधारी तुल्य को 4-बिट वाली संख्याओं में लिखना होता है।

सारणी 10.5 : प्रत्येक षोडश-आधारी संख्या का द्वि-आधारी और दशमलव तुल्य

षोडश-आधारी	दशमलव तुल्य	4-बिट द्वि-आधारी तुल्य
0	0	0000
1	1	0001
2	2	0010
3	3	0011
4	4	0100
5	5	0101
6	6	0110
7	7	0111
8	8	1000
9	9	1001
A	10	1010
B	11	1011
C	12	1100
D	13	1101
E	14	1110
F	15	1111

षोडश-आधारी संख्या पद्धति में गिनती करते समय यदि n षोडश-आधारी अंकों की संख्या हो, तो 16^n गणनांक तक गिनती की जा सकती है और एक षोडश-आधारी संख्या द्वारा निरूपित वृहत्तम दशमलव संख्या $16^n - 1$ है। षोडश-आधारी गिनती सारणी 10.6 में दिखाई गई है।

सारणी 10.6 : षोडश-आधारी पद्धति में गिनती

0	10	20	30	40 ... 90	A0	B0	C0	D0	E0	F0	100
1	11	21	31	41 ... 91	A1	B1	C1	D1	E1	F1	
2	12	22	32	42 ... 92	A2	B2	C2	D2	E2	F2	
3	13	23	33	43 ... 93	A3	B3	C3	D3	E3	F3	
9	19	29	39	49 ... 99	A9	B9	C9	D9	E9	F9	
A	1A	2A	3A	4A ... 9A	AA	BA	CA	DA	EA	FA	
B	1B	2B	3B	4B ... 5B	AB	BB	CB	DB	EB	FB	
C	1C	2C	3C	4C ... 9C	AC	BC	CC	DC	EC	FC	
D	1D	2D	3D	4D ... 9D	AD	BD	CD	DD	ED	FD	
E	1E	2E	3E	4E ... 9E	AE	BE	CE	DE	EE	FE	
F	1F	2F	3F	4F ... 9F	AF	BF	CF	DF	EF	FF	

बोध प्रश्न 10

$835F_{16}$ की अगली संख्या क्या है ?

बोध प्रश्न 11

एक 3-अंक षोडश-आधारी संख्या द्वारा निरूपित वृहत्तम दशमलव संख्या क्या है ?

10.4.1 षोडश-आधारी से दशमलव में रूपांतरण

षोडश-आधारी से दशमलव में रूपांतरण ठीक उसी प्रकार किया जाता है, जिस प्रकार कि द्वि-आधारी और अष्टाधारी को दशमलव में रूपांतरित किया जाता है। प्रत्येक अंक के भारों और उनके मानों के गुणनफलों को जोड़कर षोडश-आधारी संख्या को उसके तुल्य दशमलव संख्या में रूपांतरित किया जाता है। यह नीचे दिए गए उदाहरण से स्पष्ट हो जाता है, जिसमें कि $514.AF_{16}$ को उसके दशमलव तुल्य में रूपांतरित किया जा रहा है :

$$\begin{aligned} 514.AF_{16} &= 5 \times 16^2 + 1 \times 16^1 + 4 \times 16^0 + 10 \times 16^{-1} + 15 \times 16^{-2} \\ &= 1280 + 16 + 4 + 0.625 + 0.0586 \\ &= 1300.6836_{10} \end{aligned}$$

एक अन्य उदाहरण :

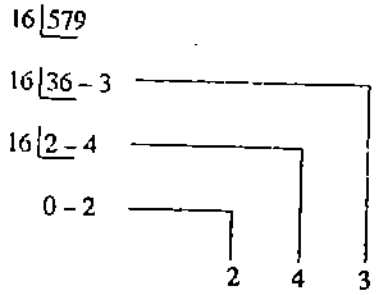
$$\begin{aligned} 3BE.1A_{16} &= 3 \times 16^2 + 11 \times 16^1 + 14 \times 16^0 + 1 \times 16^{-1} + 16^{-2} \\ &= 768 + 176 + 14 + 0.0625 + 0.0391 \\ &= 958.1016_{10} \end{aligned}$$

बोध प्रश्न 12

$1BE2_{16}$ का दशमलव तुल्य क्या है ?

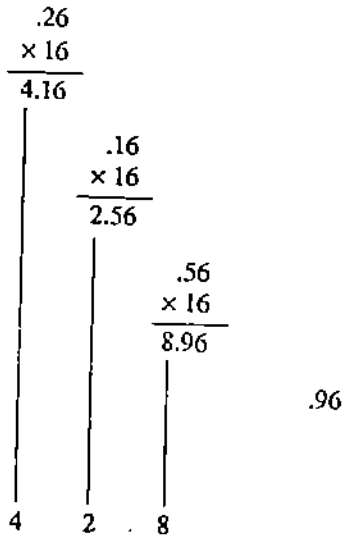
10.4.2 दशमलव से षोडश-आधारी में रूपांतरण

एक दशमलव संख्या को षोडश-आधारी संख्या में ठीक उसी प्रकार रूपांतरित किया जाता है, जिस प्रकार दशमलव संख्या को उसके तुल्य द्वि-आधारी और अष्टाधारी संख्याओं में रूपांतरित किया गया है। संख्या के उस भाग को, जो दशमलव बिन्दु की बायीं ओर है, उसे 16 से बार-बार भाग देना होता है, और उस भाग को, जो दशमलव बिन्दु की दायीं ओर है, उसे बार-बार 16 से गुणा करना होता है। नीचे दिए गए उदाहरण में 579.26_{10} को तुल्य षोडश-आधारी में रूपांतरित किया जा रहा है। इस संख्या को दो भागों 579 और .26 में बाँट दीजिए।



इस तरह, $579_{10} = 243_{16}$.

अब, .26 को षोडश आधारी संख्या में इस प्रकार रूपांतरित किया जाता है :



इस तरह, $579.26_{10} = 243.428_{16}$.

बोध प्रश्न 13

37_{10} का षोडश-आधारी तुल्य क्या है ?

10.4.3 षोडश-आधारी से द्वि-आधारी में रूपांतरण

अष्टाधारी संख्या की तरह, प्रत्येक षोडश-आधारी अंक के स्थान पर उसके तुल्य 4-बिट द्वि-आधारी संख्या रखकर षोडश-आधारी संख्या को उसके द्वि-आधारी तुल्य में रूपांतरित किया जाता है। यह निम्नलिखित उदाहरण से स्पष्ट हो जाता है :

$BA6_{16}$ = B A 6
= 1011 1010 0110
= 101110100110_2

बोध प्रश्न 14

$6F10_{16}$ का द्वि-आधारी तुल्य क्या है ?

10.4.4 द्वि-आधारी से षोडश-आधारी में रूपांतरण

भाग 10.4.3 में बताई गई विधि के ठीक विपरीत विधि से द्वि-आधारी संख्या को उसके षोडश-आधारी तुल्य में रूपांतरित किया जा सकता है। LSB पक्ष से प्रारंभ करके द्वि-आधारी संख्या के सभी बिट को चार-चार बिट के समूहों में रखिए। यदि MSB पक्ष की ओर बिट की संख्या चार से कम हो, तो MSB की बायीं ओर शून्य जोड़ दीजिए, जिससे कि चार का समूह पूर्ण हो जाए। प्रत्येक समूह के स्थान पर उसका तुल्य षोडश-आधारी अंक रखिए। यह विधि नीचे दिए गए उदाहरण से स्पष्ट हो जाती है :

1001101110_2 = 0010 0110 1110
= 2 6 E
= $26E_{16}$.

बोध प्रश्न 15

1100101010011111_2 का षोडश-आधारी तुल्य क्या है ?

10.4.5 षोडश-आधारी से अष्टाधारी में रूपांतरण

सबसे पहले षोडश-आधारी संख्या के प्रत्येक अंक को उसके तुल्य चार-बिट वाले द्वि-आधारी संख्या में रूपांतरित किया जाता है। इसके बाद तुल्य द्वि-आधारी संख्या के सभी बिट को तीन-तीन बिट वाले समूह में वर्गीकृत किया जाता है। अब अष्टाधारी संख्या प्राप्त करने के लिए प्रत्येक समूह के स्थान पर उसका तुल्य अष्टाधारी अंक रख दिया जाता है। उदाहरण के लिए,

$$\begin{aligned} 5AF_{16} &= 0101\ 1010\ 1111 \\ &= 010110101111 \\ &= 010\ 110\ 101\ 111 \\ &= 2\quad 6\quad 5\quad 7 \\ &= 2657_8 \end{aligned}$$

बोध प्रश्न 16

$5A9_{16}$ का अष्टाधारी तुल्य क्या है ?

10.4.6 अष्टाधारी से षोडश-आधारी में रूपांतरण

अष्टाधारी से षोडश-आधारी में रूपांतरण करने के लिए भाग 10.4.5 में बताई गई विधि का ठीक विपरीत कीजिए। निम्नलिखित उदाहरण से यह स्पष्ट हो जाता है :

$$\begin{aligned} 5457_8 &= 101\ 100\ 101\ 111 \\ &= 1011\ 0010\ 1111 \\ &= B\quad 2\quad F \\ &= B2F_{16} \end{aligned}$$

इस विधि को षोडश-आधारी से दशमलव में और दशमलव से षोडश-आधारी रूपांतरणों में भी लागू किया जा सकता है। उदाहरण के लिए $3C_{16}$ को उसके दशमलव तुल्य में रूपांतरित कीजिए :

$$\begin{aligned} 3C_{16} &= 0011\ 1100 \\ &= 111100_2 \end{aligned}$$

रूपांतरण की जाँच कर लीजिए

$$\begin{aligned} 3C_{16} &= 3 \times 16^1 + C \times 16^0 \\ &= 3 \times 16^1 + 12 \times 16^0 \\ &= 48 + 12 \\ &= 60_{10} \\ 111100_2 &= 2^5 + 2^4 + 2^3 + 2^2 \\ &= 32 + 16 + 8 + 4 \\ &= 60_{10} \end{aligned}$$

इस तरह, $3C_{16} = 111100_2 = 60_{10}$

बोध प्रश्न 17

327_8 का षोडश-आधारी तुल्य क्या है ?

10.5 कोड

अभी तक आपने द्वि-आधारी अष्टाधारी और षोडश-आधारी संख्या पद्धति के बारे में अध्ययन किया है। आधार B और अंक N_0 (LSB), N_1, N_2, ..., N_m (MSB) वाली किसी भी संख्या पद्धति के लिए किसी भी संख्या का दशमलव तुल्य N_{10} यह होता है :

$$N_{10} = N_m \times B^m + ... N_3 \times B^3 + N_2 \times B^2 + N_1 \times B^1 + N_0 B^0 \qquad (10.1)$$

आपने यह भी देखा है कि किसी भी पद्धति की संख्या को द्वि-आधारी रूप में लिखा जा सकता है। संख्या कोड (Number Code) द्वि-आधारी अंक और दी गई संख्या के बीच का एक संबंध होता है। इस तरह, हम यह पाते हैं कि सभी संख्या पद्धतियां कोड होती हैं और दशमलव तुल्य समीकरण (10.1) से प्राप्त होता है। परन्तु, कुछ अन्य संबंध या कोड होते हैं, जो दशमलव संख्याओं और द्वि-आधारी अंकों के बीच स्थापित संबंध अर्थात् समीकरण (10.1) का पालन नहीं करते हैं। इन संबंधों को कोड कहा जाता है। अब हम अंकीय कार्य में प्रयुक्त कुछ महत्वपूर्ण कोड पर चर्चा करेंगे।

10.5.1 BCD कोड

BCD (द्वि-आधारी कोडित दशमलव (binary coded decimal) का संक्षिप्त रूप) कोड में दशमलव संख्या का प्रत्येक अंक इसके चार-बिट वाले द्वि-आधारी तुल्य में रूपांतरित हो जाता है। सबसे बड़ा दशमलव अंक 9 है। अतः सबसे बड़ा द्वि-आधारी तुल्य 1001 है। इसे निम्नलिखित उदाहरण से समझा जा सकता है :

$$951_{10} = 10010101\ 0001$$
$$= 100101010001_{BCD}$$

स्मरण रहे कि दशमलव संख्या को उसके द्वि-आधारी तुल्य और BCD तुल्य में रूपांतरित करने से दो अलग-अलग संख्याएँ प्राप्त होती हैं। उदाहरण के लिए,

$$158_{10} = 0001\ 0101\ 1000$$
$$= 101011000_{BCD}$$

$158_{10} = 1001111_2$ (पुनरावृत्त विभाजन विधि से प्राप्त)।

इस तरह, हम यह पाते हैं कि दशमलव से BCD में और BCD से दशमलव में काफी सरलता से रूपांतरण किया जा सकता है। सीधे द्वि-आधारी से दशमलव में रूपांतरित करने की तुलना में BCD से दशमलव में रूपांतरित करना अधिक सरल है, क्योंकि ऐसा करने के लिए हमें द्वि-आधारी में केवल 9 तक गिनती करनी होती है। परन्तु, यह बात तो अवश्य है कि एक संख्या को निरूपित करने के लिए द्वि-आधारी की तुलना में BCD में अधिक बिट की आवश्यकता होती है।

एक BCD संख्या को उसके दशमलव तुल्य में विपरीत विधि (reverse process) से रूपांतरित किया जाता है। उदाहरण के लिए,

$$1010101110010_{BCD} = 0001\ \ 0101\ \ 0111\ \ 0010$$
$$= 1\ \ 5\ \ 7\ \ 2$$
$$= 1572_{10}$$

यद्यपि कंप्यूटर (computer) का प्रमुख कार्य अंकगणितीय संक्रियाओं को निष्पादित करना है, फिर भी यह अंग्रेजी वर्णमाला के अक्षरों में संदेशों और सूचनाओं तथा अन्य प्रकार के ऑकड़ों का संसाधन भी करता है। सर्वप्रथम कंप्यूटर वर्णमाला के अक्षरों, अन्य प्रतीकों और अंकियों को द्वि-आधारी रूप में कोडन करता है। इस कार्य के लिए आस्की (ASCII) कोड का प्रयोग किया जाता है, जिसके बारे में अब हम अध्ययन करेंगे।

10.5.2 आस्की (ASCII) कोड

शब्द आस्की (ASCII) अंग्रेजी शब्द American Standard Code for Information Interchange का संक्षिप्त रूप है। यह एक अक्षरांकीय (alphanumeric) कोड है, जिसका कंप्यूटरों में व्यापक प्रयोग

होता है। अक्षरांकीय कोड वह कोड है, जो अक्षरों, संख्याओं, विराम चिह्नों और कंप्यूटर द्वारा अभिज्ञापित संप्रतीकों (characters) को निरूपित करता है। आस्की कोड एक 7-बिट कोड है, जो अंग्रेजी के सभी 26 अक्षरों, 0 से 9 तक के अंकों, विराम चिह्नों आदि को निरूपित करता है। एक 7-बिट कोड में $2^7 = 128$ संभव कोड होते हैं, जो कि पूरी तरह से पर्याप्त हैं। एक आंशिक आस्की कोड की सूची सारणी 10.6 में दी गई है।

सारणी 10.6 : संख्याओं, अक्षरों और अन्य सामान्य प्रतीकों के लिए कुछ आस्की कोड

$A_6A_5A_4$						$A_3A_2A_1A_0$
010	011	100	101	110	111	
SP	0	@	P		p	0000
!	1	A	Q	a	q	0001
"	2	B	R	b	r	0010
#	3	C	S	c	s	0011
S	4	D	T	d	t	0100
%	5	E	U	d	u	0101
&	6	F	V	f	v	0110
'	7	G	W	g	w	0111
(	8	H	X	h	x	1000
)	9	I	Y	i	y	1001
*	:	J	Z	j	z	1010
+	;	K		k		1011
,	<	L		l		1100
-	=	M		m		1101
.	>	N		n		1110
/	?	O		o		1111

कोड $A_6A_5A_4A_3A_2A_1A_0$ है। उदाहरण : A के लिए $A_6A_5A_4$ के स्थान पर 100 होता है और $A_3A_2A_1A_0$ के स्थान पर 0001 होता है। अतः इसका आस्की कोड यह है :

100 0001 = A.

a का आस्की कोड 110 0001 है।

बोध प्रश्न 18

SHARMA का आस्की कोड क्या है ?

10.6 द्वि-आधारी अंकगणित

अंकीय कंप्यूटर केवल द्वि-आधारी संख्याओं का प्रयोग करके अंकगणितीय संक्रियाएँ निष्पादित कर सकता है। अब हम यह देखेंगे कि द्वि-आधारी संख्याओं का जोड़, घटाना, गुणा और भाग कैसे किया जाता है ? इसके लिए पहले हम यह देखेंगे कि सुपरिचित दशमलव पद्धति में संख्याओं का जोड़, घटाना, गुणा और भाग कैसे किया जाता है और तब इसी विधि को द्वि-आधारी पद्धति में लागू करेंगे।

10.6.1 जोड़

आइए, हम यह देखें कि दशमलव संख्याओं का जोड़ कैसे किया जाता है। मान लीजिए कि हम

563 और 146 को जोड़ना चाहते हैं। सबसे पहले हम न्यूनतम सार्थक स्तंभ (column) के अंकों को जोड़ते हैं। ऐसा करने पर हमें यह प्राप्त होता है :

```
  563
+ 146
-----
    9  (अगले स्तंभ के लिए कोई हासिल नहीं है)
```

इसके बाद अगले स्तंभ के अंक जोड़े जाते हैं।

```
  563
+ 146
-----
   09  (अगले स्तंभ के लिए हासिल 1 है)
```

यहाँ 6 + 4 से 0 प्राप्त होता है और अगले स्तंभ के लिए हासिल 1 प्राप्त होता है। फिर अंतिम स्तंभ के अंकों और पिछले स्तंभ से प्राप्त हासिल को जोड़ा जाता है। तब हमें यह प्राप्त होता है :

```
  563
+ 146
  1    (पिछले स्तंभ से प्राप्त हासिल)
-----
  709  (कोई हासिल नहीं)
```

इसी प्रकार स्तंभ विधि से द्वि-आधारी संख्याओं को जोड़ा जा सकता है। परन्तु ऐसा करने से पहले, चार सरल स्थितियों पर चर्चा कर लेना आवश्यक है। दशमलव संख्या पद्धति के संबंध में हम यह जानते हैं कि 3 + 6 = 9 का अर्थ है ●●● और ●●●●●● को मिलाकर कुल ●●●●●●●●● प्राप्त करना। अर्थात् 3 गोले और 6 गोले मिलकर कुल 9 गोले होते हैं। आइए, अब हम चार सरल स्थितियों पर चर्चा करें।

स्थिति 1 : जब "कुछ नहीं" के साथ "कुछ नहीं" का संयोजन किया जाता है, तब हमें "कुछ नहीं" प्राप्त होता है। इसका द्वि-आधारी निरूपण यह है :
0 + 0 = 0

स्थिति 2 : जब "कुछ नहीं" ● के साथ ● संयोजित किया जाता है, तब हमें ● प्राप्त होता है। इसे प्रकट करने के लिए द्वि-आधारी संख्याओं का प्रयोग करने पर हमें 0 + 1 = 1 प्राप्त होता है।

स्थिति 3 : ● को "कुछ नहीं" के साथ संयोजित करने पर ● प्राप्त होता है। इसका द्वि-आधारी तुल्य 1 + 0 = 1 है।

स्थिति 4 : जब हम ● को ● के साथ संयोजित करते हैं, तब परिणाम ●● प्राप्त होता है। द्वि-आधारी संख्याओं में इसे हम 1 + 1 = 10 के रूप में लिखते हैं।

दशमलव संख्याओं से हम कुछ इतना अधिक हिल-मिल गए हैं कि अंतिम परिणाम अर्थात् 1 + 1 = 10 कभी-कभी भ्रामक-सा लगता है। परन्तु, वस्तुतः यह सही है और अर्थपूर्ण है, क्योंकि यहाँ हम दशमलव संख्या की नहीं, अपितु द्वि-आधारी संख्याओं का प्रयोग कर रहे हैं। द्वि-आधारी संख्या 10 दो गोले अर्थात् ●● को प्रकट करता है न कि दस गोलें ●●●●●●●●●● को।

द्वि-आधारी जोड़ के परिणामों को संक्षेप में इस प्रकार प्रस्तुत करते हैं :

0 + 0 = 1

0 + 1 = 1

1 + 0 = 1

1 + 1 = 10

वृहत् द्वि-आधारी संख्याओं को जोड़ने के लिए दशमलव संख्याओं की तरह यहाँ भी उच्च क्रम के स्तंभों में हासिल ले जाना होता है। एक उदाहरण के रूप में 10 को 10 से इस प्रकार जोड़ते हैं :

```
  10
+ 10
----
 100
```

पहले स्तंभ में 0 धन 0, 0 हुआ। दूसरे स्तंभ में 1 धन 10 है और हासिल 1 है। एक अन्य उदाहरण 1 + 1 + 1 लीजिए। दो 1 को जोड़ने पर हमें 10 + 1 प्राप्त होता है। और, फिर से जोड़ने पर हमें इस प्रकार 11 प्राप्त होता है :

$$1 + 1 + 1 = 10 + 1 = 11$$

एक अन्य उदाहरण लीजिए।

101 प्रथम स्तंभ : 1 + 0 = 1
+ 110 दूसरा स्तंभ : 0 + 1 = 1
1011 तीसरा स्तंभ : 1 + 1 = 10 (शून्य, हासिल 1)

और उदाहरण ये हैं :

$$\begin{array}{r} 110 \\ +\ 111 \\ \hline 1101 \end{array} \qquad \begin{array}{r} 101.011 \\ +\ 111.110 \\ \hline 1101.001 \end{array}$$

सभी अंकीय नेटवर्कों या कंप्यूटरों में एक बार में केवल दो द्वि-आधारी संख्याओं को जोड़ा जाता है। दो से अधिक संख्याओं को जोड़ने के लिए पहले दो संख्याओं को जोड़ा जाता है और तब इस योगफल में तीसरी संख्या जोड़ी जाती है और इसी तरह अन्य संख्याओं को जोड़ते जाते हैं। अतः हमें इस बात की चिन्ता करने की कोई आवश्यकता नहीं है कि दो से अधिक संख्याओं को किस तरह जोड़ा जाएगा। कुछ माइक्रो सेकंड या इससे भी कम समय में कंप्यूटर संख्याओं को जोड़ सकता है। आगे आप देखेंगे कि वस्तुतः जोड़ की विधि से ही कंप्यूटर गुणा, भाग और घटाना करता है।

बोध प्रश्न 19

निम्नलिखित को जोड़िए : (क) 1010 + 1101

(ख) 1011 + 1010

10.6.2 घटाना

द्वि-आधारी पद्धति में भी घटाना उसी प्रकार किया जाता है, जिस प्रकार कि दशमलव पद्धति में किया जाता है। आइए, यह देख लें कि दशमलव पद्धति में घटाना कैसे किया जाता है। इसके लिए यह उदाहरण लीजिए :

$$\begin{array}{r} 56 \\ -49 \\ \hline 7 \end{array}$$

इस उदाहरण में दहाई से 1 उधार लिया गया है, जिससे कि LSD में 16 हो जाता है और तब 16 – 9 = 7 हो जाता है। दहाई से 1 लेने पर दहाई का अंक 5 के स्थान पर 4 हो जाता है। तब 4 – 4 = 0 हो जाता है। ठीक इसी प्रकार द्वि-आधारी घटाना किया जा सकता है।

द्वि-आधारी संख्याओं को घटाने के लिए पहले चार सरल स्थितियों पर चर्चा कर लेना आवश्यक होता है।

स्थिति 1 : 0 – 0 = 0

स्थिति 2 : 1 – 0 = 1

स्थिति 3 : 1 – 1 = 0

स्थिति 4 : 10 – 1 = 1

अंतिम परिणाम •• – • = • को निरूपित करता है, जो कि अर्थपूर्ण है। बड़ी द्वि-आधारी संख्याओं को घटाने के लिए, स्तंभशः संख्याओं को घटाते चलिए और जहाँ आवश्यक हो, संलग्न स्तंभ से उधार लेते चलिए। उदाहरण के लिए 111 में से 110 को घटाने के लिए [illegible] अपनाते

111 पहला स्तंभ : 1 – 1 = 0
– 101 दूसरा स्तंग : 1 – 0 = 1
010 तीसरा स्तंभ : 1 – 1 = 0

एक और उदाहरण लीजिए : 1101 में से 1010 घटाइए

1101 पहला स्तंभ : 1 – 0 = 1
– 1010 दूसरा स्तंभ : 10 (उधार लेने पर) – 1 = 1
तीसरा स्तंभ : 0 (उधार लेने पर) – 1 = 0
चौथा स्तंभ : 1 – 1 = 0

बोध प्रश्न 20

द्वि-आधारी 110011 से 100011 घटाइए।

10.6.3 गुणा और भाग

द्वि-आधारी संख्याओं को गुणा भी उसी प्रकार किया जाता है, जिस प्रकार दशमलव संख्याओं का किया जाता है। अपेक्षाकृत यह कुछ सरल ही होता है, क्योंकि द्वि-आधारी की गुणन-सारणी (multiplication table) में केवल चार स्थितियाँ होती हैं।

स्थिति 1 $0 \times 0 = 0$

स्थिति 2 $0 \times 1 = 0$

स्थिति 3 $1 \times 0 = 0$

स्थिति 4 $1 \times 1 = 1$

उदाहरण के लिए 1101 को 1001 से गुणा करने के लिए हम यह प्रक्रिया अपनाते हैं।

```
  1101
  1001
  1101
 0000
0000
1101
1110101
```

सबसे पहले प्रथम आंशिक गुणनफल को लिखा जाता है। इसके बाद प्रत्येक आंशिक गुणनफल को पिछले स्थान से बायीं ओर एक स्थान हटकर पिछले आंशिक गुणनफल के नीचे लिखा जाता है। परन्तु, यह ध्यान रहे कि अंकीय परिपथ या कंप्यूटर एक बार में केवल दो द्वि-आधारी संख्याओं को जोड़ते हैं। अतः प्रथम दो आंशिक गुणनफलों के जोड़ में तीसरा आंशिक गुणनफल जोड़ा जाता है। और, इस योगफल में चौथे आंशिक योगफल को जोड़ देने पर अंतिम योगफल प्राप्त हो जाता है।

द्वि-आधारी संख्याओं का भाग उसी प्रकार किया जाता है, जिस प्रकार दशमलव पद्धति में किया जाता है। हम 1100 को 10 से भाग इस प्रकार देते हैं।

```
    110
10 ) 1100
     10
     10
     10
     00
```

बोध प्रश्न 21

10110 को 110 से गुणा कीजिए।

10.7 सारांश

- मुख्यतः चार संख्या पद्धतियाँ अर्थात् द्वि-आधारी, अष्टाधारी, दशमलव और षोडश-आधारी पद्धतियाँ होती हैं, जिनमें क्रमशः 2, 8, 10 और 16 अंक होते हैं। परन्तु अनुप्रयोगों के अनुसार ही यह निर्णय लेना होता है कि किस प्रकार की संख्या पद्धति को परिभाषित एवं प्रयुक्त करना चाहिए। प्रत्येक कंप्यूटर ऊपर बताई गई संख्या-पद्धतियों में से दो या दो से अधिक पद्धतियों का प्रयोग एक साथ करते हैं।

- द्वि-आधारी संख्या पद्धति में केवल दो अंक 0 और 1 होते हैं। द्वि-आधारी अंक (binary digit) को बिट कहा जाता है। एक द्वि-आधारी संख्या को उसके तुल्य अष्टाधारी, दशमलव और षोडश आधारी संख्याओं में रूपांतरित किया जा सकता है, जैसा कि पाठ में बताया गया है। और, अष्टाधारी, दशमलव और षोडश-आधारी संख्याओं को भी तुल्य द्वि-आधारी संख्याओं में रूपांतरित किया जा सकता है।

- अष्टाधारी संख्या पद्धति में 0 से 7 तक 8 अंक होते हैं। एक अष्टाधारी संख्या को उसके तुल्य द्वि-आधारी, दशमलव और षोडश-आधारी संख्या में और द्वि-आधारी, दशमलव और षोडश-आधारी संख्याओं को अष्टाधारी संख्याओं में रूपांतरित किया जा सकता है, जैसा कि पाठ में बताया गया है।

- षोडश-आधारी संख्या-पद्धति में 16 अंक अर्थात् 0 से 9 तक, A (10) से F (15) तक, होते हैं। अन्य पद्धतियों की तरह षोडश-आधारी संख्याओं को द्वि-आधारी, अष्टाधारी और दशमलव तुल्यों में और द्वि-आधारी, अष्टाधारी और दशमलव संख्याओं को षोडश-आधारी तुल्य में रूपांतरित किया जा सकता है, जैसा कि पाठ में बताया गया है।

- एक दिए हुए कोड की सहायता से संख्याओं, वर्णाक्षरों या अन्य सूचनाओं को निरूपित करने के लिए द्वि-आधारी अंकों के समुच्चयों को व्यवस्थित किया जा सकता है। कुछ महत्वपूर्ण कोड BCD और आस्की (ASCII) हैं।

- BCD कोड में, प्रत्येक दशमलव अंक के स्थान पर उसका 4-बिट द्वि-आधारी तुल्य रखा जाता है। BCD कोड को उसके दशमलव तुल्य में और दशमलव को उसके BCD तुल्य में सरलता से रूपांतरित किया जा सकता है।

- आस्की कोड अति व्यापक रूप में प्रयुक्त होने वाला अक्षरांकीय कोड है। यह एक 7-बिट वाला द्वि-आधारी संख्या है और इसमें $2^7 = 128$ संभव 7-बिट वाले द्वि-आधारी संख्याएँ होती हैं, जो कि वर्णमाला के बड़े और छोटे अक्षरों, अंकों, विराम चिह्न और अन्य प्रतीकों को व्यक्त करने के लिए पर्याप्त हैं।

- द्वि-आधारी जोड़ की मूल अंकगणित निम्नलिखित चार नियमों में समाहित है :

  1. $0 + 0 = 0$
  2. $0 + 1 = 1$
  3. $1 + 0 = 1$
  4. $1 + 1 = 0$ परन्तु 1 हासिल है जो कि अगले उच्च बिट (अधिक सार्थक) में अवश्य जुड़ना चाहिए।

- द्वि-आधारी घटाने की मूल अंकगणित निम्नलिखित चार नियमों में समाहित हैं :

  1. $0 - 0 = 0$
  2. $0 - 1 = 1$ और अगले अधिक सार्थक बिट से 1 उधार लीजिए।
  3. $1 - 0 = 1$
  4. $1 - 1 = 0$

- द्वि-आधारी गुणा के निम्नलिखित चार नियम हैं :

  1. $0 \times 0 = 0$
  2. $0 \times 1 = 0$
  3. $1 \times 0 = 0$
  4. $1 \times 1 = 0$

10.8 अंत में कुछ प्रश्न

1. द्वि-आधारी गिनती में 10111 के बाद कौन-सी संख्या आती है ?
2. बड़ी से बड़ी दशमलव संख्या कौन-सी है, जिसे 6 बिट वाली द्वि-आधारी संख्या से व्यक्त किया जा सकता है ?
3. 11011011010.1101_2 को उसके दशमलव तुल्य में रूपांतरित कीजिए।
4. 372.125_{10} को उसके द्वि-आधारी तुल्य में रूपांतरित कीजिए।
5. 89.875_{10} को उसके द्वि-आधारी तुल्य में रूपांतरित कीजिए।
6. वह बड़ी से बड़ी कौन-सी दशमलव संख्या है, जिसे पाँच अंक वाली अष्टाधारी संख्या से निरूपित किया जा सकता है ?
7. 7777_8 को उसके दशमलव तुल्य में रूपांतरित कीजिए।
8. 6789_{10} को उसके अष्टाधारी तुल्य में रूपांतरित कीजिए।
9. 23401_8 को उसके द्वि-आधारी तुल्य में रूपांतरित कीजिए।
10. 1100110111001010_2 को उसके अष्टाधारी तुल्य में रूपांतरित कीजिए।
11. द्वि-आधारी संख्याओं 1110001 और 1010101 को जोड़िए।
12. 101.1 को 11.01 से गुणा कीजिए।
13. 11011 को 100 से भाग दीजिए।

10.9 हल और उत्तर

बोध प्रश्न

1. बड़ी से बड़ी दशमलव संख्या $= 2^n - 1$. होती है। $n = 10$, के लिए $2^{10} - 1 = 1024 - 1 = 1023_{10}$.
2. 11.625_{10}.
3. 100101.11.
4. नहीं, अष्टाधारी संख्याओं में 8 और 9 नहीं होता।
5. बड़ी से बड़ी दशमलव संख्या $8^3 - 1 = 512 - 1 = 511_{10}$ है।
6. 31.250_{10}
7. 17.2_8
8. $0010000000010111.001010_2$
9. 22_8
10. 8360_{16}

11. बड़ी से बड़ी दशमलव संख्या = $16^3 - 1 = 4096 - 1 = 4095_{10}$

12. $1BE2_{16} = 1 \times 16^3 + 11 \times 16^2 + 14 \times 16^1 + 2 \times 16^0$
$= 4096 + 2816 + 224 + 2$
$= 7138_{10}$

13. 25_{16}

14. $6F10_{16} = 0110\ 1111\ 0001\ 0000 = 110111100010000_2$

15. $1100101010011111_2 = 0110\ 0101\ 0100\ 1111 = 654F_{16}$

16. $5A9_{16} = 0101\ 1010\ 1001$
$= 010\ 110\ 101\ 001$
$= 2651_8$

17. 3278 = 011 010 111
= 0 1101 0111
= $D7_{16}$

18. SHARMA = 1010011 1001000 1000001 1010010 1001101 1000001

19. (क) 10111 (ख) 10101

20. 10000.

21. 10000100.

अंत में कुछ प्रश्न

1. 11000_2

2. 63_{10}

3. 1754.8125_{10}

4. 101110100.001_2

5. 1011001.111_2

6. 32767_{10}

7. 4095_{10}

8. 15205_8

9. 10011100000001_2

10. 1100110111001010_2 = 001 100 110 111 001 010
= 1 4 6 7 1 2
= 146712_8

11. 11000110

12. 10001.111

13. 110.11

10.10 शब्दावली

अक्षरांकीय कोड	–	alphanumeric code
अष्टाधारी	–	octal
बिट	–	bit
षोडश-अधारी	–	hexadecimal
संख्या पद्धति	–	number system
संसाधित्र	–	processor
सन्निकटन	–	approximation
स्तंभ	–	column

इकाई 11 बूलीय बीजावली के मूल तथ्य और फ्लिप-फ्लॉप

इकाई की रूपरेखा

11.1 प्रस्तावना
उद्देश्य

11.2 तर्क गेट
AND गेट
OR गेट
NOT गेट
तर्क गेटों का संयोजन

11.3 बूलीय बीजावली
बूलीय प्रमेय
संयोजन तर्क के लिए बीजगणितीय विधि
बूलीय व्यंजक से सत्यमान सारणी प्राप्त करना
सत्यमान सारणी से बूलीय व्यंजक प्राप्त करना
Exclusive – OR (XOR) गेट
Exclusive – NOR (XNOR) गेट
दो एक-बिट वाली द्वि-आधारी संख्याओं का जोड़ (अर्ध योजक)
तीन एक-बिट वाली द्वि-आधारी संख्याओं का जोड़ (पूर्ण योजक)
केवल NAND गेटों की सहायता से परिपथों की अभिकल्पना करना

11.4 फ्लिप-फ्लॉप
RS फ्लिप-फ्लॉप
कालबद्ध RS फ्लिप-फ्लॉप
कालबद्ध D फ्लिप-फ्लॉप
कालबद्ध JK फ्लिप-फ्लॉप

11.5 सारांश
11.6 अंत में कुछ प्रश्न
11.7 हल और उत्तर
11.8 शब्दावली

11.1 प्रस्तावना

अपेक्षित अनुप्रयोग के लिए अंकीय परिपथ की अभिकल्पना अनेक तर्क गेटों के संयोजन से की जाती है। अनेक तर्क गेटों वाला यह अनुप्रयोग सरल अथवा जटिल हो सकता है। विभिन्न उपयोगकर्ता एक ही तरह के अनुप्रयोग के लिए तर्क गेटों के विभिन्न संयोजनों का प्रयोग करके अंकीय परिपथ की अभिकल्पना कर सकते हैं। किसी विशेष अनुप्रयोग के लिए इन अंकीय परिपथों में से किसी एक का चयन करने के लिए इस बात को ध्यान में रखना आवश्यक है कि चुने गए परिपथ में तर्क गेटों की संख्या न्यूनतम हो। अंकीय परिपथ को देखने से सदैव यह संभव नहीं है कि यह ज्ञात हो जाए कि परिपथ न्यूनतम गेटों वाला है अथवा इसकी संक्रिया में परिवर्तन लाए बिना परिपथ से कुछ गेटों को हटाया जा सकता है। बूलीय बीजगणित में ऐसी व्यवस्था है, जिसके माध्यम से तर्क परिपथों को प्रतीकात्मक रूप से व्यक्त किया जा सकता है, उन्हें परिचालित (manipulated) किया जा सकता है और छोटा किया जा सकता है।

इस इकाई में हम AND, OR तथा NOT तीन आधारभूत तर्क गेटों और उनके संयोजनों के बारे में सीखेंगे। सभी अंकीय (तर्क) परिपथ द्वि-आधारी रूप में संक्रिया करते है, जहां सभी निवेश और निर्गत पूर्व परिभाषित वोल्टेज होते हैं और जो या तो 1 अथवा 0 द्वि-आधारी अंकों द्वारा व्यक्त किए जाते है। तर्क परिपथ की इस विशेषता के कारण ही हम अंकीय परिपथ प्रणाली की अभिकल्पना और विश्लेषण करने के लिए बूलीय बीजगणित का प्रयोग कर पाते हैं। अंकीय परिपथ का यह क्षेत्र संयोजनात्मक तर्क (combinational logic) के रूप में जाना जाता है; जहाँ पर निवेश और निर्गत के बीच के संबंध का सत्यमान सारणी में संक्षिप्त किए गए तर्क के रूप में परिभाषित किया जा सकता है।

संयोजनात्मक तर्क परिपथ में स्मृति नहीं होती अर्थात् अंकीय परिपथ का निर्गत पिछली घटना पर निर्भर नहीं करता है। परन्तु सूचनाओं (information) के संग्रह और उसके परिचालन (manipulation) के लिए प्रयोग में आने वाले अधिक विकसित (advanced) अंकीय परिपथों के लिए यह अति आवश्यक है कि उनमें स्मृति अवयव हो। आधारभूत स्मृति अवयव एक फिलप-फ्लॉप (Flip-Flop) होता है जो कि NAND या NOR गेटों की सहायता से प्राप्त होता है। इस इकाई में हम विभिन्न प्रकार के फिलप-फ्लॉपों और उनके प्रचालन के बारे में अध्ययन करेंगे। अंकीय परिपथिकी (digital circuitry) के इस प्रकार के परिपथों को अनुक्रमिक (sequential) परिपथ भी कहा जाता है।

अगली इकाई में हम यह देखेंगे कि किस प्रकार फिलप-फ्लॉप को अंकीय स्पंदों (pulses) की गणना करने में एक काउंटर (counter) के रूप में या द्वि-आधारी सूचनाओं का संचयन करने में एक रजिस्टर के रूप में इस्तेमाल किया जा सकता है।

उद्देश्य

इस इकाई को पढ़ लेने के बाद आप :

- AND, OR तथा NOT गेटों की संक्रिया की व्याख्या कर सकेंगे और उनकी सत्यमान सारणियाँ बना सकेंगे,
- गेटों के संयोजन की व्याख्या कर सकेंगे और NAND और NOR की सत्यमान सारणियाँ बना सकेंगे,
- यह बता सकेंगे कि किस प्रकार सभी तर्क परिपथों का समय आरेख प्राप्त किया जाता हैं,
- यह व्याख्या कर सकेंगे कि किस प्रकार तीन आधारभूत तर्क गेटों की संक्रिया के फलस्वरूप बूलीय बीजावली में प्रयुक्त होने वाले विभिन्न प्रमेय या नियम प्राप्त होते हैं,
- बूलीय प्रमेय लिख सकेंगे और संयोजन तर्क (combination logic) के लिए बीजगणितीय विधि का प्रयोग कर सकेंगे,
- दिए हुए बूलीय व्यंजक से सत्यमान सारणी प्राप्त कर सकेंगे,
- Exclusive – OR तथा Exclusive – NOR गेटों के कार्य की व्याख्या कर सकेंगे,
- अर्ध योजक की अभिकल्पना कर सकेंगे और उसके कार्य की व्याख्या कर सकेंगे,
- पूर्ण योजक की अभिकल्पना कर सकेंगे और उसके कार्य की व्याख्या कर सकेंगे,
- केवल NAND गेटों का प्रयोग करके तर्क परिपथ की अभिकल्पना कर सकेंगे,
- RS फ्लिप-फ्लॉप के निर्माण और उसकी क्रिया की व्याख्या कर सकेंगे,
- कालबद्ध RS फ्लिप-फ्लॉप, D फ्लिप-फ्लॉप और JK फ्लिप-फ्लॉप के निर्माण और क्रिया की व्याख्या कर सकेंगे, और
- फ्लिप-फ्लॉपों के निर्गतों के समय-आरेख बना सकेंगे।

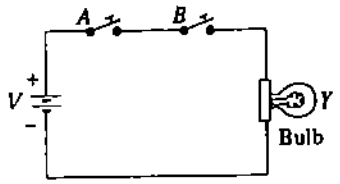
11.2 तर्क गेट

तर्क गेट (logic gate) एक अंकीय परिपथ (digital circuit) है, जिसकी निवेश और निर्गत वोल्टताओं के बीच तर्कसंगत संबंध होता है। मूलतः तीन गेट होते हैं : AND, OR तथा NOT (इसे प्रतिलोमित्र (inverter) गेट भी कहा जाता है)। अब हम एक-एक करके इन गेटों का अध्ययन करेंगे।

11.2.1 AND गेट

चित्र 11.1 में दिए गए परिपथ से AND गेट को अच्छी तरह से समझा जा सकता है। इस परिपथ में स्विच निवेश है तथा बल्ब निर्गत है। आइए, हम उस घटना को 0 से प्रदर्शित करें, जबकि स्विच

खुला हुआ हो और उस घटना को 1 से प्रदर्शित करें जब स्विच बंद हो। इसी प्रकार, जब बल्ब नहीं जलता है, तो उस घटना को 0 से प्रदर्शित करते हैं तथा जब बल्ब जलता है, उस घटना को 1 से प्रदर्शित करते हैं। जब दोनों स्विच (A और B) बंद होते हैं, तब बल्ब (Y) नहीं जलता है।



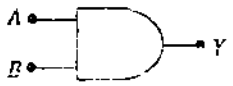
चित्र 11.1 : AND गेट जिसमें स्विचों का प्रयोग किया गया है।

यदि एक स्विच को बंद रखा जाए और दूसरे स्विच को खुला रखा जाए, तब भी बल्ब (Y) नहीं जलता। परंतु, दोनों स्विचों को खुला रखने पर बल्ब (Y) जलने लगता है। इस तरह, चार घटनाएँ घटती हैं, जिन्हें हम संक्षेप में एक सारणी के रूप में रख सकते हैं। इस सारणी को इस परिपथ की सत्यमान सारणी (truth table) कहा जाता है। इसे सारणी 11.1 में दिया गया है। यहाँ स्विच A और B जो निवेश वोल्टताओं को नियंत्रित करते हैं, अक्सर सत्यमान सारणी के निवेश कहलाते हैं और Y निर्गत कहलाते हैं।

सारणी 11.1 : AND गेट की सत्यमान सारणी

निवेश		निर्गत
A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

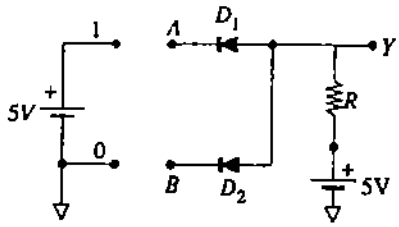
इस सारणी से यह स्पष्ट हो जाता है कि बल्ब केवल तब जलता है (1) है, जब दोनों स्विच (A और B) खुले (1) होते हैं। एक अलग विधि से इसे हम इस प्रकार व्यक्त कर सकते हैं कि निर्गत 1 होता है जब दोनों निवेश A और B, 1 होते हैं। परिपथ की यह अवस्था अन्य तीन अवस्थाओं से भिन्न होती है। इस परिपथ को AND गेट कहा जाता है। चित्र 11.2 में AND गेट का प्रतीक दिया गया है। चित्र 11.1 से यह स्पष्ट है कि यदि परिपथ में अनेक स्विच श्रेणी में लगे हों, तो निर्गत 1 होगा, यदि और केवल यदि जब सभी निवेश 1 हों। अब आप हमेशा-हमेशा के लिए यह याद रखिए कि **AND गेट के लिए निर्गत 1 होता है यदि और केवल यदि सभी निवेश 1 हों।**



चित्र 11.2 : AND गेट का प्रतीक।

इलेक्ट्रॉनिक रूप से दो pn संधि डायोडों का प्रयोग करके AND गेट प्राप्त किया जा सकता है, जैसा कि चित्र 11.3 के परिपथ में दिखाया गया है। प्रतिरोधक R का प्रयोग डायोडों से होकर जाने वाली धारा को नियंत्रित करने के लिए किया जाता है। जैसा कि पहले बताया गया था, 0 बिट (bit) से 0V को प्रदर्शित किया गया है और 1 बिट से 5V को प्रदर्शित किया गया है। परन्तु, इलेक्ट्रॉनिक परिपथ में इतनी परिशुद्ध मानों वाली वोल्टता निर्गत पर सदैव उपलब्ध नहीं होती।

अतः 0 बिट 0V से 0.8V तक की वोल्टता परिसर को प्रदर्शित करती है। 1 बिट 2.8V से 5.8V तक



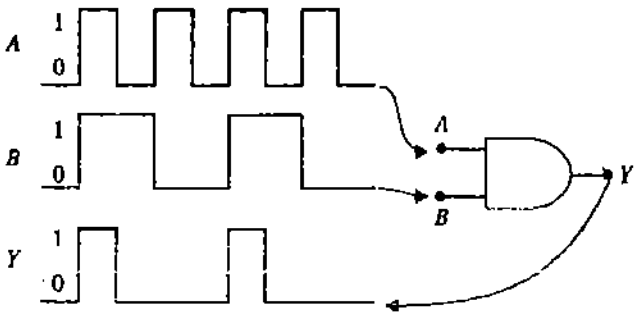
चित्र 11.3 : डायोडों के प्रयोग से AND गेट को प्राप्त करना।

की वोल्टता परिसर को प्रदर्शित करती है। प्रायः इन परिसरों को क्रमशः निम्न (LOW) और उच्च (HIGH) परिसर कहा जाता है। 0.8V से अधिक और 2.8V से कम की वोल्टताएँ अनिर्धार्य (indeterminant) होती हैं, अतः इनका प्रयोग नहीं किया जाता।

चित्र 11.3 के परिपथ में जब निवेश A और B, 0 होते हैं, अर्थात् जब वे 0V या भू-टर्मिनल से जुड़े होते हैं, तब दोनों डायोड अग्रदिशिक बायसित (forward biased) होते हैं और उस स्थिति में प्रत्येक डायोड पर 0.7V का वोल्टता ह्रास होता है (यदि Si डायोड प्रयोग किया गया हो) अथवा 0.3V का वोल्टता ह्रास होता है (यदि Ge डायोड प्रयोग किया गया हो)। अतः निर्गत वोल्टता निम्न या 0 बिट होती है। यदि निवेश A, 0 हो और B, 1 (अर्थात् 5V) हो, तो 0.7V के वोल्टता ह्रास के साथ डायोड A अग्रदिशिक बायसित होता है (यहाँ यह मान लिया गया है कि डायोड Si का है) जबकि डायोड B बायसित नहीं होता (क्योंकि डायोड के p और n पक्ष समान वोल्टता, 5V पर हैं) अतः निर्गत वोल्टता 0.7V है, अर्थात् निम्न या 0 बिट हैं। इसी प्रकार, यदि निवेश A, 1 हो और निवेश B, 0 हो, तो निर्गत 0 होगा। फिर भी, यदि दोनों निवेश 1 हों अर्थात् 5V से जुड़े हुए हों, तो डायोड के दोनों पक्ष समान वोल्टता पर होंगे और इस तरह अचालन में होंगे। इसलिए, निर्गत वोल्टता केवल एक बैटरी वोल्टता होती है जो कि 5V है, अर्थात् एक उच्च या 1 बिट है। ये चार स्थितियाँ सारणी 11.1 की सत्यमान सारणी को संतुष्ट करती हैं। अधिक निवेश वाले AND गेट के लिए डायोडों की संख्या अधिक कर दी जाती है। AND गेट के निवेश-निर्गत संबंध को $A \cdot B = Y$ के रूप में लिखा जाता है और "A AND B बराबर Y के हैं" की तरह पढ़ा जाता है।

उदाहरण 11.1

यदि AND गेट के निवेश A और B वही हों, जैसा कि चित्र 11.4 में दिखाया गया है तो निर्गत Y को अनुरेखित कीजिए।



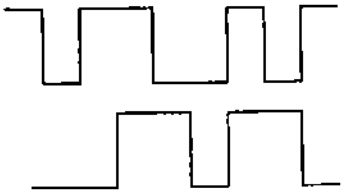
चित्र 11.4

हल

आपको याद होगा कि एक AND गेट का निर्गत 1 होता है, जब सभी निवेश 1 होते हैं, यदि इनमें से कोई भी निवेश 0 हो, तो निर्गत 0 होता है। इस कथन के अनुसार, निर्गत Y के अनुरूप प्राप्त होता है, जैसा कि चित्र 11.4 में दिखाया गया है।

बोध प्रश्न 1

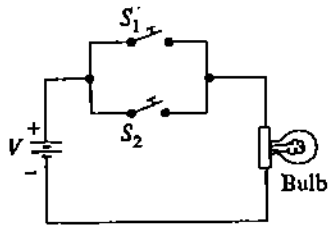
एक AND गेट के निर्गत का अनुरेखण कीजिए, जबकि A और B वही हैं, जो कि चित्र 11.5 में दिखाए गए हैं।



चित्र 11.5

11.2.2 OR गेट

OR गेट की प्रक्रिया को चित्र 11.6 के परिपथ से अच्छी तरह से समझा जा सकता है। यदि दोनों स्विच बंद (0) हों, तो बल्ब नहीं जलता (0)। यदि एक स्विच खुला (1) हो और दूसरा बंद (0) हो, तो भी बल्ब जलने लगता है (1)।



चित्र 11.6 : OR गेट जिसमें स्विचों का प्रयोग किया गया है।

इन घटनाओं को सारणी 11.2 में एक सत्यमान सारणी के रूप में दिया गया है।

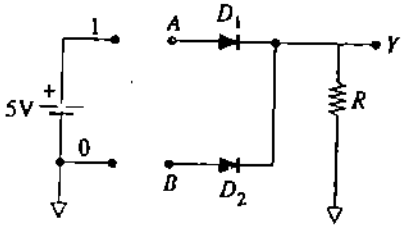
सारणी 11.2 : OR गेट की सत्यमान सारणी

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

सत्यमान सारणी से यह स्पष्ट है कि OR गेट का निर्गत 0 होता है, यदि दोनों निवेश 0 हों, और निर्गत 1 होता है, यदि कोई भी एक निवेश या दोनों निवेश 1 हों। यदि परिपथ में समान्तर क्रम में अनेक स्विच लगे हों, तो बल्ब नहीं जलता, जब सभी स्विच बंद होते हैं और बल्ब जलने लगता है, जब उनमें से कोई भी एक स्विच खुला होता है। OR गेट का प्रतीक चित्र 11.7 में दिया गया है। OR गेट की प्रक्रिया को A + B = Y के रूप में व्यक्त किया जाता है और "A OR B बराबर Y के हैं" के रूप में पढ़ा जाता है।

चित्र 11.7 : OR गेट का प्रतीक।

इलेक्ट्रॉनिक रूप से, दो pn संधि डायोडों का प्रयोग कर OR गेट प्राप्त किया जा सकता है, जैसा कि चित्र 11.8 के परिपथ में दिखाया गया है। यदि दोनों निवेश 0 हों अर्थात् भू-संपर्कित हों, तो डायोड बायसित नहीं होते और इस तरह डायोडों से होकर कोई धारा प्रवाहित नहीं होती। निर्गत



चित्र 11.8 : डायोडों के प्रयोग से OR गेट प्राप्त करना।

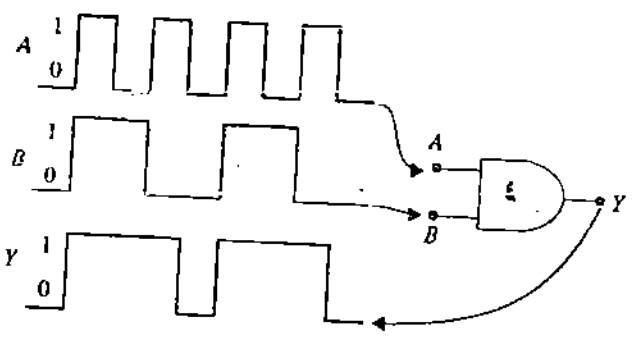
शून्य या 0 विट होता है। यदि डायोड A में निवेश 0 हो, और B में निवेश 1 (अर्थात् 5V) हो, तो डायोड A बायसित नहीं होता और इस तरह चालन नहीं करता। परन्तु, डायोड B अग्रदिशिक बायसित होता है। इस स्थिति में डायोड पर 0.7V का वोल्टता ह्रास और प्रतिरोधक पर 4.3V का वोल्टता ह्रास होता है। इस तरह निर्गत एक "उच्च" या 1 विट होता है। इसी प्रकार, यदि डायोड A पर निवेश 1 हो और डायोड B पर निवेश 0 हो तो निर्गत 1 होता है। जब दोनों डायोड A और B पर निवेश 1 होता है, तो दोनों डायोड अग्रदिशिक बायसित होते हैं और प्रतिरोधक R पर वोल्टता ह्रास 4.3V बना रहता है। अतः निर्गत 1 विट होता है। ये सभी चार स्थितियाँ OR गेट की सत्यमान सारणी को संतुष्ट करती हैं। परिपथ में और अधिक डायोडों का प्रयोग करके अधिक निवेश वाला OR गेट प्राप्त किया जाता है। OR गेट का विश्लेषण करने पर हम यह पाते हैं कि **निर्गत 0 होता है यदि दोनों या सभी निवेश 0 हों और निर्गत 1 होता है यदि कम से कम एक निवेश 1 हो।**

उदाहरण 11.2

यदि OR गेट के निवेश A और B वही हों, जो कि चित्र 11.9 में दिखाए गए हैं, तो निर्गत Y का अनुरेखण कीजिए।

हल

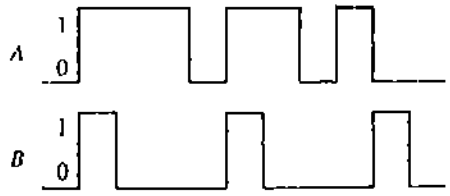
आपको याद होगा कि OR गेट का **निर्गत 1 होता है**, जब कोई भी निवेश 1 होता है और निर्गत 0 होता है, जब सभी निवेश 0 **होते हैं। इस जानकारी** से निर्गत Y के अनुरूप प्राप्त होता है, जैसा कि चित्र 11.9 में दिखाया **गया है।**



चित्र 11.9

बोध प्रश्न 2

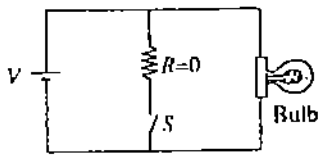
एक OR गेट का निर्गत अनुरेखित कीजिए यदि निवेश A और B वही हों, जैसा कि चित्र 11.10 में दिखाया गया है।



चित्र 11.10

11.2.3 NOT गेट

चित्र 11.11 में दिखाए गए वैद्युत परिपथ की सहायता से NOT गेट को अच्छी तरह समझा जा सकता है। आइए, हम उस घटना को 0 बिट से प्रदर्शित करें, जब बल्ब न जलता हो और उस घटना को 1 बिट से प्रदर्शित करें जब बल्ब जलता हो। इसी प्रकार स्विच बंद करने की घटना को 0 बिट से व्यक्त करें और स्विच खोलने की घटना को 1 बिट से व्यक्त कर लें। चित्र 11.11 में जब स्विच बंद होता है तब बल्ब से होकर कोई भी धारा प्रवाहित नहीं होती और तब बल्ब नहीं जलता। ऐसा होने का कारण यह है कि धारा सदैव निम्नतम प्रतिरोध वाले पथ से होकर प्रवाहित होती है। इसी प्रकार, जब स्विच खुला होता है, तब बल्ब से होकर पूरी धारा प्रवाहित होने लगती है और तब बल्ब जलने लगता है।



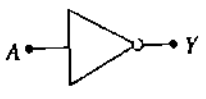
चित्र 11.11 : एक स्विच की सहायता से NOT गेट प्राप्त करना।

जब परिपथ में निवेश 1 होता है, तब निर्गत 0 होता है और जब निवेश 0 होता है, तब निर्गत 1 होता है। यह NOT गेट की क्रिया है और सारणी 11.3 में संक्षेप में सत्यमान सारणी के रूप में प्रस्तुत किया गया है।

सारणी 11.3 : NOT गेट की सत्यमान सारणी

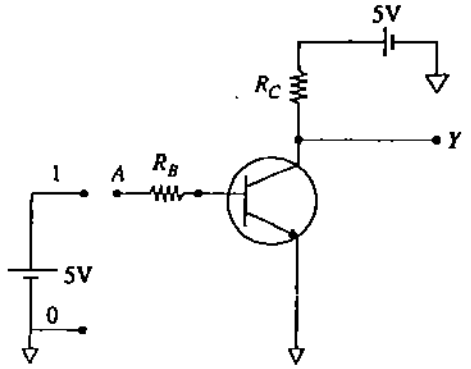
A	Y
0	1
1	0

NOT गेट को प्रतिलोमित्र (inverter) भी कहा जाता है। इसमें केवल एक निवेश होता है। इसका प्रतीक चित्र 11.12 में दिया गया है। निवेश-निर्गत संबंध को $\overline{A} = Y$ के रूप में व्यक्त किया जाता है।



चित्र 11.12 : NOT गेट का प्रतीक।

चित्र 11.13 में दिए गए परिपथ के अनुसार NOT गेट को प्राप्त किया जा सकता है। परिपथ में ट्रांजिस्टर की अंतक (cut-off) और संतृप्ति (saturation) विधाओं (mode) का प्रयोग होता है। जब परिपथ में निवेश 0 बिट अर्थात् 0 वोल्टता होता है, तो कोई भी आधार धारा I_B प्रवाहित नहीं होती। इसका अर्थ यह है कि संग्राही धारा (collector current) शून्य है। यह ट्रांजिस्टर की अंतक विधा है। अतः निर्गत वोल्टता 5V की वायस वोल्टता है, जिससे यह पता चलता है कि निर्गत

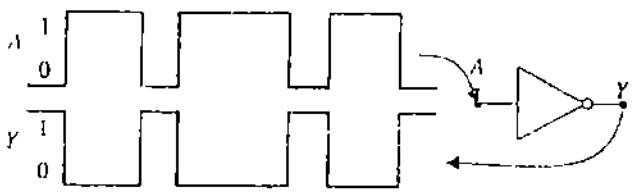


चित्र 11.13 : ट्रांजिस्टर की सहायता से NOT गेट प्राप्त करना।

1 बिट है। जब परिपथ में निवेश 1 बिट अर्थात् 5V होता है, तब अधिक I_B प्रवाहित होने लगती है। परिणामस्वरूप I_C अधिक हो जाती है वस्तुतः इसका मान $I_{C\,sat}$ हो जाता है। यह ट्रांजिस्टर की संतृप्ति विधा है। इससे यह पता चलता है कि अधिकांश वायस वोल्टता R_C पर हासित हो जाती है और निर्गत पर 0 बिट प्राप्त होता है।

उदाहरण 11.3

यदि NOT गेट में निवेश वही हो, जैसा कि चित्र 11.14 में दिखाया गया है, तो निर्गत Y का अनुरेखण कीजिए।



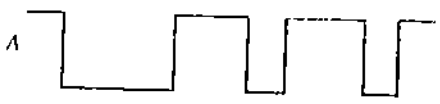
चित्र 11.14

हल

आपको याद होगा कि NOT गेट का निर्गत 1 होता है, यदि निवेश 0 हो और निर्गत शून्य होता है, यदि निवेश 1 हो। इस जानकारी से निर्गत Y के अनुरूप प्राप्त होता है, जैसा कि चित्र में दिखाया गया है।

बोध प्रश्न 3

NOT गेट के निर्गत का अनुरेखण कीजिए, यदि निवेश वही हो, जैसा कि चित्र 11.15 में दिखाया गया है।

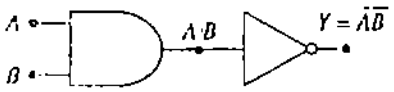


चित्र 11.15

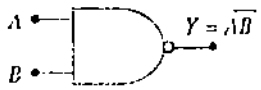
11.2.4 तर्क गेटों का संयोजन

AND, OR तथा NOT गेट सभी अंकीय परिपथों के मूल गेट हैं। किसी विशेष अनुप्रयोग के लिए इन गेटों को एक-दूसरे के साथ संयोजित किया जा सकता है। फिर भी, दो प्रकार के संयोजनों (combinations) का अधिक महत्त्व है, जिसका कि अब आप अध्ययन करेंगे।

(i) NAND गेट



चित्र 11.16 : AND और NOT गेट का संयोजन।



चित्र 11.7 : NAND गेट का प्रतीक।

यदि एक AND गेट के निर्गत को एक NOT गेट के निवेश में दिया जाए, जैसा कि चित्र 11.16 में दिखाया गया है, तो परिणामी परिपथ को NAND गेट कहा जाता है, जिसके प्रतीक को चित्र 11.17 में दिखाया गया है। इस गेट की सत्यमान सारणी इस प्रकार प्राप्त की जाती है :

A	B	Y′ (AB)	Y
0	0	0	1
0	1	0	1
1	0	0	1
1	1	1	0

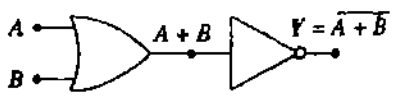
सारणी 11.4 में NAND गेट की सत्यमान सारणी दिखाई गई है।

सारणी 11.4 : NAND गेट की सत्यमान सारणी

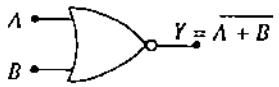
A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

गेट के निवेश-निर्गत संबंध को $\overline{A \cdot B} = Y$ के रूप में व्यक्त किया जाता है। NAND गेट को अंकीय परिपथों का आधारभूत खंड (building block) कहा जाता है क्योंकि NAND का प्रयोग करके AND, OR तथा NOT गेट प्राप्त किए जा सकते हैं। इस पहलू पर व्याख्या बाद में की जाएगी।

(ii) NOR गेट



चित्र 11.18 : OR तथा NOT गेट का संयोजन।



चित्र 11.19 : NOR गेट का प्रतीक।

यदि एक OR गेट के निर्गत को NOT गेट के निवेश में दिया जाए, जैसा कि चित्र 11.18 में दिखाया गया है, तब परिणामी परिपथ को NOR गेट कहा जाता है और इसका प्रतीक चित्र 11.19 में दिखाया गया है। इस गेट की सत्यमान सारणी इस प्रकार प्राप्त की जाती है :

A	B	Y' (A + B)	Y
0	0	0	1
0	1	1	0
1	0	1	0
1	1	1	0

इस तरह NOR गेट की सत्यमान सारणी को सारणी 11.5 में दिखाया गया है

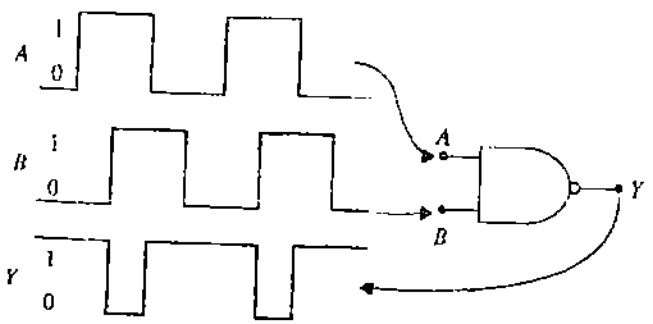
सारणी 11.5 : NOR गेट की सत्यमान सारणी

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

NOR गेट के निवेश-निर्गत संबंध को $\overline{A + B} = Y$ के रूप में व्यक्त किया जाता है। NOR गेट को भी अंकीय परिपथों (digital circuits) का आधारभूत खंड (building block) भी कहा जाता है, क्योंकि NOR गेट का प्रयोग करके AND, OR तथा NOT गेटों को प्राप्त किया जा सकता है।

उदाहरण 11.4

यदि NOR गेट में निवेश A और B वैसे ही हो, जैसा कि चित्र 11.20 में दिखाया गया है, तो निर्गत Y का अनुरेखण कीजिए।



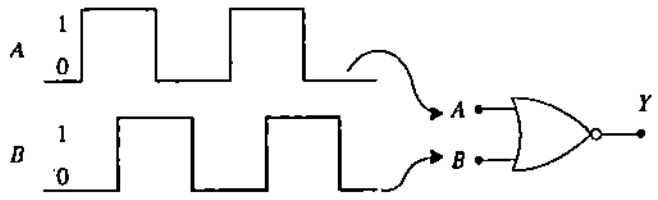
चित्र 11.20

हल

आपको याद होगा कि NOR गेट का निर्गत 0 होता है यदि निवेश 1 हो और निर्गत 1 होता है यदि सभी या कोई भी एक निवेश 0 हो। इस जानकारी को लागू करने पर निर्गत Y के अनुरूप प्राप्त होता है, जैसा कि चित्र में दिखाया गया है।

बोध प्रश्न 4

यदि NOR गेट में निवेश A और B वही हों, जैसा कि चित्र 11.21 में दिखाया गया है, तो इसके निर्गत Y का अनुरेखण कीजिए (संकेतः इसके लिए सत्यमान सारणी 11.5 लागू कीजिए)।



चित्र 11.21

11.3 बूलीय बीजावली

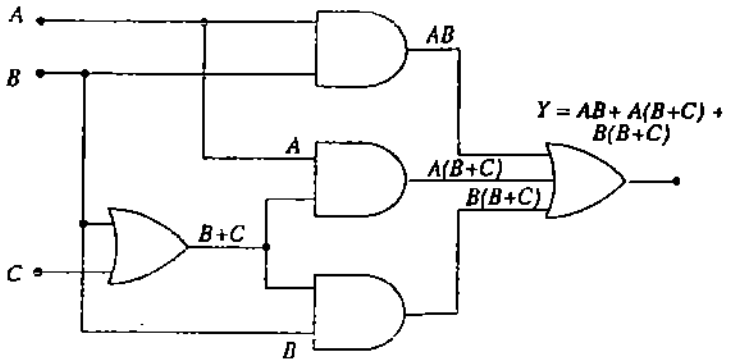
इस भाग में हम बूलीय बीजावली (Boolean Algebra) के बारे में अध्ययन करेंगे जिससे एक ऐसी विधि उपलब्ध होती है, जिसे लागू करके जटिल अंकीय परिपथ को सरल परिपथ में बदला जा सकता है। इस विधि के अंतर्गत निम्नलिखित क्रियाएं करनी होती हैं :

1) तर्क संक्रियाओं (logic operations) को बूलीय व्यंजक के रूप में लिखा जाता है।

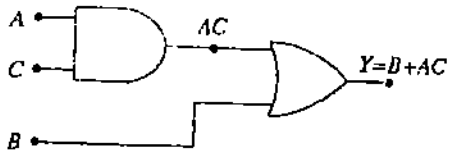
2) दी हुई सत्यमान सारणी से एक बूलीय व्यंजक प्राप्त किया जा सकता है, जो कि ज़रूरी नहीं है कि एक ऐसे सरल परिपथ को निरूपित करे, जिसमें गेटों की संख्या निम्नतम हो।

3) इस स्थिति में तब बूलीय व्यंजक को सरल करके एक ऐसा अंकीय परिपथ प्राप्त किया जाता है, जिसमें गेटों की संख्या निम्नतम होती है।

चित्र 11.22 में दिए गए अंकीय परिपथ को देखिए। इसमें तीन प्रकार के पांच तर्क गेट हैं – जिनमें तीन 2-निवेश वाले AND गेट हैं, एक 2-निवेश वाला OR गेट है और एक 3-निवेश वाला NOT गेट है। सारणी 11.6 में इसकी सत्यमान सारणी दी गई हैं। इस परिपथ को उस रूप में



चित्र 11.22 : पांच गेटों वाला अंकीय परिपथ।



चित्र 11.23 : अंकीय परिपथ जो वही संक्रिया करता है, जैसा कि चित्र 11.22 में दिया गया परिपथ संक्रिया करता है।

बदला जा सकता है जैसा कि चित्र 11.23 में दिखाया गया है, जिसमें केवल दो तर्क गेट हैं और साथ ही काफ़ी सस्ता और सरल भी है। यह सत्यमान सारणी 11.6 को पूरी तरह से संतुष्ट भी करता है।

सारणी 11.6

A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

बूलीय अभिगृहीत (Boolean postulate) का आधार पिछले भाग में बताए गए तर्क गेटों की सत्यमान सारणियों में स्थित होता है। आपको याद होगा कि AND संक्रिया को गुणन चिह्न (.) अर्थात् तर्कसंगत गुणन से व्यक्त किया गया है। प्रायः हम इस चिह्न का प्रयोग नहीं भी करते, जैसे $A \cdot B = AB$। इसी प्रकार OR संक्रिया को योग चिह्न (+) अर्थात् तर्कसंगत योग से व्यक्त किया गया है और NOT संक्रिया को चर (variable) के ऊपर एक बार (-) का निशान लगाकर व्यक्त किया गया है। इस संक्रिया को तर्कसंगत प्रतिलोमन (logical inversion) या पूरकीकरण (complementation) भी कहा जाता है। ये तीनों संक्रियाएं मूल बूलीय संक्रियाएं हैं, जिनके आधार पर हम बूलीय बीजावली को विकसित करेंगे।

क्योंकि द्वि-आधारी प्रणाली में प्रयुक्त किए जाने वाले बिटों की संख्या केवल दो अर्थात् 0 और 1 होती है, इसलिए 2-निवेश वाले AND और OR गेटों में निवेशों A और B के केवल चार संयोजन संभव हो सकते हैं और NOT गेट में केवल दो संयोजन संभव हो सकते हैं। AND, OR और NOT की सत्यमान सारणियों को सारणी 11.7 में पुनः लिखा गया है।

सारणी 11.7 : AND, OR तथा NOT गेटों की सत्यमान सारणियाँ

AND

X	Y	Z
0	0	0
0	1	0
1	0	0
1	1	1

OR

X	Y	Z
0	0	0
0	1	1
1	0	1
1	1	1

NOT

X	Z
1	0
0	1

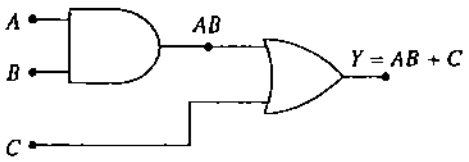
इन तर्क सारणियों से बूलीय बीजावली के दस अभिगृहीत प्राप्त होते हैं, जिनमें से प्रत्येक अभिगृहीत संबंधित तर्क गेट के निवेश-निर्गत संबंध को बूलीय व्यंजक (Boolean expression) के रूप में व्यक्त करता है और AND या OR या NOT संक्रियाओं की सत्यमान सारणियों की प्रविष्टियों (entries) में से एक प्रविष्टि होता है। ये व्यंजक निम्नलिखित हैं :

सारणी 11.8 : AND, OR तथा NOT गेटों के बूलीय व्यंजक

AND संक्रिया	OR संक्रिया	NOT संक्रिया
$0.0 = 0$	$0 + 0 = 0$	$\overline{0} = 1$
$0.1 = 0$	$0 + 1 = 1$	$\overline{1} = 0$
$1.0 = 0$	$1 + 0 = 1$	
$1.1 = 1$	$1 + 1 = 1$	

इन समीकरणों से यह बिलकुल स्पष्ट है कि AND संक्रिया का प्रयोग करने वाले सभी चार बूलीय समीकरण बिटों 0 और 1 का प्रयोग करके द्वि-आधारी गुणन को संतुष्ट करते हैं। परन्तु, OR संक्रिया के संबंध में पहले तीन बूलीय समीकरण तो द्वि-आधारी योग को संतुष्ट करते हैं, परन्तु अंतिम समीकरण $1 + 1 = 1$ इस योग को संतुष्ट नहीं करता। ऐसा इसलिए है, क्योंकि द्वि-आधारी अंकगणित में $1 + 1 = 10$ होता है। बूलीय योग और द्वि-आधारी योग में यह अंतर्विरोध होते हुए भी, जिसका समाधान हम आगे चलकर लेंगे, अंकीय परिपथों में बूलीय संक्रियाएँ काफी सहायक सिद्ध होती है। सारणी 11.8 से हमें विभिनन बूलीय प्रमेय प्राप्त होते हैं, जिनका विवरण नीचे के भाग में दे रहे हैं।

आइए, अब हम यह देख लें कि एक अंकीय परिपथ के लिए किस प्रकार बूलीय समीकरण लिखे जाते हैं और किस प्रकार उनका प्रयोग किया जाता है। चित्र 11.24 का परिपथ लीजिए, जिसमें A और B, "AND" गेट के निवेश हैं तथा C "OR" गेट के दो निवेशों में से एक निवेश है।



चित्र 11.24 : Y = A.B + C का अंकीय परिपथ।

"OR" गेट का एक अन्य निवेश "AND" गेट अर्थात् AB का निर्गत है। इस संयोजन का निर्गत यह है :

$$Y = (A.B) + C = AB + C.$$

आइए, हम Y ज्ञात करें, यदि

$A = 0$, $B = 1$ और $C = 1$ हो, तो

$$Y = 0.1 + 1.$$

सारणी 11.8 से $0.1 = 0$, इसलिए

$$Y = 0 + 1$$

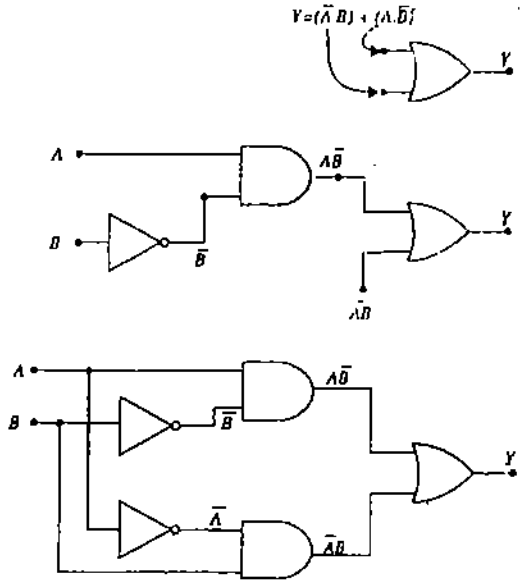
सारणी 11.8 से $0 + 1 = 1$ है इसलिए

$$Y = 1$$

आइए, अब हम एक दिए हुए बूलीय व्यंजक को एक तर्क परिपथ में रूपांतरित करें। मान लीजिए,

$Y = (\overline{A}.B) + (A.\overline{B})$ इस समीकरण का अर्थ यह है कि Y, दो-निवेश "OR" गेट का निर्गत है,

जिसके निवेश $\overline{A}.B$ और $A.\overline{B}$ हैं जो कि स्वयं दो "AND" गेट के निर्गत हैं। इन "AND" गेटों के निवेश क्रमशः $\overline{A}$ और B तथा A और $\overline{B}$ हैं। इस पूरी प्रक्रिया को चित्र 11.25 में संक्षेप में दिखाया गया है।



चित्र 11.25 : बूलीय व्यंजक $Y = \overline{A}B + A\overline{B}$ का एक अंकीय परिपथ में रूपांतरण।

11.3.1 बूलीय प्रमेय

सारणी 11.8 की सहायता से अब हम अनेक सर्वसमिकाएँ (identities) या प्रमेय लिख सकते हैं जिनका प्रयोग बूलीय बीजावली में होता है। इस संबंध में निम्नलिखित तथ्यों को भी याद रखना चाहिए।

(क) (i) "AND" गेट का निर्गत 1 होता है, केवल जब सभी निवेश 1 हों।

(ii) "AND" गेट का निर्गत 0 होता है, जब सभी या कोई भी एक निवेश 0 हो।

(ख) (i) "OR" गेट का निर्गत 0 होता है, जब सभी निवेश 0 हों।

(ii) "OR" गेट का निर्गत 1 होता है, जब कोई भी एक निवेश या सभी निवेश 1 हों।

(ग) "NOT" गेट का निर्गत अपने निवेश का प्रतिलोम होता है।

इन निष्कर्षों और अभिगृहीतों से हम निम्नलिखित गुणधर्म या नियम/सिद्धांत/प्रमेय व्युत्पन्न करते हैं।

"AND" फलन से

1. $X \cdot 0 = 0$
2. $0 \cdot X = 0$
3. $X \cdot 1 = X$
4. $1 \cdot X = X$

"OR" फलन से

5. $X + 0 = X$
6. $0 + X = X$
7. $X + 1 = 1$
8. $1 + X = 1$

स्वयं के साथ या अपने पूरक के साथ किसी चर (variable) का संयोजन करने पर

9. $X \cdot X = X$

10. $X \cdot \overline{X} = 0$

11. $X + X = X$

12. $X + \overline{X} = 1$

द्विक पूरकीकरण से (from double complementation)

13. $\overline{\overline{X}} = X$

गुणन और योग के क्रमविनिमेय नियम (commutative laws)

इन नियमों से यह पता चलता है कि किसी भी क्रम में जब दो चर राशियों पर 'OR' संक्रिया अथवा 'AND' संक्रिया की जाती है, तो उससे कोई अंतर नहीं पड़ता है।

14. $X \cdot Y = Y \cdot X$

15. $X + Y = Y + X$

योग और गुणन के साहचर्य नियम (associative laws)

इन नियमों से यह पता चलता है कि अनेक चर राशियों पर OR संक्रिया अथवा AND संक्रिया की जाती है, तो इस बात से कोई अंतर नहीं पड़ता कि किस क्रम में राशियों को रखा गया है।

16. $X + (Y + Z) = (X + Y) + Z = X + Y + Z$

17. $X (YZ) = (XY) Z = XYZ$

बंटन नियम (distributive law)

18. $X \cdot (Y + Z) = (X \cdot Y) + (X \cdot Z)$

19. $X + (Y \cdot Z) = (X + Y) \cdot (X + Z)$

20. $(W + X) \cdot (Y + Z) = WY + XY + WZ + XZ$

ध्यान दीजिए कि यहाँ क्रमविनिमेय, साहचर्य और बंटन नियम साधारण बीजगणित के संगत नियमों के समान हैं।

अवशोषण नियम (absorption laws)

इस प्रकार का कोई नियम साधारण बीजगणित में नहीं होता।

21. $X + X \cdot Y = X$

22. $X \cdot (X + Y) = X$

23. $X + \overline{X}Y = X + Y$

24. $X \cdot (\overline{X} + Y) = XY$

डी मॉर्गन प्रमेय – पहले प्रमेय का कथन यह है : एक योगफल का पूरक, पूरकों के गुणनफल के बराबर होता है।

25. $\overline{X + Y} = \overline{X} \cdot \overline{Y}$

दूसरे प्रमेय का कथन यह है : गुणनफल का पूरक, पूरकों के योगफल के बराबर होता है।

26. $\overline{X \cdot Y} = \overline{X} + \overline{Y}$

ये प्रमेय तब भी मान्य हैं, जब चर, व्यंजक भी होते हैं। इन प्रमेयों की कोई बीजगणितीय उपपत्ति नहीं है।

फिर भी, चरों के मान (0 या 1) रखकर और सारणी 11.8 में दी गई बूलीय अभिगृहीतों को लागू करके प्रत्येक प्रमेय (नियम) को सिद्ध किया जा सकता है।

11.3.2 संयोजन तर्क के लिए बीजगणितीय विधि

अब हम यह जान चुके हैं कि तर्क परिपथ को बूलीय व्यंजक के रूप में व्यक्त किया जा सकता है और फिर इसे बूलीय नियमों को लागू करके सरल किया जा सकता है। हम यह भी जान चुके हैं कि बूलीय व्यंजक को भी तुल्य तर्क परिपथ में रूपांतरित किया जा सकता है।

सरलीकरण विधि और अन्य विधियों के बारे में अध्ययन करने से पहले आइए, हम यह समझ लें कि संयोजन तर्क (combinational logic) होता क्या है। जब कभी निवेश और निर्गत के बीच नियत, निश्चर (invariant) संबंध उपलब्ध कराने के लिए तर्क परिपथ को उसकी सत्यमान सारणी से स्पष्ट रूप से परिभाषित किया जाता है, तब परिपथ को संयोजन परिपथ कहा जाता है। संयोजन परिपथ में कोई स्मृति (memory) नही होती। इसमें अपनी सत्यमान सारणी के अनुसार ही सदा प्रक्रिया होती है, चाहे पहले से कोई भी निवेश परिपथ को क्यों न दिया गया हो। कुछ उदाहरण लेकर इस तथ्य को हम और अच्छी तरह से समझ सकते हैं।

बूलीय व्यंजक का समीकरण निम्नलिखित दो रूपों में से किसी भी एक रूप में व्यक्त किया जा सकता है (क) गुणनफलों का योगफल (SOP) और (ख) योगफलों का गुणनफल (POS)। यहाँ हम केवल SOP रूप पर ही चर्चा करेंगे क्योंकि इसका प्रयोग व्यापक रूप से होता है। सरलीकरण का उद्देश्य होता है कि किसी व्यंजक में किसी चर राशि को बार-बार न आने देना या उस व्यंजक में राशियों की संख्या का कम से कम होना। इसका अर्थ है – संक्रिया प्रतीकों को निम्नतम करना और इस तरह परिपथ में प्रयुक्त किए जाने वाले गेटों को कम से कम करना है। अनेक बार हमें एक व्यंजक के एक से अधिक सरलीकृत रूप प्राप्त हो जाते हैं, जिनमें से प्रत्येक प्रयुक्त किए जाने वाले गेट की संख्या और राशियों की संख्या के संदर्भ में एक-दूसरे के तुल्य होते हैं। अंतिम विश्लेषण के समय हम गुणनफलों का निम्नतम योगफल (Minimum Sum of Product अर्थात् MSP) के रूप का प्रयोग करेंगे, जिसे बिना कोष्ठक लगाए लिखा जाता है। मान लीजिए एक सरलतम व्यंजक (reduced expression) A (B + C) है। इसे MSP रूप में AB + AC की तरह लिखा जाता है। जहाँ सरलतम व्यंजक को एक 'AND' गेट और एक 'OR' गेट की आवश्यकता होती है, वहीं MSP व्यंजक को दो 'AND' गेटों और एक 'OR' गेट की आवश्यकता होती है। इस तरह, हम देखते हैं कि इस स्थिति में MSP व्यंजक सरलतम नहीं हुआ। अतः मूल नियम यह है कि व्यंजक को (क) यथासंभव सरल किया जाए, और (ख) बिना कोष्ठक के लिखा जाए। बूलीय व्यंजक के सरलीकरण के लिए बूलीय संक्रियाओं को निम्नलिखित क्रम में लागू करना चाहिए :

1) एकल चरों का प्रतिलोमन
2) कोष्ठकों वाली सभी संक्रियाएं
3) संक्रियाओं से पहले 'AND' संक्रियाएं
4) AND संक्रियाएं
5) यदि व्यंजक में दंड (bar) लगे हों, तो प्रतिलोमन के पहले सभी संक्रियाओं को लागू कर लीजिए।

उदाहरण 11.5

i) निम्नलिखित का MSP व्यंजक ज्ञात कीजिए :

$Y = (\overline{A}+\overline{B})\overline{C} + \overline{A}\overline{B}$

$= (\overline{A}+\overline{B})\overline{C} + (\overline{A}+\overline{B})$ डी मॉर्गन प्रमेय को लागू करके

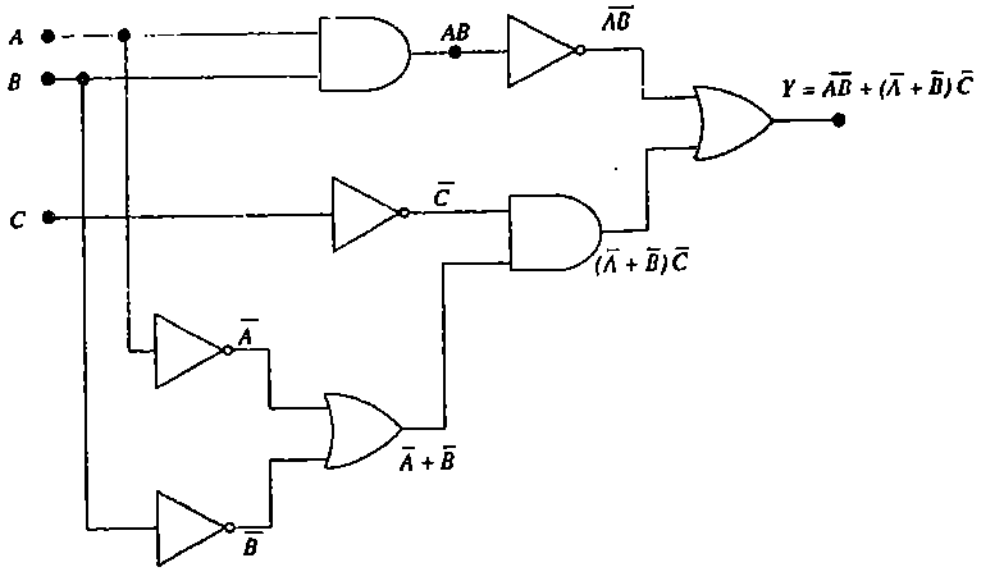
$= (\overline{A}+\overline{B})(\overline{C} + 1)$ $(\overline{A}+\overline{B})$ को उभयनिष्ठ लेकर

$= (\overline{A}+\overline{B}) \cdot 1$ प्रमेय 7 को लागू करके

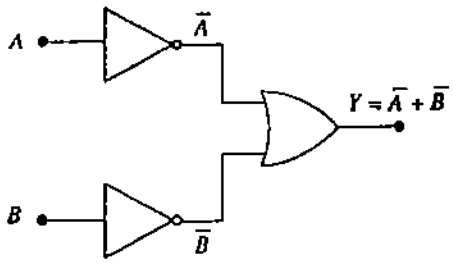
$= \overline{A}+\overline{B}$ प्रमेय 3 को लागू

= MSP व्यंजक

दिए हुए व्यंजक और MSP व्यंजकों के तर्क परिपथ क्रमशः चित्र 11.26 और 11.27 में दिखाए गए हैं।



चित्र 11.26 : $Y = (\overline{A} + \overline{B})\,\overline{C} + A\overline{B}$ का अंकीय परिपथ।



चित्र 11.27 : $Y = (\overline{A} + \overline{B})$ का अंकीय परिपथ।

उदाहरण 11.6

निम्नलिखित का MSP व्यंजक ज्ञात कीजिए :

$Y = \overline{A}C + AB(\overline{B} + C)$

$= \overline{A}C + AB\overline{B} + ABC$

$= \overline{A}C + A \cdot 0 + ABC$ प्रमेय 10 को लागू करके

$= \overline{A}C + ABC$ प्रमेय 1 को लागू करके

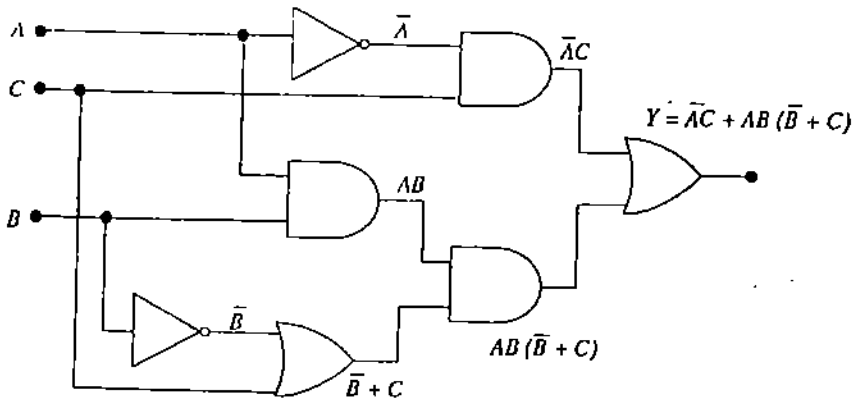
$= (\overline{A} + AB)C$ C को उभयनिष्ठ लेकर

$= (\overline{A} + B)C$ प्रमेय 23 को लागू करके

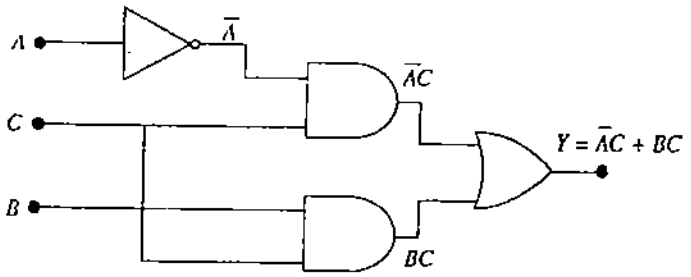
$= (\overline{A}C + BC)$

= MSP व्यंजक

दिए हुए व्यंजक और MSP व्यंजक के तर्क परिपथ क्रमशः चित्र 11.28 और 11.29 में दिखाए गए हैं।



चित्र 11.28 : $Y = \bar{A}C + AB(\bar{B} + C)$ का अंकीय परिपथ।



चित्र 11.29 : $Y = \bar{A}C + BC$ का अंकीय परिपथ।

उदाहरण 11.7

निम्नलिखित का MSP व्यंजक ज्ञात कीजिए :

Y	=	AB + A (B + C) + B (B + C)	
	=	AB + AB +AC + BB + BC	
	=	AB + AB + AC + B + BC	प्रमेय 9 को लागू करके
	=	AB + AC + B + BC	प्रमेय 11 को लागू करके
	=	AB + AC + B(1 + C)	B को उभयनिष्ठ लेकर
	=	AB + AC + B · 1	प्रमेय 8 को लागू करके
	=	AB + AC + B	प्रमेय 3 को लागू करके
	=	(A + 1) B + AC	
	=	1 · B + AC	प्रमेय 7 को लागू करके
	=	B + AC	प्रमेय 4 को लागू करके
	=	MSP व्यंजक	

दिए हुए व्यंजक और MSP व्यंजक के तर्क परिपथ क्रमशः चित्र 11.22 और 11.23 में दिखाए गए हैं।

बोध प्रश्न 5

$Y = A\overline{BC} + AB\overline{C} + ABC$ का MSP व्यंजक ज्ञात कीजिए।

11.3.3 बूलीय व्यंजक से सत्यमान सारणी प्राप्त करना

बूलीय व्यंजक से सत्यमान सारणी प्राप्त करने की सरलतम विधि का उल्लेख पहले किया जा चुका है। अर्थात् व्यंजक के, प्रत्येक संभव संयोजनों के लिए चरों के मान प्रतिस्थापित कीजिए। इसके

बाद सभी तर्क संक्रियाएं लागू कीजिए और प्रत्येक संयोजन का परिणाम प्राप्त कीजिए। उदाहरण के लिए,

$$Y = AB + A(B + C) + B(B + C)$$

इस व्यंजक में, मान लीजिए $A = 1, B = 0$ और $C = 0$ तब

$$\begin{aligned} Y &= 1.0 + 1.(0 + 0) + 0(0 + 0) \\ &= 0 + 1.0 + 0.0 \\ &= 0 + 0 + 0 \\ &= 0 \end{aligned}$$

इसी प्रकार, A, B और C के मानों के सभी संयोजनों के लिए Y ज्ञात कीजिए और उस सत्यमान सारणी को पूरा कीजिए जो कि सारणी 11.9 में दी गई है।

सारणी 11.9 : $Y = AB + A(B + C) + B(B + C)$ की सत्यमान सारणी

A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

बूलीय व्यंजक से सत्यमान सारणी प्राप्त करने की एक वैकल्पिक विधि तर्क करने की विधि है। आप स्वयं से यह पूछिए कि कब व्यंजक का निर्गत 1 होगा। इस संबंध में निम्नलिखित व्यंजक लीजिए :

$Y = A\overline{C} + BC$ = MSP व्यंजक

यह व्यंजक तब तक 1 रहता है, जब तक कि या तो $A\overline{C}$ या BC, 1 रहता है। अतः $A\overline{C} = 1$ की सभी प्रविष्टिगों (अर्थात् प्रविष्टियों 5 और 7) के लिए $Y = 1$ लीजिए (सारणी 11.10 देखिए)। फिर, $BC = 1$ की सभी प्रविष्टियों (अर्थात् प्रविष्टियों 4 और 8) के लिए $Y = 1$ लीजिए। अब, अन्य सभी प्रविष्टियों के लिए Y बराबर 0 है। इस तरह, सारणी 11.10, दिए हुए व्यंजक की सत्यमान सारणी है।

सारणी 11.10 : $Y = A\overline{C} + BC$ की सत्यमान सारणी

	A	B	C	Y
1.	0	0	0	0
2.	0	0	1	0
3.	0	1	0	0
4.	0	1	1	1
5.	1	0	0	1
6.	1	0	1	0
7.	1	1	0	1
8.	1	1	1	1

अतः सत्यमान सारणी प्राप्त करने में तर्क विधि अधिक उत्तम होती है। इस विधि में केवल दो चरण होते हैं :

1) दिए हुए बूलीय व्यंजक का MSP रूप प्राप्त कीजिए

2) यह तर्क दीजिए कि MSP रूप के प्रत्येक गुणनफल के लिए सत्यमान सारणी की कौन-कौन सी प्रविष्टियाँ 1 होनी चाहिए।

उदाहरण 11.8

बूलीय व्यंजक $Y = A + AB + BCD$ की सत्यमान सारणी प्राप्त कीजिए।

$$\begin{aligned} Y &= A + AB + BCD \\ &= A(1 + B) + BCD \\ &= A.1 + BCD \\ &= A + BCD \\ &= \text{MSP व्यंजक} \end{aligned}$$

तर्क देकर हम यह पाते हैं कि जब कभी $A = 1$ होता है अथवा गुणनफल $BCD = 1$ होता तब $Y = 1$ होता है। अतः इस व्यंजक की सत्यमान सारणी (देखिए सारणी 11.11) में $A = 1$ की सभी प्रविष्टियों (अर्थात् 9 से 16 तक की प्रविष्टियों) के लिए $Y = 1$ लीजिए और गुणनफल $BCD = 1$ की सभी प्रविष्टियों (अर्थात् प्रविष्टियों 8 और 16) केलिए $Y = 1$ लीजिए। अन्य सभी प्रविष्टियों (अर्थात् 1 से 8 तक की प्रविष्टियों) के लिए $Y = 0$ लीजिए। सारणी 11.11 में पूर्ण सत्यमान सारणी दी गई हैं।

सारणी 11.11 : $Y = A + AB + BCD$ की सत्यमान सारणी

	A	B	C	D	Y
1.	0	0	0	0	0
2.	0	0	0	1	0
3.	0	0	1	0	0
4.	0	0	1	1	0
5.	0	1	0	0	0
6.	0	1	0	1	0
7.	0	1	1	0	0
8.	0	1	1	1	1
9.	1	0	0	0	1
10.	1	0	0	1	1
11.	1	0	1	0	1
12.	1	0	1	1	1
13.	1	1	0	0	1
14.	1	1	0	1	1
15.	1	1	1	0	1
16.	1	1	1	1	1

बोध प्रश्न 6

$Y = AB + BC + CA$ की सत्यमान सारणी प्राप्त कीजिए।

11.3.4 सत्यमान सारणी से बूलीय व्यंजक प्राप्त करना

सारणी 11.12 में दी गई सत्यमान सारणी लीजिए।

सारणी 11.12 : दी गई सत्यमान सारणी

	A	B	C	Y
1.	0	0	0	0
2.	0	0	1	0
3.	0	1	0	0
4.	0	1	1	0
5.	1	0	0	1
6.	1	0	1	0
7.	1	1	0	1
8.	1	1	1	1

ध्यान दीजिए कि प्रविष्टियों 5, 7 और 8 से संक्रिया में तर्क 1 मिलता है, जबकि अन्य सभी प्रविष्टियों से तर्क 0 प्राप्त होता है। बूलीय व्यंजक प्राप्त करने के लिए हम केवल उस प्रविष्टि के लिए एक गुणनफल पद लिखते हैं, जिससे तर्क 1 प्राप्त होता है। तत्पश्चात् तर्क 'OR' के साथ सभी गुणनफलों को जोड़कर संक्रियाओं को समुच्चयित कीजिए। इसे इस प्रकार कीजिए :

प्रविष्टि 5 : $Y = 1$, जब $A = 1, B = 0, C = 0$ है।

$= A\overline{B}\overline{C}$

क्योंकि 'AND' गेट का निर्गत केवल तभी 1 होगा, जब सभी निवेश 1 हों। इसी प्रकार,

प्रविष्टि 7 : $Y = 1$, जब $A = 1, B = 1, C = 1$ है।

$= AB\overline{C}$

प्रविष्टि 8 : $Y = 1$, जब $A = 1, B = 1, C = 1$

$= ABC$

अब, 'OR' गेट के साथ सभी तीन गुणनफलों को जोड़ दीजिए। अतः

$Y = A\overline{B}\overline{C} + AB\overline{C} + ABC$ (गुणनफलों का योग)

जिसे निम्नलिखित ढंग से सरल किया जा सकता है।

$$\begin{aligned} Y &= A\overline{B}\overline{C} + AB(\overline{C} + C) \\ &= A\overline{B}\overline{C} + AB \\ &= A(\overline{B}\overline{C} + B) \\ &= A(B + \overline{C}) \\ &= AB + A\overline{C} \end{aligned}$$

संक्षेप में, इस विधि का विवरण इस प्रकार दिया जा सकता है :

1) 'AND' संक्रिया के साथ उन प्रविष्टियों के सभी निवेश चरों को संयोजित कीजिए जिनसे तर्क 1 प्राप्त होता है।

2) गुणनफल के प्रत्येक चर के संबंध में यह चयन कीजिए कि किस पर दंड (bar) लगाया जाए और किस पर दंड (bar) न लगाया जाए, जिससे कि जब प्रविष्टियों के निवेश मानों को प्रतिस्थापित किया जाए, तो गुणनफल से तर्क 1 प्राप्त होता हो। इन गुणनफलों को मूल गुणनफल भी कहा जाता है।

3) गुणनफलों को 'OR' संक्रिया के साथ समुच्चयित कीजिए।

4) इस तरह प्राप्त गुणनफलों का योगफल वाला व्यंजक निम्निष्ठ (minimal) नहीं भी हो सकता है। बूलीय बीजावली की सहायता से इस व्यंजक को MSP रूप में रूपांतरित कीजिए।

बोध प्रश्न 7

नीचे दी गई सत्यमान सारणी का बूलीय व्यंजक प्राप्त कीजिए :

A	B	C	Y
0	0	0	0
0	0	1	1
0	0	1	0
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

11.3.5 Exclusive - OR (XOR) गेट

एक XOR गेट से एक उच्च निर्गत (अर्थात् 1) प्राप्त होता है, जब निवेशों की विषम संख्या उच्च होती है। एक दो-निवेश XOR गेट का निर्गत 1 होता है जब दो निवेशों में से कोई भी एक निवेश 1 हो और दूसरा 0 हो और यदि दोनों निवेश समान हों, तो निर्गत 0 होता है। सारणी 11.13 में XOR गेट की सत्यमान सारणी दी गई है।

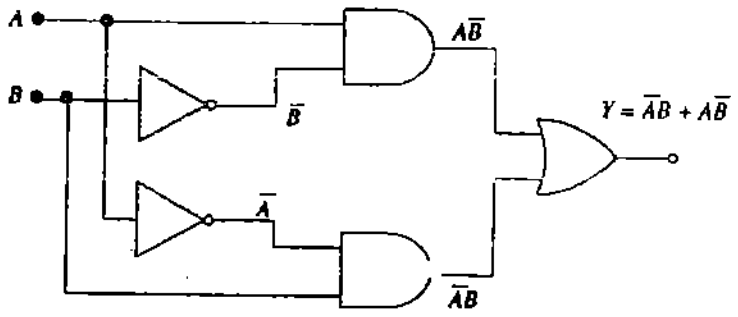
सारणी 11.13 : XOR गेट की सत्यमान सारणी

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

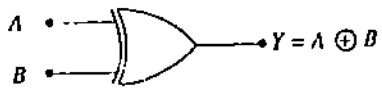
प्रविष्टियों 2 और 3 से इस सत्यमान सारणी का बूलीय व्यंजक प्राप्त हो जाता है, अर्थात्

$$Y = \overline{A}B + A\overline{B}.$$

यह व्यंजक MSP रूप में है, क्योंकि इसे और आगे सरल नहीं किया जा सकता। इस तरह, Y, एक 'OR' गेट का निर्गत है, जिसके निवेश $\overline{A}B$ और $A\overline{B}$ हैं और जो स्वयं दो AND गेटों के निर्गत हैं। इस तरह, XOR गेट के लिए प्राप्त किया गया परिपथ चित्र 11.30 में दिया गया है और इसे चित्र 11.31 में दिखाए गए प्रतीक से निरूपित किया जाता है। XOR संक्रिया को $\oplus$ से व्यक्त किया जाता है।



चित्र 11.30 : Exclusive – OR (XOR) गेट।



चित्र 11.31 : XOR गेट का प्रतीक।

11.3.6 Exclusive – NOR (XNOR) गेट

Exclusive – NOR गेट (XNOR – gate) का निर्गत 1 होता है, जबकि दोनों निवेश समान हों और यदि दोनों निवेश अलग-अलग हैं, तो निर्गत 0 होता है। सारणी 11.14 में XNOR गेट की सत्यमान सारणी दी गई है।

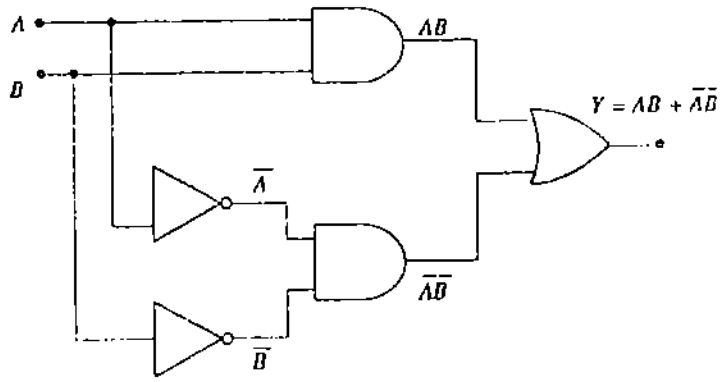
सारणी 11.14 : XNOR गेट की सत्यमान सारणी

A	B	Y
0	0	1
0	1	0
1	0	0
1	I	1

प्रविष्टियों 1 और 4 से इसका बूलीय व्यंजक प्राप्त हो जाता है, अर्थात्

$$Y = \overline{A}\,\overline{B} + AB$$

यह व्यंजक MSP रूप में है, क्योंकि इसे और आगे सरल नहीं किया जा सकता। इस तरह, Y एक 'OR' गेट का निर्गत है, जिसके निवेश $\overline{A}\,\overline{B}$ और AB हैं, जो स्वयं दो 'AND' गेटों के निर्गत हैं। इस तरह XNOR गेट के लिए प्राप्त परिपथ चित्र 11.32 में दिया गया है और इसे चित्र 11.33 में दिए गए प्रतीक से निरूपित किया जाता है।



चित्र 11.32 : Exclusive – NOR (XNOR) गेट।

चित्र 11.33 : XNOR गेट का प्रतीक।

11.3.7 दो एक-बिट वाली द्वि-आधारी संख्याओं का योग (अर्ध योजक)

आपको याद होगा कि आपने इकाई 10 में द्वि-आधारी संख्याओं के योग का अध्ययन किया है। दो एक-बिट वाले द्वि-आधारी संख्याओं (single bit binary numbers) का द्वि-आधारी योग इस प्रकार किया जाता है :

0	0	1	1
+0	+1	+0	+1
00	01	01	10

योग के इस उदाहरण में दाएँ पक्ष का बिट योगफल है, जबकि बाएँ पक्ष का बिट हासिल (carry) है। इसे एक सत्यमान सारणी में रखा जा सकता है। जैसा कि सारणी 11.15 में दिखाया गया है।

सारणी 11.15 : अर्ध योजक (half adder) की सत्यमान सारणी

A	B	हासिल	योगफल
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

इसके दो निर्गत हैं। एक "योगफल" के लिए और दूसरा "हासिल" के लिए। अतः दो निर्गतों के लिए हमें दो बूलीय व्यंजक प्राप्त करने होते हैं। "हासिल" के लिए व्यंजक यह है :

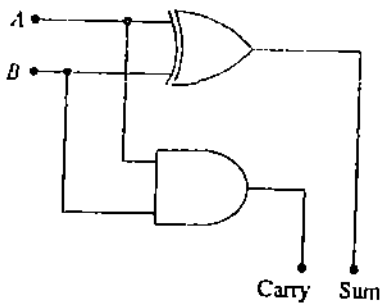
हासिल = AB

अर्थात् यह एक "AND" गेट का निर्गत है।

योगफल के लिए व्यंजक यह है :

योगफल $\overline{A}B + A\overline{B}$

अर्थात् यह पिछले भाग में बताए गए एक XOR गेट का निर्गत है। इन दो परिपथों को एक साथ जोड़ दिया जाता है, जैसा कि चित्र 11.34 में दिखाया गया है। इस परिपथ को अर्ध योजक (half adder) कहा जाता है और इसका प्रतीक चित्र 11.35 में दिया गया है।



चित्र 11.34 : अर्धयोजक परिपथ।

चित्र 11.35 : अर्धयोजक का प्रतीक।

आपको याद होगा कि एक 'OR' गेट की सहायता से योग का वर्णन करते समय हमने एक अंतर्विरोध का उल्लेख किया था। इस आधार पर निवेशों के प्रथम तीन प्रविष्टियों के योग को तो न्यायसंगत माना जा सकता है, परन्तु निवेशों की अपनी अंतिम प्रविष्टि (entry) में द्वि-आधारी संख्याओं के योग का सही परिणाम नहीं प्राप्त होता है। अर्थात् इससे 1 + 1 = 1 (बूलीय योग) प्राप्त होता है न कि 1 + 1 = 10 (द्वि-आधारी योग)। अर्ध योजक की अभिकल्पना में इस अंतर्विरोध को ध्यान में रखा गया है। अब हम यह कह सकते हैं कि द्वि-आधारी संख्याओं का योग अर्ध योजक या इकाई में बाद में बताए गए परिपथों का प्रयोग करके ही करना चाहिए। परन्तु जहाँ तक बूलीय अभिगृहीतों, जिनमें 'OR' गेट पर आधारित अभिगृहीत सम्मिलित हैं, का संबंध है, ये द्वि-आधारी अंकगणित के परिपथों की अभिकल्पना में सहायक होते हैं।

11.3.8 तीन एक-बिट वाली द्वि-आधारी संख्याओं का जोड़ (पूर्ण योजक)

पूर्ण योजक तीन एक-बिट वाले द्वि-आधारी संख्याओं को जोड़ सकता है। तीन एक-बिट वाले द्वि-आधारी संख्याओं का द्वि-आधारी योग इस प्रकार होता है :

0	0	0	0	1	1	1	1
+0	+0	+1	+1	+0	+0	+1	+1
+0	+1	+0	+1	+0	+1	+0	+1
00	01	01	10	01	10	10	11

इन योगों के दक्षिण पक्ष के बिट योगफल को निरूपित करते हैं और वाम पक्ष के बिट हासिल (carry) को निरूपित करते हैं। तीन एक-बिट वाली द्वि-आधारी संख्याओं के इने आठ संभव संयोजनों को सारणी 11.16 में दी गई सत्यमान सारणी के रूप में निरूपित कर सकते हैं।

सारणी 11.16 : पूर्ण योजक की सत्यमान सारणी

A	B	C	हासिल	योगफल
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

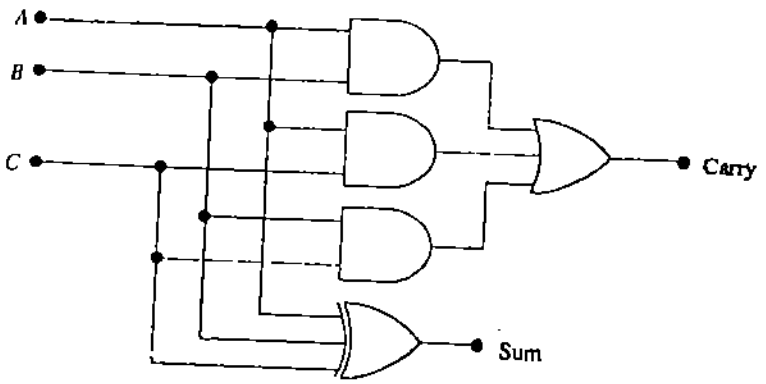
पूर्ण योजक के तर्क परिपथ की अभिकल्पना करने के लिए योगफल और हासिल दोनों के बूलीय व्यंजकों को MSP रूप में लिखना और सरल करना होता है, जो कि इस प्रकार है :

$$\begin{aligned}
\text{योगफल} &= A\bar{B}C + \bar{A}B\bar{C} + AB\bar{C} + ABC \\
&= \bar{A}(\bar{B}C + B\bar{C}) + A(B\bar{C} + BC) \\
&= \bar{A}(B \oplus C) + A\overline{(B \oplus C)} \\
&= \bar{A}X + A\bar{X} \qquad \text{जहाँ } X = B \oplus C \\
&= A \oplus X \\
&= A \oplus B \oplus C \\
&= \text{MSP व्यंजक}
\end{aligned}$$

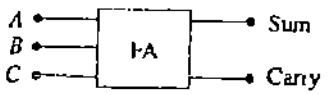
यह 3-निवेश XOR गेट का निर्गत है

$$
\begin{aligned}
\text{हासिल} &= \overline{A}BC + A\overline{B}C + AB\overline{C} + ABC \\
&= BC(\overline{A} + A) + A\overline{B}C + AB\overline{C} \\
&= BC + A\overline{B}C + AB\overline{C} \\
&= C(B + A\overline{B}) + AB\overline{C} \\
&= C(B + A) + AB\overline{C} \\
&= BC + AC + AB\overline{C} \\
&= BC + A(C + B\overline{C}) \\
&= BC + A(C + B) \\
&= BC + AC + AB \\
&= \text{MSP व्यंजक}
\end{aligned}
$$

इन दो MSP व्यंजकों से पूर्ण योजक का तर्क परिपथ प्राप्त किया जा सकता है, जैसा कि पहले बताया जा चुका है। यह परिपथ चित्र 11.36 में दिया गया है और इसका प्रतीक चित्र 11.37 में दिया गया है।



चित्र 11.36 : पूर्ण योजक परिपथ।



चित्र 11.37 : पूर्ण योजक का प्रतीक।

आपको याद होगा कि कंप्यूटर या अंकीय परिपथ एक बार में केवल दो द्वि-आधारी संख्याओं को जोड़ सकता है। यदि एक अंकीय परिपथ को दो से अधिक द्वि-आधारी संख्याओं को जोड़ना हो, जैसा कि प्रायः होता है, तो परिपथ पहले दो द्वि-आधारी संख्याओं को जोड़ेगा और फिर इन दो संख्याओं के जोड़ में तीसरी द्वि-आधारी संख्या जोड़ेगा और यही क्रिया आगे चलती रहती है। परन्तु, दो बिटों को जोड़ने में एक हासिल के आने की संभावना बनी रहती है, जैसा कि ऊपर दिखाया गया है। अतः यदि जोड़ी जाने वाली दो द्वि-आधारी संख्याओं में एक से अधिक बिट हों, तो संख्याओं के प्रथम बिटों को जोड़ लेने के बाद दूसरे बिटों के जोड़ में उस हासिल को भी जोड़ना पड़ेगा, जो कि प्रथम बिटों के जोड़ से प्राप्त हुआ है।

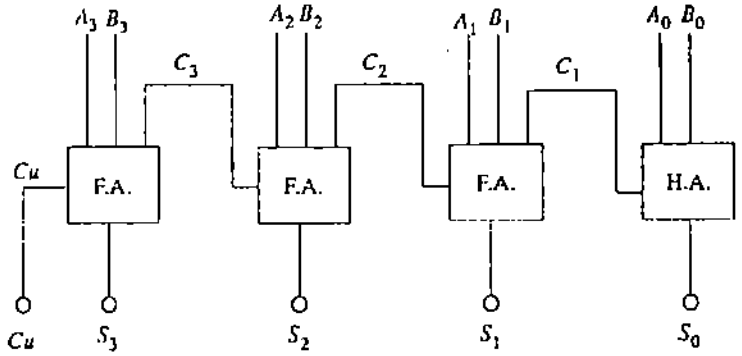
इस तरह, प्रथम बिटों का जोड़ तो अर्ध योजक से, जिसमें दो निवेश होते हैं, किया जा सकता है। परन्तु, दूसरे स्थान के बिटों के जोड़ में 3-निवेश वाले योजक की आवश्यकता होती है। पूर्ण योजक 3-निवेश वाले योजक होते हैं। पूर्ण योजक की सत्यमान सारणी में आठ प्रविष्टियाँ हैं, जिनमें से आधी प्रविष्टियाँ अर्ध योजक की सत्यमान सारणी से संतुष्ट हो जाती हैं बशर्ते हासिल बिट की उपेक्षा करें (क्योंकि दो संख्याओं के प्रथम बिटों के जोड़ में दुबारा जोड़े जाने वाला कोई

हासिल प्राप्त नहीं होता)। यही कारण है कि पिछले भाग में बताए गए योजक को अर्ध योजक कहा जात है और इस भाग में बताए गए योजक को पूर्णयोजक कहा जाता है।

उदाहरण 11.8

दो 4-बिट वाले द्वि-आधारी संख्याओं का जोड़।

आइए, हम यह मान लें कि संख्याएँ $A_3A_2A_1A_0$ और $B_3B_2B_1B_0$ हैं। इस योग में, A_0 और B_0 को जोड़ने के लिए एक अर्ध योजक की आवश्यकता होती है और शेष बिटों को जोड़ने के लिए तीन पूर्ण योजकों की आवश्यकता होती है, जैसाकि चित्र 11.38 के परिपथ में दिखाया गया है। अर्ध योजक के दो निर्गत हैं : योगफल (S_0) और हासिल (carry) अर्ध योजक के हासिल निर्गत को प्रथम पूर्ण योजक का तीसरा निवेश मान लिया जाता है। इस पूर्ण योजक के दो निर्गत होते हैं : हासिल और एक योगफल (S_1)। प्रथम पूर्ण योजक का हासिल निर्गत दूसरे पूर्ण योजक को दे दिया जाता है और इस तरह क्रिया चलती रहती है। इस प्रकार, दो 4-बिट वाले द्वि-आधारी संख्याओं के जोड़ के लिए हमें एक अर्ध योजक और तीन पूर्ण योजकों की आवश्यकता होती है। जोड़ी जाने वाली संख्याओं के प्रत्येक अतिरिक्त बिट के लिए हमें एक और पूर्ण योजक की आवश्यकता होती है।



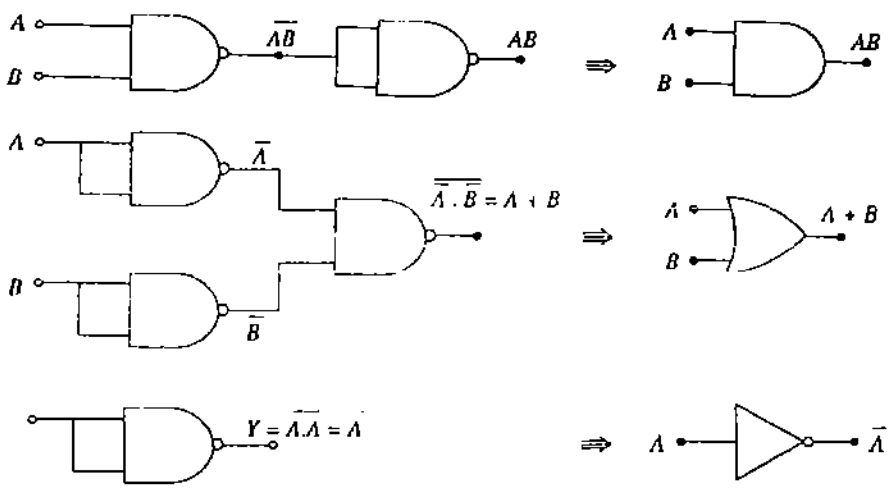
चित्र 11.38 : एक 4-बिट वाली द्वि-आधारी योजक।

बोध प्रश्न 8

एक 2-बिट वाली द्वि-आधारी योजक का अंकीय परिपथ बनाइए।

11.3.9 केवल NAND गेटों की सहायता से परिपथों की अभिकल्पना करना

प्रायः ऐसी स्थिति आ जाती है जब अंकीय परिपथों की अभिकल्पना करने के लिए केवल NAND गेटों का ही प्रयोग करना होता है। NAND गेट के सार्वत्रिक होने के कारण इसका प्रयोग AND, OR तथा NOT गेटों को प्राप्त करने में किया जा सकता है। अतः परिपथ में इन गेटों के स्थान पर तुल्य NAND परिपथ का प्रयोग किया जाता है। NAND गेट से AND, OR तथा NOT गेटों को प्राप्त करने की विधि चित्र 11.39 में दिखाई गई है।

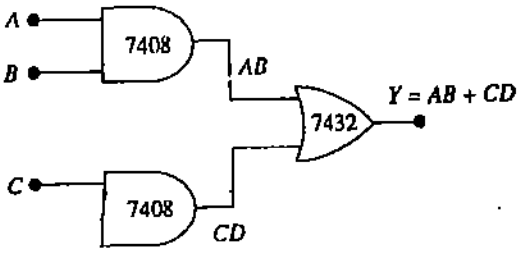


चित्र 11.39 : NAND गेटों के प्रयोग से (क) AND (ख) OR और (ग) NOT गेटों को प्राप्त करना।

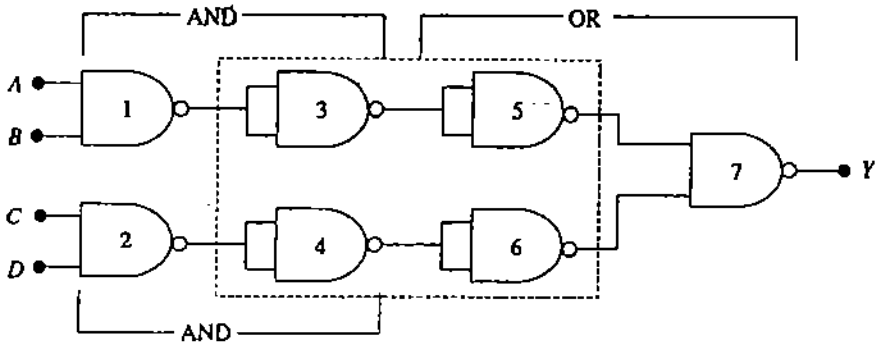
उदाहरण 11.9

केवल NAND गेटों की सहायता से Y = AB + CD के परिपथ की अभिकल्पना कीजिए।

AND और OR गेटों के प्रयोग से प्राप्त हुआ Y = AB + CD का परिपथ चित्र 11.40 में दिखाया गया है।

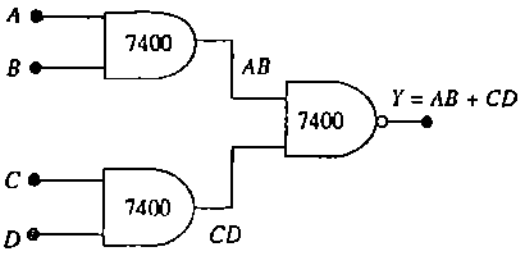


चित्र 11.40 : Y = AB + CD का अंकीय परिपथ।



चित्र 11.41 : चित्र 11.40 में दिए गए परिपथ में AND और OR गेटों के स्थान पर उनके NAND तुल्यों का प्रयोग किया गया है।

चित्र 11.40 में AND गेट और OR गेट के स्थान पर चित्र 11.39 से प्राप्त तुल्य NAND गेट परिपथों का प्रयोग किया गया है, जैसा कि चित्र 11.41 में दिखाया गया है। इसमें दो NAND गेटों की आवश्यकता होती है। क्योंकि बिन्दुकित रेखाओं से प्रदर्शित संयोजन (जिसमें एक के बाद एक दो NOT गेट लगे हुए हैं) के निर्गत और निवेश समान हैं इसलिए इस प्रकार के संयोजन की कोई आवश्यकता नहीं है। अतः उसे हटा देना चाहिए। इसे हटाने के बाद प्राप्त हुए अंतिम परिपथ को चित्र 11.42 में दिखाया गया है।



चित्र 11.42 : NAND गेट के प्रयोग से Y = AB + CD का परिपथ।

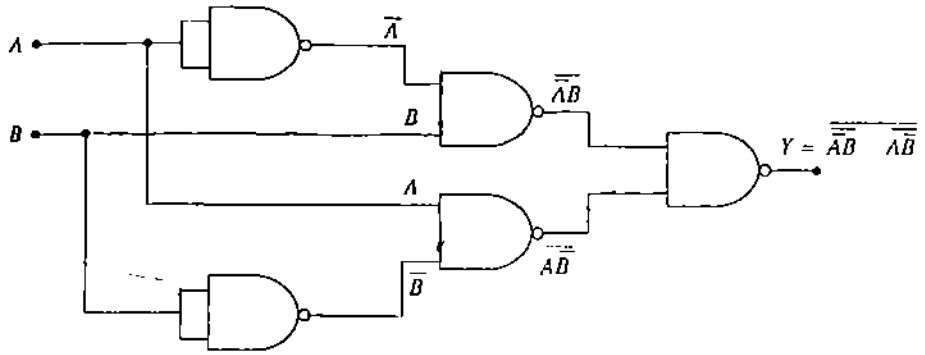
एक और अन्य विधि है, जिसमें डी मॉर्गन प्रमेयों को लागू करना होता है। XOR गेट वाला उदाहरण लीजिए।

इसे प्राप्त करने के लिए एक NOT गेट, एक AND गेट और एक OR गेट अर्थात् कुल तीन गेटों की आवश्यकता होती है।

XOR गेट का MSP समीकरण $Y = \overline{A}B + A\overline{B}$ है। दक्षिण पक्ष के द्विक पूरकीकरण (double complementation) से और डी मॉर्गन प्रमेय की सहायता से हल करने पर यह प्राप्त होता है :

$$Y = \overline{A}B + A\overline{B}$$
$$= \overline{\overline{\overline{A}B} + \overline{A\overline{B}}}$$
$$= \overline{\overline{\overline{A}B} \cdot \overline{A\overline{B}}}$$

दक्षिण पक्ष NAND गेट का निर्गत है, जिसके निवेश दो NAND गेटों अर्थात् $\overline{(A\,B)}$ और $\overline{(A\overline{B})}$ के निर्गत हैं। केवल NAND गेटों के प्रयोग से प्राप्त किया गया XOR गेट का अंतिम परिपथ चित्र 11.43 में दिखाया गया है। इसमें दो NAND गेटों की आवश्यकता होती है।



चित्र 11.43 : केवल NAND गेटों की सहायता से XOR गेट का परिपथ।

बोध प्रश्न 9

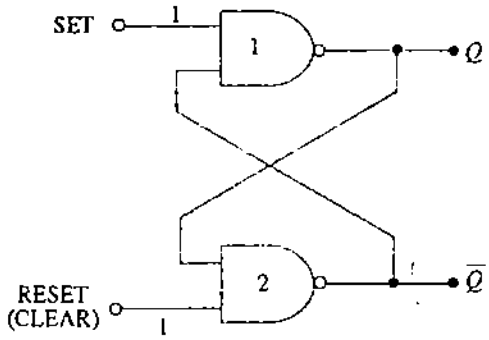
केवल NAND गेटों का प्रयोग करके Y = A + BC के लिए अंकीय पथ की अभिकल्पना कीजिए।

11.4 फ्लिप-फ्लॉप

पिछले भाग में हमने संयोजन तर्क परिपथों के बारे में अध्ययन किया है। वहाँ हमने यह देखा है कि संयोजन तर्क परिपथ ठीक अपनी सत्यमान सारणी के अनुसार काम करते हैं। फिर भी, कुछ ऐसे तर्क परिपथ होते हैं, जिनके फीडबैक पथ होते हैं और ऐसे परिपथ की संक्रिया उनकी सत्यमान सारणियों के अनुसार नहीं होती है। ऐसे परिपथ एक दिए हुए निवेश के लिए अलग-अलग तरीके से संक्रिया करते हैं, जो कि परिपथ पर पहले से लगाए गए निवेश अनुक्रम (input sequence) पर निर्भर करती है। ऐसे परिपथों को अनुक्रमिक तर्क परिपथ (sequential logic circuit) कहा जाता है। इन परिपथों में स्मृति (memory) अवयव भी होता है। तर्क गेटों के अतिरिक्त कंप्यूटर को भी स्मृति अवयव की आवश्यकता होती है। सरलतम स्मृति अवयव फ्लिप-फ्लॉप (flip-flop) है। इसकी दो स्थायी अवस्थाएँ होती हैं और यह तब तक इन दो स्थायी अवस्था में बना रहता है, जब तक कि यह दूसरी अवस्था में ट्रिगर (trigger) नहीं हो जाता। प्रायः फ्लिप-फ्लॉप को सिटकनी या लैच (latch) भी कहा जाता है।

11.4.1 RS फ्लिप-फ्लॉप

दो NAND गेटों या दो NOR गेटों को प्रयोग करके अति आधारभूत फ्लिप-फ्लॉप परिपथ बनाया जाता है। NAND गेट फ्लिप-फ्लॉप में दो NAND गेट क्रास-युग्मित (cross-coupled) होते हैं, जैसाकि चित्र 11.44 में दिखाया गया है। इसमें दो सिटकित या लैच्ड (latched) निर्गत Q और $\overline{Q}$ होते हैं। इसमें दो निवेश होते हैं : SET(S) और RESET (R) या CLEAR (C)। निवेश के नामों से पता चल जाता है कि वे क्या कार्य करते हैं। निवेश के नामों के कारण ऐसे फ्लिप-फ्लॉप को RS फ्लिप-फ्लॉप कहा जाता है।



चित्र 11.44 : RS फ्लिप-फ्लॉप।

आइए, अब हम देखें कि RS फ्लिप-फ्लॉप किस तरह काम करता है ? दोनों निवेशों SET और RESET को उच्च अर्थात् तर्क 1 पर रखा जाता है। प्रारंभ में आइए, हम यह मान लें कि $S = R = 1$ है। निर्गत $Q = 0$ और $\overline{Q} = 1$ के लिए NAND – 1 के निवेश 1 और 1 होते हैं अतः $Q = 0$ हुआ और NAND – 2 के निवेश 1 और 0 होते हैं अतः $\overline{Q} = 1$ होता है। इन निर्गतों को एक-दूसरे के साथ सिटकित (latched) कर दिया जाता है और यह इसी अवस्था में तब तक रहते हैं, जब तक कि निवेश प्रतिबंधों में कोई परिवर्तन नहीं होता।

$S = R = 1$ के लिए एक दूसरी संभावना होती है जब $Q = 1$ और $\overline{Q} = 0$ हो। तब NAND – 1 के निवेश 1 और 0 होंगे जिनसे $Q = 1$ प्राप्त होगा। इसी प्रकार, NAND – 2 के निवेश 1 और 1 होंगे जिनसे $\overline{Q} = 0$ प्राप्त होगा। एक बार फिर दो निर्गतों को एक-दूसरे के साथ सिटकित (latched) कर दिया जाता है और ये इस अवस्था में तब तक बने रहते हैं, जब तक कि निवेश प्रतिबंधों में कोई परिवर्तन नहीं होता। S और R दोनों जब उच्च होते हैं, तब इसका अर्थ यह है कि संभव निर्गतों के दो समुच्चय अपनी अंतिम अवस्था में आंतरिक सिटकन क्रिया के कारण अनिश्चित काल तक पड़े रहते हैं। इस तरह, उच्च S और उच्च R से अक्रिय अवस्था प्राप्त होती है और इस स्थिति में परिपथ में संग्रह करने की क्षमता आ जाती है। जब हम फ्लिप-फ्लॉप के निर्गत में परिवर्तन करना चाहते हैं, तब दोनों निवेशों में से किसी एक निवेश को निम्न (अर्थात् तर्क 0) करना होता है।

फ्लिप-फ्लॉप की setting

आइए, हम यह मान लें कि एक क्षण के लिए सेट (SET) निम्न अर्थात् एक क्षण के लिए $S = 0$ है जबकि रीसेट (RESET) 1 पर ही बना है। यदि SET के LOW होने से पहले $Q = 0$ और $\overline{Q} = 1$ हो, तो Q, 1 हो जाता है जिस कारण $\overline{Q}$, 0 हो जाता है। इस तरह, जब SET, 1 पर वापस आ जाता है, तो NAND – 1 का निर्गत उच्च बना रहता है जो कि NAND – 2 के निर्गत को 0 पर कर देता है।

यदि SET के LOW होने से पहले $Q = 1$ और $\overline{Q} = 0$ हो, तो SET के LOW हो जाने से कोई परिवर्तन नहीं होगा, क्योंकि $\overline{Q} = 0$ पहले से ही NAND – 1 के निर्गत को 1 पर रखे हुए है। इस तरह, जब SET वापस 1 पर लौट आता है, तब भी निर्गत $Q = 1$ और $\overline{Q} = 0$ बना रहता है।

इस तरह, SET निवेश के LOW होने से फ्लिप-फ्लॉप सदा ही $Q = 1$ की अवस्था में आ जाता है। अतः इस प्रक्रिया को फ्लिप-फ्लॉप की setting कहा जाता है और $Q = 1$ अवस्था को SET अवस्था कहा जाता है।

फ्लिप-फ्लॉप resetting या clearing

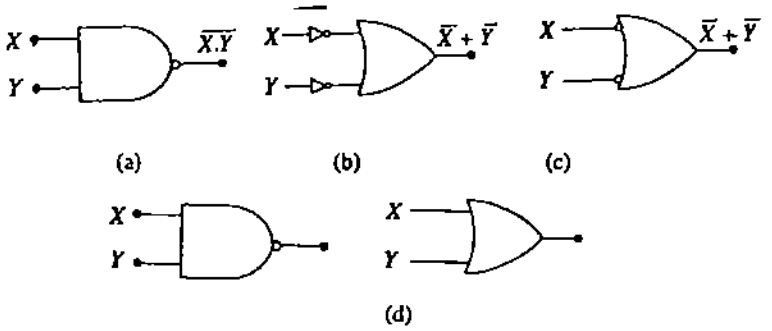
SET को 1 पर रखा जाता है और क्षण भर के लिए RESET को LOW (अर्थात् 0) कर दिया जाता है। आइए, हम यह मान लें कि RESET को LOW करने से पहले $Q = 0$ और $\overline{Q} = 1$ है। क्योंकि $Q = 0$ पहले से ही NAND – 2 के निर्गत को 1 पर रखे हुए है, इसलिए RESET को LOW करने से स्थिति में कोई परिवर्तन नहीं आएगा। फिर भी, यदि RESET को LOW करने से पहले $Q = 1$ और $\overline{Q} = 0$ हो, तो RESET के LOW होने के कारण NAND – 2 का निर्गत 1 हो जाएगा, जिसके कारण NAND – 1 का निर्गत 0 हो जाएगा। इस तरह, RESET के LOW होने से सदा ही अंत में $Q = 0$ होता है। इस प्रक्रिया को clearing या resetting कहा जाता है। और, $Q = 0$ अवस्था को CLEAR या RESET अवस्था कहा जाता है।

जब SET और CLEAR को एक साथ LOW कर दिया जाता है, तो यह दोनों निर्गतों पर 1 उत्पन्न करता है। यहाँ इन दोनों में ! की अवस्था में आने की होड़ सी लगी रहती है। यह एक अवांछित अवस्था है, क्योंकि Q और $\overline{Q}$ को एक-दूसरे का प्रतिलोम होना है। जब R और S, 1 पर लौट आते हैं, तब इन दोनों के होड़ से जो परिणाम प्राप्त होते हैं, उनका अनुमान नहीं लगाया जा सकता। अतः $R = S = 0$ का प्रयोग नहीं किया जाता। हालांकि, जैसा कि ऊपर बताया गया है, कि $R = S = 1$ से निर्गत में कोई परिवर्तन नहीं होता है। RS फ्लिप-फ्लॉप की पूरी प्रक्रिया सारणी 11.17 में दी गई सत्यमान सारणी में संक्षेप में दी गई है।

सारणी 11.17 : RS फ्लिप-फ्लॉप की सत्यमान सारणी

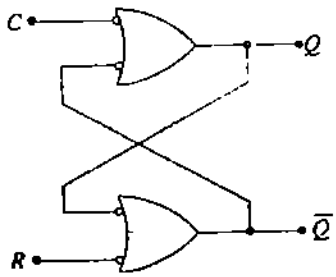
S	R	निर्गत
1	1	NC (कोई परिवर्तन नहीं)
0	1	Set (Q = 1)
1	0	Reset (Q = 0)
0	0	(होड़ और अमान्य)

NAND गेट का डी मॉर्गन तुल्य चित्र 11.45 में दिया गया है। चित्र 11.45(क) डी मॉर्गन प्रमेय के वाम पक्ष को निरूपित करता है। प्रमेय के दक्षिण पक्ष को देखने से यह पता चलता है कि OR गेट तक पहुँचने से पहले निवेश प्रतिलोमित (inverted) हो जाते हैं (देखिए चित्र 11.45(ख))। इस संयोजन का प्रयोग इतना अधिक होता है कि चित्र 11.45(ग) में दिखाए गए प्रतीक का प्रयोग काफी होने लगा है। इस प्रतीक को bubbled OR गेट कहा जाता है। चित्र 11.45(घ) डी मॉर्गन प्रमेय का एक ग्राफीय निरूपण है, जो यह बताता है कि NAND गेट और Bubbled OR गेट तुल्य हैं। अतः आवश्यकतानुसार हम एक के स्थान पर दूसरे का प्रयोग कर सकते हैं।

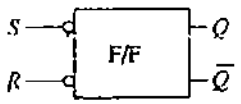


चित्र 11.45 : NAND गेट का डी मॉर्गन तुल्य।

NAND गेट के डी मॉर्गन तुल्य का प्रयोग करके NAND गेट की सहायता से बने फ्लिप-फ्लॉप के परिपथ को एक अन्य परिपथ से भी निरूपित किया जा सकता है, जैसा कि चित्र 11.46 में दिखाया गया है। फ्लिप-फ्लॉप के इस परिपथ के प्रतीक को चित्र 11.47 में दिखाया गया है। S और R निवेशों पर bubble का होना यह बताता है कि LOW स्पंद (pulse) देकर फ्लिप-फ्लॉप को SET या RESET किया जा सकता है।



चित्र 11.46 : NAND गेट की डी मॉर्गन तुल्य की सहायता से बना RS फ्लिप-फ्लॉप।



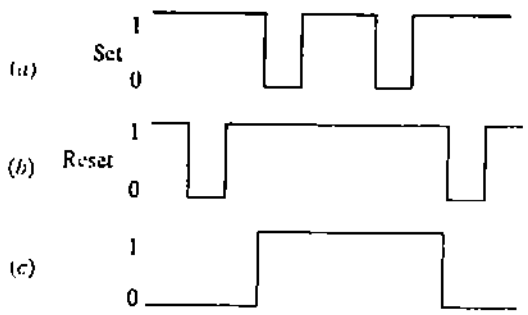
चित्र 11.47 : RS फ्लिप-फ्लॉप का प्रतीक।

उदाहरण 11.10

यदि फ्लिप-फ्लॉप के S और R निवेशों को दी गई स्पंदावली (train of pulses) वही हो, जो कि क्रमशः चित्रों 11.48(क) और(ख) में दिखाए गए हैं, तो इसके Q निर्गत का अनुरेखण कीजिए। यह दिया हुआ है कि Q का प्रारंभिक मान 0 है।

हल

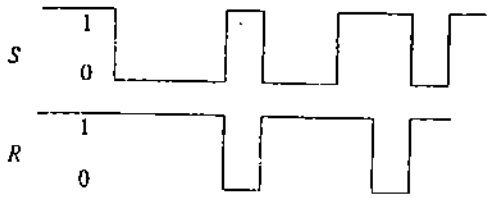
सारणी 11.17 का प्रयोग करने पर RS फ्लिप-फ्लॉप का Q निर्गत वही प्राप्त होता है, जो कि चित्र 11.48(ग) में दिखाया गया है।



चित्र 11.48 : SET/RESET स्पंद और निर्गत।

बोध प्रश्न 10

फ्लिप-फ्लॉप के Q निर्गत का आकार कैसा होगा यदि R और S निवेश वही हों, जैसा कि चित्र 11.49 में दिखाया गया है ? यह दिया हुआ है कि Q का प्रारंभिक मान 1 है।



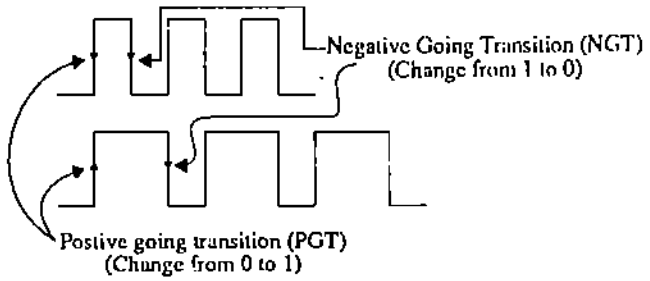
चित्र 11.49

11.4.2 कालबद्ध RS फ्लिप-फ्लॉप

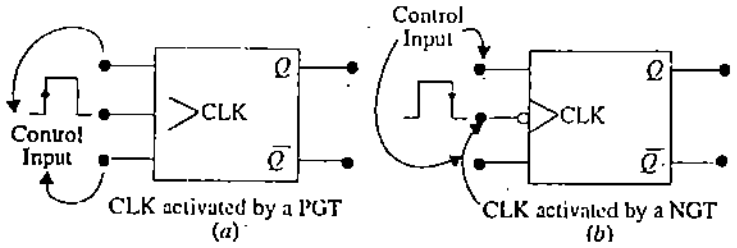
कंप्यूटरों में हजारों फ्लिप-फ्लॉपों का प्रयोग होता है। कुल क्रियाओं का समन्वयन करने के लिए प्रत्येक फ्लिप-फ्लॉप को एक वर्ग तरंग सिगनल, जिसे क्लॉक (clock) कहा जाता है, भेजा जाता है। क्लॉक को सभी फ्लिप-फ्लॉप पर एक साथ लागू किया जाता है। इससे यह सुनिश्चित हो जाता है कि ये सभी अपनी-अपनी अवस्थाओं में परिवर्तन एक साथ करते हैं। अनेक अंकीय तंत्रों में इस प्रकार के समकालन (synchronization) का होना अनिवार्य होता है।

अधिकांश समकालिक (synchronous) तंत्रों में, निर्गत में परिवर्तन केवल तभी हो सकता है, जब क्लॉक सिगनल 0 से 1 की ओर जाता है अर्थात् जब धनात्मक की ओर स्थानान्तरण (positive going transition-PGT) या 1 से 0 की ओर अर्थात् ऋणात्मक की ओर स्थानांतरण (negative going transition-NGT) होता है। ऐसे तंत्रों को कोर ट्रिगरित (edge triggered) कहा जाता है। PGT और NGT को चित्र 11.50 में दिखाया गया है। कोर ट्रिगरित RS फ्लिप-फ्लॉप के, जो क्रमशः PGT और NGT के साथ काम करते हैं, प्रतीकों को क्रमशः चित्र 11.51(क) और (ख) में प्रतीकात्मक रूप में दिखाया गया है। PGT और NGT द्वारा सक्रियित क्लॉक के प्रतीकों के अंतर पर ध्यान दीजिए। फ्लिप-फ्लॉप के नियंत्रण निवेशों R और S में परिवर्तन होने से Q निर्गत पर तब तक कोई प्रभाव नहीं पड़ता, जब तक कि एक सक्रिय क्लॉक (CLK) स्थानांतरण अर्थात् चित्र 11.51(क) के लिए PGT और चित्र 11.51(ख) के लिए NGT नहीं होता। नियंत्रण निवेश

फ्लिप-फ्लॉप को परिवर्तन के लिए तैयार रखता है और CLK निवेश पर सक्रिय क्लॉक स्थानांतरण (transition) वास्तव में परिवर्तन को ट्रिगरित करता है। यह सुनिश्चित करने के लिए कि जब सक्रिय क्लॉक स्थानांतरण होता है तब कालबद्ध फ्लिप-फ्लॉप उचित ढंग से अनुक्रिया करे, यह आवश्यक है कि समकालिक (synchronous) निवेश स्थायी अर्थात् अपरिवर्ती रहे।

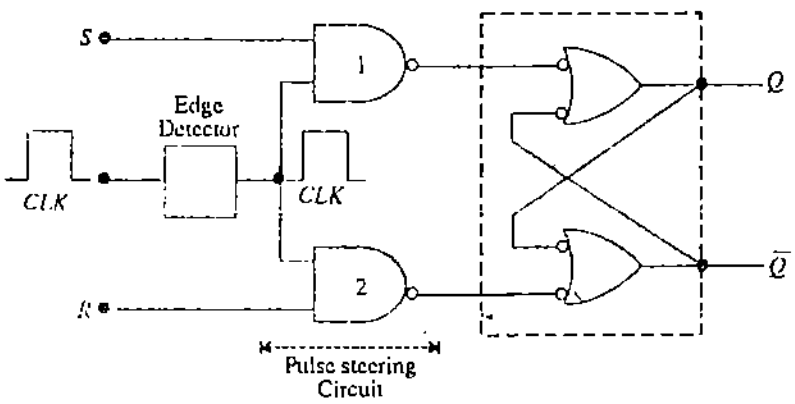


चित्र 11.50 : धनात्मक और ऋणात्मक की ओर स्थानांतरण (transition)



चित्र 11.51 : (क) PGT और (ख) NGT से सक्रियित कोर ट्रिगरित फ्लिप-फ्लॉप का प्रतीक।

चित्र 11.52 में दिए गए परिपथ को लीजिए जिसमें क्लॉक स्पंद संचालन परिपथ (clock-pulse steering circuit) के रूप में दो अतिरिक्त NAND गेटों का प्रयोग किया गया है और यह परिपथ एक PGT से ट्रिगरित होता है। जब क्लॉक (CLK) LOW अर्थात् 0 होता है, तब ऐसी स्थिति में S और R फ्लिप-फ्लॉप को नियंत्रण में नहीं रख पाते, क्योंकि S और R के मान कुछ भी क्यों न हों, NAND – 1 और NAND – 2 के निर्गत 1 ही होंगे, जो कि फ्लिप-फ्लॉप के Q निर्गत में कोई परिवर्तन नहीं कर पाएंगे। जब क्लॉक HIGH (अर्थात् 1) होता है और S = R = 0 होता है, तो दोनों NAND गेटों का निर्गत 1 होगा और इस स्थिति में भी Q निर्गत में कोई परिवर्तन नहीं होगा।



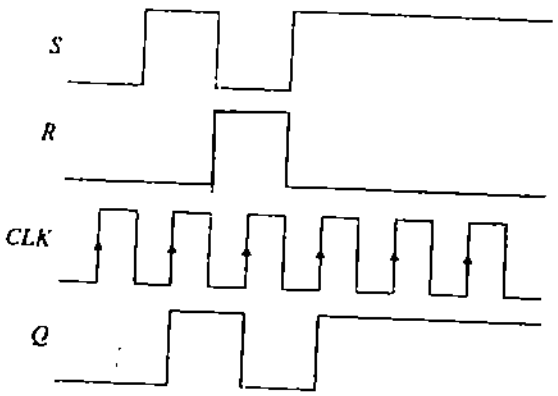
चित्र 11.52 : कोर ट्रिगरित RS फ्लिप-फ्लॉप का परिपथ।

सारणी 11.18 में एक धनात्मक कोर ट्रिगरित फ्लिप-फ्लॉप की सत्यमान सारणी दिखाई गई है। CLK के PGT के पहुँचने के पहले $Q = Q_0$ निर्गत स्तर होता है। ऊपर की ओर सूचित कर रहा तीर यह बताता है कि CLK पर PGT की आवश्यकता है।

सारणी 11.18 : धन कोर ट्रिगरित RS फ्लिप-फ्लॉप की सत्यमान सारणी

निवेश			निर्गत
R	S	CLK	Q
0	0	↑	0 (कोई परिवर्तन नहीं)
0	1	↑	1
1	0	↑	0
1	1	↑	* होड़

यह मानकर कि Q का प्रारंभिक मान अर्थात् Q_0, 0 के बराबर है, निवेश R और S तथा संगत Q निर्गत वही होते हैं, जो कि चित्र 11.53 में दिखाए गए हैं। यह स्पष्ट है कि प्रथम क्लॉक स्थानांतरण के पहुँचने पर R और S दोनों 0 होते हैं, इसलिए Q निर्गत में कोई परिवर्तन नहीं



चित्र 11.53 : कालबद्ध RS फ्लिप-फ्लॉप के निवेश और निर्गत।

होता और 0 बना रहता है। परन्तु दूसरे क्लॉक स्थानांतरण के पहुँचने पर S = 1 होता है और R = 0 होता है, इसलिए यह फ्लिप-फ्लॉप को Q = 1 के साथ set कर देता है, जिसमें तीसरे क्लॉक स्थानांतरण के पहुँचने तक कोई परिवर्तन नहीं होता। तीसरे क्लॉक स्थानांतरण के पहुँचने पर R = 1 होता है और S = 0, जो कि Q = 0 पर फ्लिप-फ्लॉप को reset कर देता है। इस प्रकार हम Q निर्गत को अनुरेखित करते हैं।

ध्यान दीजिए कि CLK के दो PGT के बीच Q निर्गत में कोई परिवर्तन नहीं आता। और, इस बात को याद रखें कि जब कभी निवेशों के संगत Q निर्गत का अनुरेखण करना हो, तो आप सर्वप्रथम एक सक्रिय क्लॉक को देखें, तत्पश्चात् निवेशों के मान ध्यान से देखें और फिर Q निर्गत के मान के बारे में निर्णय लें।

NGT द्वारा ट्रिगरित RS फ्लिप-फ्लॉप की सत्यमान सारणी 11.19 में दिखाई गई है।

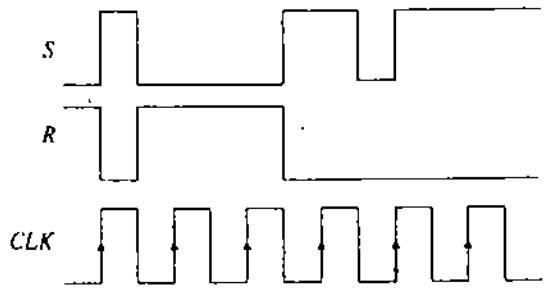
सारणी 11.19 : ऋण कोर ट्रिगरित RS फ्लिप-फ्लॉप की सत्यमान सारणी

निवेश			निर्गत
R	S	CLK	Q
0	0	↓	Q_0 (कोई परिवर्तन नहीं)
0	1	↓	1
1	0	↓	0
1	1	↓	* होड़

गेटों के एक संयोजन या एक संधारित्र और एक प्रतिरोधक वाले अवकलन परिपथ की सहायता से PGT या NGT प्राप्त किया जा सकता है।

बोध प्रश्न 11

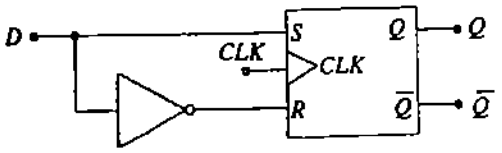
यदि एक कालबद्ध RS फ्लिप-फ्लॉप के S और R निवेशों की स्पंदावली (train of pulses) वही हो, जो कि चित्र 11.54 में दिखाई गई है, और यदि Q का प्रारंभिक मान 0 हो, तो इसके Q निर्गत का अनुरेखण कीजिए।



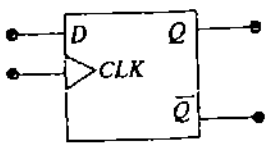
चित्र 11.54

11.4.3 कालबद्ध D फ्लिप-फ्लॉप

फ्लिप-फ्लॉप में दो निवेश S और R होते हैं। अनेक अनुप्रयोगों में फ्लिप-फ्लॉप को चलाने के लिए दो सिगनलों को जनित करने में हानि होती है। और, S और R दोनों की होड़ लगने की अवस्था बार-बार आ सकती है। होड़ लगने की संभावना का निराकरण करने के लिए एक नए प्रकार के फ्लिप-फ्लॉप की अभिकल्पना की गई है। इसे D फ्लिप-फ्लॉप कहा जाता है। यहाँ अक्षर D ऑकड़े (data) को प्रकट करता है। ऑकड़ा निवेश RS फ्लिप-फ्लॉप के S-निवेश को दिया जाता है, जबकि यही निवेश प्रतिलोमित्र (inverter) से होते हुए इसके R-निवेश में चला जाता है, जैसा कि चित्र 11.55 में दिखाया गया है। PGT द्वारा सक्रियित कोर ट्रिगरित D फ्लिप-फ्लॉप का प्रतीक चित्र 11.56 में दिखाया गया है। सारणी 11.20 में इसकी सत्यमान सारणी दी गई है, जो यह दिखाती है कि D फ्लिप-फ्लॉप का Q निर्गत निवेश ऑकड़ा D के बराबर ही है। यह मानकर कि प्रारंभ में Q का मान 1 के बराबर है, D निवेश और संगत Q निर्गत को चित्र 11.57 में दिखाया गया है।



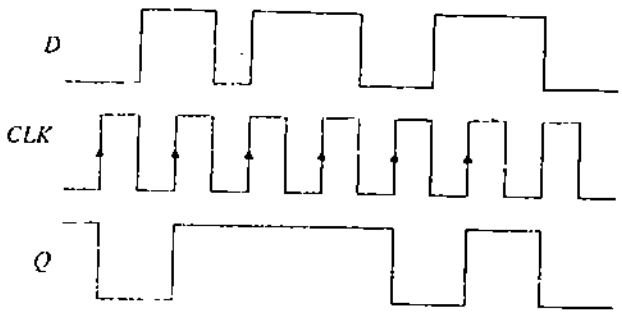
चित्र 11.55 : D-फ्लिप-फ्लॉप का परिपथ।



चित्र 11.56 : D फ्लिप-फ्लॉप का प्रतीक।

सारणी 11.20 : धन कोर द्विगरित D फ्लिप-फ्लॉप की सत्यमान सारणी

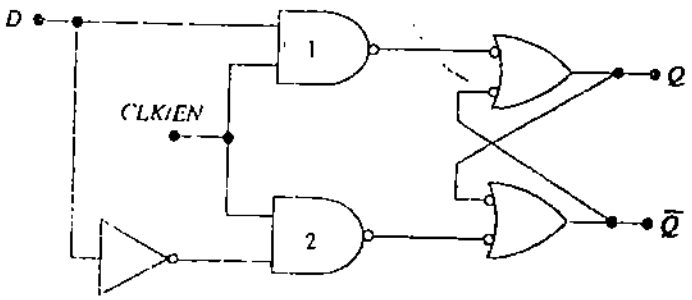
D	CLK	Q
0	↑	0
1	↑	1



चित्र 11.57 : D फ्लिप-फ्लॉप का निवेश और निर्गत।

D सिटकनी (latch)

कभी-कभी D फ्लिप-फ्लॉप के लिए कोर ट्रिगरी संसूचन परिपथ (detecting circuit) (जैसे RC संयोजन) का प्रयोग नहीं किया जाता। इस स्थिति में D फ्लिप-फ्लॉप अलग विधि से काम करता है और इसे D सिटकनी (latch) कहा जाता है। कोर ट्रिगरन के स्थान पर स्तर क्लॉक या एक इनेबल (ENABLE) (जिसे संक्षेप में EN कहते हैं) सिगनल का प्रयोग किया जाता है, जैसा कि चित्र 11.58 में दिखाया गया है। जब EN/CLK, 1 पर होता है, तब Q निर्गत को D के स्तर पर लाने के लिए "NAND" सिटकनी के SET या CLEAR निवेशों पर D एक 0 उत्पन्न करता है।



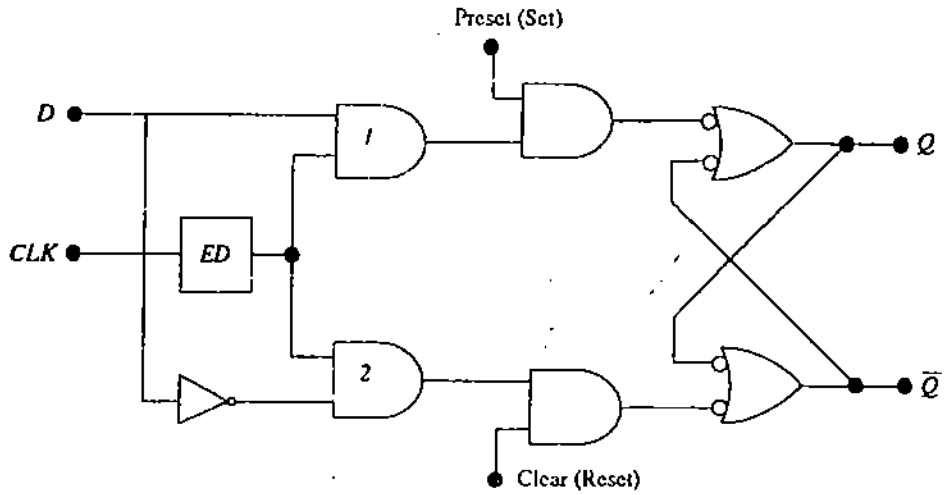
चित्र 11.58 : D सिटकनी का परिपथ।

जब EN/CLK, 1 पर होता है और यदि D में परिवर्तन होता है, तो ठीक D की तरह Q में भी परिवर्तन होगा, क्योंकि Q निर्गत को D में हो रहे परिवर्तनों के अनुसार अनुक्रिया करने के लिए क्लॉक स्थानान्तरण (clock transition) की प्रतीक्षा नहीं करनी होती। इस तरह, D सिटकनी निवेश के लिए पारदर्शी होती है। जब EN/CLK, 0 पर होता है, तो D, NAND सिटकनी को प्रभावित करने में असमर्थ होता है क्योंकि दोनों संचालन (steering) NAND गेटों के निर्गत 1 होते हैं। इस तरह, EN/CLK के 0 होने से पहले Q और $\overline{Q}$ जहाँ पर थे, वे वहीं बने रहते हैं। दूसरे शब्दों में, निर्गत अपने वर्तमान स्तर पर स्थिटकित (latched) हो जाते हैं और जब तक EN/CLK, 0 पर रहता है, उस दौरान उनमें कोई परिवर्तन नहीं आता, चाहे D में कोई भी परिवर्तन हो रहा हो। सारणी 11.21 में D सिटकनी की सत्यमान सारणी दी गई है।

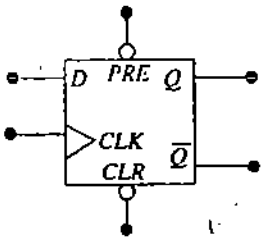
सारणी 11.21 : D सिटकनी की सत्यमान सारणी

D	EN/CLK	Q
X	0	NC
0	1	0
1	1	1

प्रायः स्पंद संचालन परिपथ (pulse steering circuit) और NAND रिटकनी के बीच दो AND गेट लगाए जाते हैं, जैसा कि चित्र 11.59 में दिखाया गया है। प्रत्येक AND गेट के एक निवेश को PRESET (प्रत्यक्ष SET) और CLEAR (प्रत्यक्ष RESET) कहा जाता है और इन्हें 1 पर रखा जाता है, जिससे कि इनसे होकर स्पंद संचालन परिपथ का निर्गत जा सके। यदि हम फ्लिप-फ्लॉप को SET करना चाहते हैं, चाहे D निवेश का मान कुछ भी हो, तो PRESET को एक 0 देकर फ्लिप-फ्लॉप को SET किया जा सकता है। इसी प्रकार CLEAR को एक 0 देने पर फ्लिप-फ्लॉप सीधे RESET हो जाता है। PRESET और CLEAR सहित D फ्लिप-फ्लॉप का प्रतीक चित्र 11.60 में दिखाया गया है और सारणी 11.22 में इसकी सत्यमान सारणी दी गई है।



चित्र 11.59 : PRESET और CLEAR सहित कोर ट्रिगरित फ्लिप-फ्लॉप।



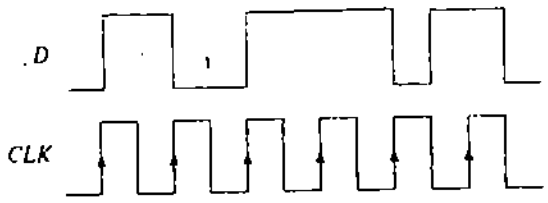
चित्र 11.60 : PRESET और CLEAR सहित कोर ट्रिगरित फ्लिप-फ्लॉप।

सारणी 11.22 : PRESET और CLEAR सहित कालबद्ध फ्लिप-फ्लॉप की सत्यमान सारणी

Preset	Clear	CLK	D	Q
0	0	X	X	*Race
0	1	X	X	1
1	0	X	X	0
1	1	0	X	NC
1	1	1	X	NC
1	1	↑	X	NC
1	1	↑	0	0
1	1	↑	1	1

बोध प्रश्न 12

एक धन कोर ट्रिगरित D फ्लिप-फ्लॉप में D निवेश वही है, जैसा कि चित्र 11.61 में दिखाया गया है। Q निर्गत का अनुरेखण कीजिए।

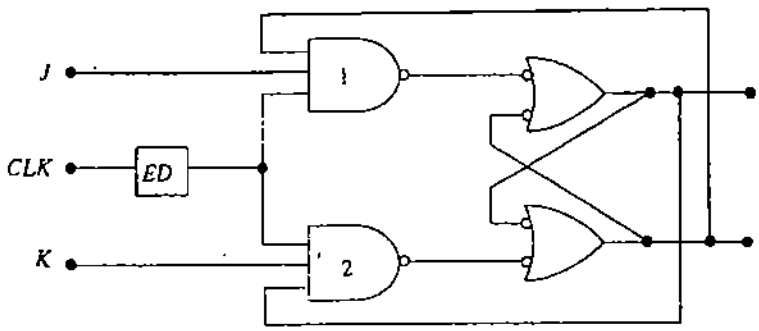


चित्र 11.61

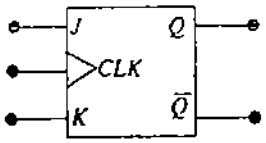
11.4.4 कालबद्ध JK फ्लिप-फ्लॉप

अगली इकाई में हम आपको यह बताएंगे कि किस प्रकार एक गणित्र (counter) अर्थात् वह परिपथ जो अपने क्लॉक निवेश को प्रेरित (activate) करने वाली धनात्मक या ऋणात्मक क्लॉक कोरों की संख्या की गणना करता है, का निर्माण किया जाता है। ऐसे परिपथों में JK फ्लिप-फ्लॉप का उपयोग किया जाता है। अतः इस इकाई को समाप्त करने से पहले हम JK फ्लिप-फ्लॉप के बारे में अध्ययन करेंगे।

एक कोर ट्रिगरित JK फ्लिप-फ्लॉप का परिपथ चित्र 11.62 में दिखाया गया है और इसका प्रतीक चित्र 11.63 में दिखाया गया है। फ्लिप-फ्लॉप की कार्य प्रणाली ठीक वही है, जो RS फ्लिप-फ्लॉप की है, अंतर केवल यही है कि इसमें होड़ लगने वाली अवस्था नहीं होती। अर्थात् कोई संदिग्ध (ambiguous) परिणाम प्राप्त नहीं होता। "NAND" सिटकनी के निर्गत Q और $\overline{Q}$ स्पंद संचालन



चित्र 11.62 : कोर ट्रिगरित JK फ्लिप-फ्लॉप का परिपथ।

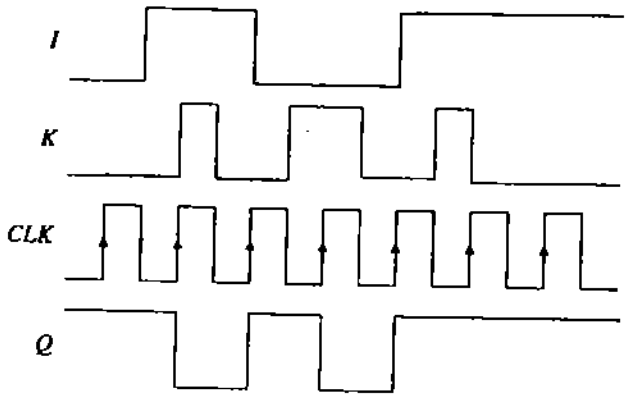


चित्र 11.63 : कोर ट्रिगरित फ्लिप-फ्लॉप का प्रतीक।

परिपथ के क्रमशः NAND – 2 और NAND – 1 में पुनर्भरित हो जाते हैं, जो टॉगल (toggle) संक्रिया प्रदान करता है। J = K = 1 पर यह मान लीजिए कि जब क्लॉक स्थानांतरण पहुँचता है, तब Q = 0 है। Q = 0 और $\overline{Q}$ = 1 पर NAND – 1, PGT को संचालित कर NAND सिटकनी को set करेगा, जिससे कि Q = 1 प्राप्त हो सके। जब क्लॉक का PGT पहुँचता है, तब यदि हम Q = 1 मान लें, तब NAND – 2, PGT को संचालित करेगा। NAND सिटकनी को CLEAR करेगा, जिससे कि Q = 0 प्राप्त हो सके। इस तरह, Q अंत में सदा ही अपनी विपरीत अवस्था में आ जाता है। इसे प्रचालन की पूरकन विधा (toggle mode) कहा जाता है। यदि J और K दोनों को 1 की अवस्था में छोड़ दिया जाए, तो प्रत्येक clock transition पर फ्लिप-फ्लॉप की अवस्था बदलेगी। निर्गत Q, Q_0 के बराबर है, इस कथन का अर्थ यह है कि PGT के पहले जो इसका मान था, Q का नया मान इसका प्रतिलोम होगा। सारणी 11.23 में इस फ्लिप-फ्लॉप की सत्यमान सारणी दी गई है। चित्र 11.64 में J और K निवेश और संगत Q निर्गत दिखाए गए हैं।

सारणी 11.23 : धन कोर ट्रिगरित JK फ्लिप-फ्लॉप की सत्यमान सारणी

J	K	CLK	Q
0	0	↑	Q_0 (कोई परिवर्तन नहीं)
1	0	↑	1
0	1	↑	0
1	1	↑	Q_0 (पूरकित)

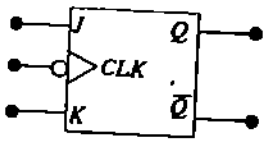


चित्र 11.64 : JK फ्लिप-फ्लॉप के निवेश और निर्गत।

कोर ट्रिगरित JK, फ्लिप-फ्लॉप, जो कि क्लॉक के एक NGT से activate होता है, का प्रतीक चित्र 11.65 में दिखाया गया है और सारणी 11.24 में इसकी सत्यमान सारणी दी गई है।

सारणी 11.24 : ऋणात्मक कोर ट्रिगरित JK फ्लिप-फ्लॉप की सत्यमान सारणी

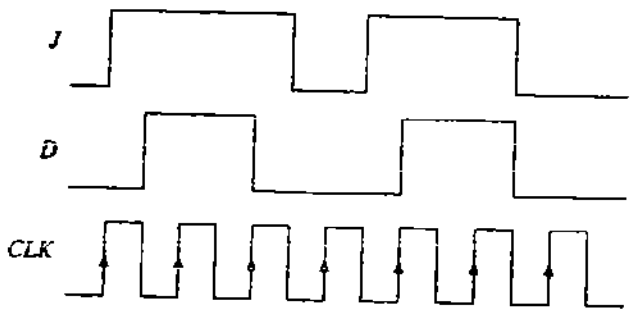
J	K	CLK	Q
0	0	↑	Q_0 (कोई परिवर्तन नहीं)
1	0	↑	1
0	1	↑	0
1	1	↑	Q_0 (toggle)



चित्र 11.65:

बोध प्रश्न 13

एक JK फ्लिप-फ्लॉप के J और K निवेश वही हैं, जो चित्र 11.66 में दिखाए गए हैं। यदि Q निर्गत का प्रारंभिक मान 0 हो, तो Q निर्गत का अनुरेखण कीजिए।



चित्र 11.66

11.5 सारांश

- मूल तर्क गेट तीन प्रकार के होते हैं – AND, OR और NOT गेट। AND गेट का निर्गत 1 होता है, यदि और केवल यदि सभी निवेश 1 हों। OR गेट का निर्गत 0 होता है, यदि और केवल यदि सभी निवेश 0 हों। NOT गेट का निर्गत निवेश का पूरक (complement) होता है।

- NAND गेट प्राप्त करने के लिए AND और NOT गेटों को संयोजित किया जाता है और NOR गेट प्राप्त करने के लिए OR और NOT गेटों को संयोजित किया जाता है। अंकीय परिपथिकी में NAND और NOR गेटों को आधार कहा जाता है, क्योंकि केवल NAND और NOR गेटों की सहायता से ही AND, OR और NOT गेट प्राप्त किए जा सकते हैं।

- सभी तर्क गेट और परिपथ द्वि-आधारी विधा में काम करते हैं अर्थात् निवेशों और निर्गतों के मान या तो 1 हो सकता है या 0 हो सकता है। अतः इनके निवेश-निर्गत संबंधों की व्याख्या करने के लिए बूलीय बीजावली का प्रयोग किया जाता है। मूल बूलीय नियम या प्रमेय तीन मूल गेटों की सत्यमान सारणी से प्राप्त किए जाते हैं।

- एक अंकीय परिपथ को एक बूलीय व्यंजक के रूप में व्यक्त किया जा सकता है और इसी प्रकार एक तर्क परिपथ को एक बूलीय व्यंजक से प्राप्त किया जा सकता है। बूलीय व्यंजक को सरल किया जा सकता है, जिससे कि हमें एक सरलीकृत अंकीय परिपथ प्राप्त होता है। सभी अनुप्रयोगों में अपेक्षाकृत एक सरल परिपथ प्राप्त करने के लिए पहले बूलीय व्यंजक को सरल किया जाता है।

- बूलीय व्यंजक को एक सत्यमान सारणी से भी प्राप्त किया जा सकता है। और, सत्यमान सारणी को उसके तर्क परिपथ की जानकारी के बिना बूलीय व्यंजक से प्राप्त किया जा सकता है। बूलीय व्यंजक को गुणनफलों को योगफल (SOP) के रूप में लिखा जाता है, जिसे सरल करके गुणनफलों के निम्नतम योगफल (MSP) के रूप में प्राप्त किया जाता है। MSP व्यंजक का प्रयोग अंतिम अंकीय परिपथ को लिखने में किया जाता है।

- तीन मूल गेटों के संयोजन से Exclusive – OR और Exclusive – NOR गेट प्राप्त किए जाते हैं। XOR गेट का निर्गत 0 होता है, यदि दोनों निवेश समान हों, और निर्गत 1 होता है, यदि दोनों निवेश अलग-अलग हों। XNOR गेट का निर्गत 1 होता है जब दोनों निवेश समान होते हैं और निर्गत 0 होता जब दोनों निवेश अलग-अलग होते हैं।

- अर्धयोजक (Half adder) दो बिट वाले द्वि-आधारी संख्याओं को जोड़ता है, जबकि पूर्ण योजक तीन बिट वाले द्वि-आधारी संख्याओं को जोड़ता है। अर्ध योजक और पूर्ण योजक को संयोजित करके दो बहु-बिट वाले द्वि-आधारी संख्याओं को जोड़ा जाता है।

- संयोजन तर्क परिपथों में स्मृति नहीं होती अर्थात् ऐसे परिपथों का निर्गत पहले घटी हुई किसी घटना पर निर्भर नहीं करता। इन परिपथों के निवेश-निर्गत को उसकी सत्यमान सारणी से परिभाषित किया जाता है।

- RS फ्लिप-फ्लॉप ही मूल अवयव है, जिसमें स्मृति है अर्थात् इसका निर्गत पहले घटी हुई घटना पर निर्भर करता है। RS फ्लिप-फ्लॉप के निवेश को एक स्पंद संचालन परिपथ का प्रयोग करके भी एक क्लॉक द्वारा ट्रिगरित किया जा सकता है। अन्य फ्लिप-फ्लॉप हैं – D फ्लिप-फ्लॉप और JK फ्लिप-फ्लॉप। D फ्लिप-फ्लॉप का निर्गत निवेश जैसा ही होता है। JK फ्लिप-फ्लॉप में RS फ्लिप-फ्लॉप की होड़ अवस्था प्राप्त नहीं होती है।

- RS, D और JK फ्लिप-फ्लॉप को धन की ओर जाने वाले transition (PGT) या ऋण की ओर जाने वाले transition (NGT) से ट्रिगरित किया जा सकता है। इन फ्लिप-फ्लॉपों का प्रयोग स्मृति युक्तियों के रूप में किया जाता है।

11.6 अंत में कुछ प्रश्न

1. व्यंजक $Y = A\bar{B}D + \overline{ABD}$ को सरल कीजिए।

2. व्यंजक $Y = BCD + A\bar{B}CD$ को सरल कीजिए और इसका MSP रूप ज्ञात कीजिए।

3. व्यंजक $Y = \bar{A}BC\,\bar{D} + \overline{ABCD}$ को सरल कीजिए।

4. व्यंजक $Y = \overline{(A + BC) \cdot (D + FG)}$ को सरल कीजिए।

5. सारणी 11.25 में दी गई सत्यमान सारणी का बूलीय व्यंजक लिखिए।

सारणी 11.25

A	B	C	Y
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

6. सारणी 11.26 में दी गई सत्यमान सारणी का बूलीय व्यंजक लिखिए।

सारणी 11.26

A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

7. सारणी 11.27 में दी गई सत्यमान सारणी का बूलीय व्यंजक लिखिए।

सारणी 11.27

A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

8. सारणी 11.28 में दी गई सत्यमान सारणी का बूलीय व्यंजक लिखिए :

सारणी 11.28

A	B	C	Y
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

9. प्रश्न 2 में प्राप्त किए गए व्यंजक की सत्यमान सारणी लिखिए।

10. प्रश्न 3 में प्राप्त किए गए व्यंजक की सत्यमान सारणी लिखिए।

11. प्रश्न 5 में प्राप्त किए गए व्यंजक की सत्यमान सारणी लिखिए।

12. प्रश्न 8 में प्राप्त किए गए व्यंजक की सत्यमान सारणी लिखिए।

13. एक 5-बिट वाली द्वि-आधारी योजक का अंकीय परिपथ बनाइए।

14. $Y = \bar{A}C + A\bar{D}$ के अंकीय परिपथ की अभिकल्पना कीजिए।

15. केवल 'NAND' गेटों की सहायता से प्रश्न 14 के व्यंजक के अंकीय परिपथ की अभिकल्पना कीजिए।

11.7 हल और उत्तर

बोध प्रश्न

1.

चित्र 11.67

2.

चित्र 11.68

3.

चित्र 11.69

4.

चित्र 11.70

5. $Y = A\overline{B}\overline{C} + AB\overline{C} + ABC$

$= A\overline{B}\overline{C} + AB(\overline{C} + C)$

$= A\overline{B}\overline{C} + AB$

$= A(\overline{B}\overline{C} + B)$

$= A(B + \overline{C})$

$= AB + A\overline{C}.$

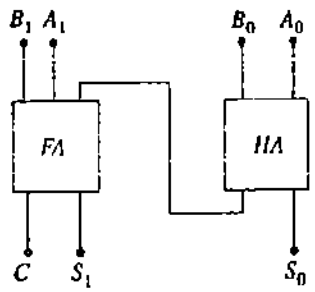
6. जब AB, BC और CA में से कोई एक अथवा तीनों 1 के बराबर होते हैं, तब Y = 1 होता है। इस तथ्य के आधार पर हमें निम्नलिखित सत्यमान सारणी प्राप्त होती है :

सारणी 11.29

A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

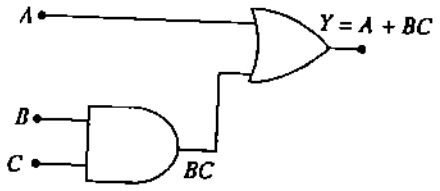
7. $Y = \overline{A}BC + A\overline{B}C + ABC$

8.



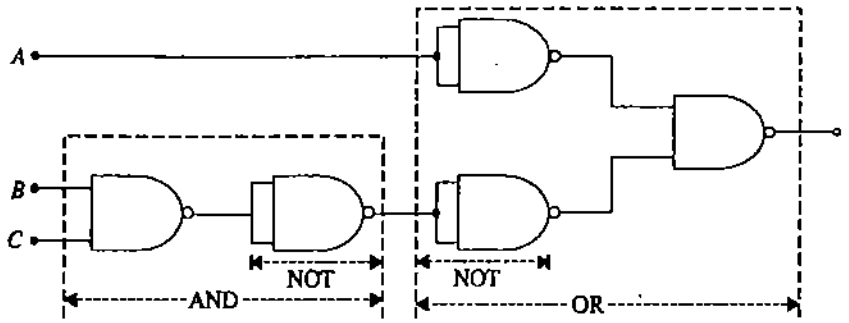
चित्र 11.71 : एक 2-बिट वाली द्वि-आधारी योजक।

9. Y = A + BC का अंकीय परिपथ वही है, जो चित्र 11.72 में दिखाया गया है :



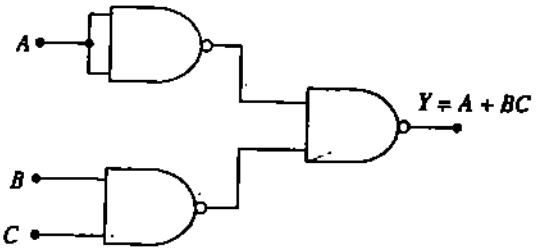
चित्र 11.72

अब OR और AND गेटों के स्थान पर उनके तुल्य गेट लीजिए जैसा कि चित्र 11.73 में दिखाया गया है।



चित्र 11.73

NOT गेट के संयोजन को हटाने और उसके बाद NOT गेट को लेने पर हमें वही परिपथ प्राप्त होता है, जैसा कि चित्र 11.74 में दिखाया गया है :



चित्र 11.74

वैकल्पिक रूप में, डी मॉर्गन प्रमेय को लागू करके व्यंजक को इस प्रकार सरल कीजिए :

$$Y = \overline{\overline{A + BC}}$$

$$= \overline{\overline{A} \cdot \overline{BC}}$$

इस समीकरण से वही परिपथ प्राप्त होता है, जिसे चित्र 11.74 में प्राप्त किया जा चुका है।

10.

चित्र 11.75

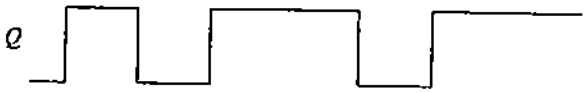
11.

चित्र 11.76

12.

चित्र 11.77

13.



चित्र 11.78

अंत में कुछ प्रश्न

1. $Y = A\bar{B}D + A\overline{\bar{B}D}$
   $= A\bar{B}(D + \bar{D})$
   $= A\bar{B} \cdot 1$
   $= A\bar{B}.$

2. $Y = BCD + A\bar{B}CD$
   $= CD(B + A\bar{B})$
   $= CD(B + A)$
   $= CDB + CDA.$

3. $Y = \overline{A\bar{B}C\bar{D}} + \overline{\bar{A}BCD}$
   $= \overline{ABD}(C + \bar{C})$
   $= \overline{ABD}$.

4. $Y = \overline{(A + BC) \cdot (D + F\bar{G})}$
   $= \overline{A + BC} + \overline{D + F\bar{G}}$
   $= \bar{A} \cdot \overline{BC} + \bar{D} \cdot \overline{F\bar{G}}$
   $= \bar{A} \cdot (\bar{B} + \bar{C}) + \bar{D} \cdot (\bar{F} + G)$
   $= A\bar{B} + A\bar{C} + D\bar{F} + \bar{D}G.$

5. $Y = \overline{ABC} + \bar{A}B\bar{C} + A\bar{B}C + ABC$
   $= A\bar{C}(\bar{B} + B) + AC(\bar{B} + B)$
   $= A\bar{C} + AC.$

6. $Y = \bar{A}BC + A\overline{BC}.$

7. $Y = A\bar{B}C + \bar{A}B\bar{C} + A\bar{B}C + AB\bar{C}$
   $= \bar{A}(\bar{B}C + B\bar{C}) + A(\bar{B}C + B\bar{C})$

$= (\overline{A} + A)(\overline{B}C + B\overline{C})$

$= \overline{B}C + B\overline{C}.$

8. $Y = \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}B\overline{C} + \overline{A}BC$

$= \overline{A}\overline{B}(\overline{C} + C) + \overline{A}B(\overline{C} + C)$

$= \overline{A}\overline{B} + \overline{A}B$

$= \overline{A}(\overline{B} + B)$

$= \overline{A}.$

9.

A	B	C	D	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

10.

A	B	C	D	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

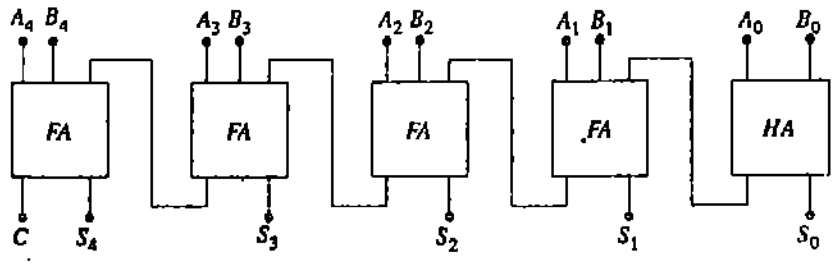
11.

A	B	C	Y
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

12.

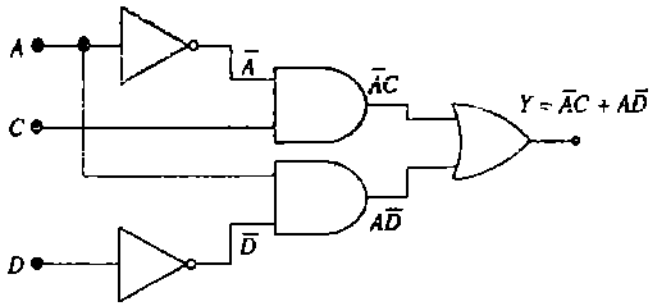
A	B	C	Y
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

13.



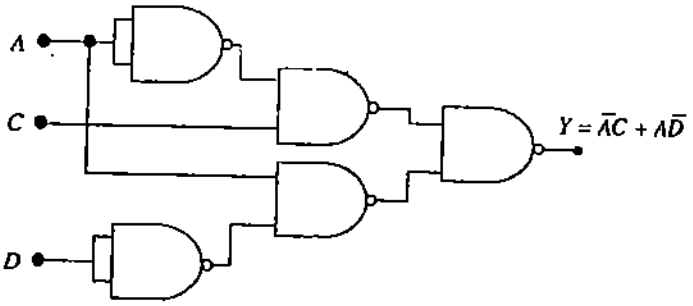
चित्र 11.79 : एक 5-बिट वाली द्वि-आधारी योजक।

14.



चित्र 11.80 : $Y = \overline{A}C + A\overline{D}$ का अंकीय परिपथ।

15.



चित्र 11.81 : केवल NAND गेट का प्रयोग करके $Y = \overline{A}C + A\overline{D}$ का अंकीय परिपथ।

11.8 शब्दावली

अंकीय परिपथ	–	digital circuit
अभिकल्पना	–	design
अर्ध योजक	–	half adder
तर्क	–	logic
द्वि-आधारी	–	binary
निर्गत	–	output
निवेश	–	input
पूर्ण योजक	–	full adder
प्रविष्टि	–	entry
बूलीय बीजावली	–	Boolean Algebra
बूलीय व्यंजक	–	Boolean expression
युक्ति	–	device
योजक	–	adder
व्यंजक	–	expression
संयोजन	–	combination
सत्यमान सारणी	–	truth table
कालबद्ध	–	clocked
सिटकनी	–	latch
स्मृति	–	memory
स्थानान्तरण	–	transition
समकालिक	–	synchronous

इकाई 12 रजिस्टर, गणित्र, स्मृति परिपथ और अनुरूप/अंकीय परिवर्तक

इकाई की रूपरेखा

12.1 प्रस्तावना
उद्देश्य

12.2 रजिस्टर
चयक रजिस्टर
नियंत्रित चयक रजिस्टर
विस्थापन रजिस्टर
नियंत्रित विस्थापन रजिस्टर

12.3 गणित्र
अतुल्यकालिक (ऊर्मिका) गणित्र
तुल्यकालिक गणित्र
नियंत्रित तुल्यकालिक गणित्र
वलय गणित्र
मॉड 10 (दशक) गणित्र

12.4 अर्धचालक स्मृति
क्या होती है स्मृति ?
स्मृति की क्षमता
यादृच्छिक अभिगम स्मृति (रैम)
व्यापक स्मृति संक्रिया
केवल पठन स्मृति (रॉम)

12.5 अनुरूप/अंकीय और अंकीय/अनुरूप परिवर्तक
अंकीय से अनुरूप परिवर्तक
अनुरूप से अंकीय परिवर्तक

12.6 सारांश
12.7 अंत में कुछ प्रश्न
12.8 हल और उत्तर
12.9 शब्दावली

12.1 प्रस्तावना

इकाई 11 में आप संयोजन तर्क परिपथों और योजकों के बारे में पढ़ चुके हैं। इस प्रकार के सभी परिपथों की प्रक्रिया को उनकी सत्यमान सारणी से परिभाषित किया गया है और वहाँ हमने यह भी देखा है कि उनके निर्गत पिछले निवेश या निर्गत प्रतिबंधों पर निर्भर नहीं करते। अतः उनमें स्मृति नहीं होती। किन्तु, पिलप-फ्लॉप जैसे परिपथों में जिन्हें अनुक्रमिक परिपथ (sequential circuit) कहा जाता है, एक आधारभूत स्मृति अवयव होता है, क्योंकि पिलप-फ्लॉप का निर्गत पिछले निवेश या निर्गत प्रतिबंधों या निवेश अथवा निर्गत के अनुक्रम (sequence) पर निर्भर करता है।

रजिस्टर और गणित्र अनेक पिलप-फ्लॉप के संयोजन होते हैं और अंकीय परिपथों में इनके प्रयोग का बहुत अधिक महत्व है। रजिस्टर स्मृति अवयवों का एक समूह है, जो द्वि-आधारी शब्द (binary word) को संग्रह करती है और यह संग्रहित शब्द को एक विशेष रूप में आपरिवर्तित (modify) कर सकती है, जो कि उस अनुप्रयोग में अपेक्षित हैं, जिसमें इसका प्रयोग किया जाता है। इसमें इतनी क्षमता होती है कि यह संग्रहित द्वि-आधारी शब्द को एक या अधिक पग बाँए या दाँए विस्थापित कर सकती है। मूलतः गणित्र एक रजिस्टर है, जो कि निवेश पर पहुंचने वाले कालद CLK (clock) स्पंदों की संख्या की गणना करता है। इस इकाई में आप विभिन्न प्रकार के रजिस्टरों और गणित्रों के बारे में अध्ययन करेंगे।

अंकीय कंप्यूटर (digital computer) में "स्मृति" एक मुख्य युक्ति होती है। आपको रैम (RAM), रॉम (ROM), फ्लॉपी (Floppy) और हार्ड डिस्क (Hard disc) जैसे शब्द प्रायः सुनने को अवश्य मिलते होंगे। स्मृति युक्तियाँ रजिस्टर ही होती हैं। ये रजिस्टर अलग-अलग विधियों से जुड़ी होती हैं और एकीकृत परिपथ (integrated circuit) के रूप में बाजार में मिलती हैं। आप जानते हैं कि पूरा का पूरा जगत अनुरूप (analog) है। अतः अंकीय परिपथ या कंप्यूटर का प्रयोग करने के लिए आपको एक अनुरूप राशि को अंकीय राशि में रूपांतरित करना होता है, जिससे कि आवश्यकतानुसार अंकीय परिपथ या कंप्यूटर की सहायता से राशि का प्रयोग या प्रकलन (manipulation) किया जा सके। अंकीय परिपथ का निर्गम भी अंकीय रूप में होता है, जिसका अनुभव आप नहीं कर सकते। इसीलिए आप को अंकीय निर्गत को अनुरूप में रूपांतरित करना होता है। अतः कुछ ऐसे परिपथों का होना आवश्यक हो जाता है, जो कि अनुरूप राशि (वोल्टता जैसी राशि) को अंकीय राशि में रूपांतरित कर सके। इस प्रकार के परिपथ को अनुरूप से अंकीय (A/D) और अंकीय से अनुरूप (D/A) परिवर्तक कहा जाता है। इस इकाई में हम विभिन्न प्रकार की स्मृतियों और A/D तथा D/A परिवर्तकों के बारे में अध्ययन करेंगे।

उद्देश्य

इस इकाई को पढ़ लेने के बाद आप :

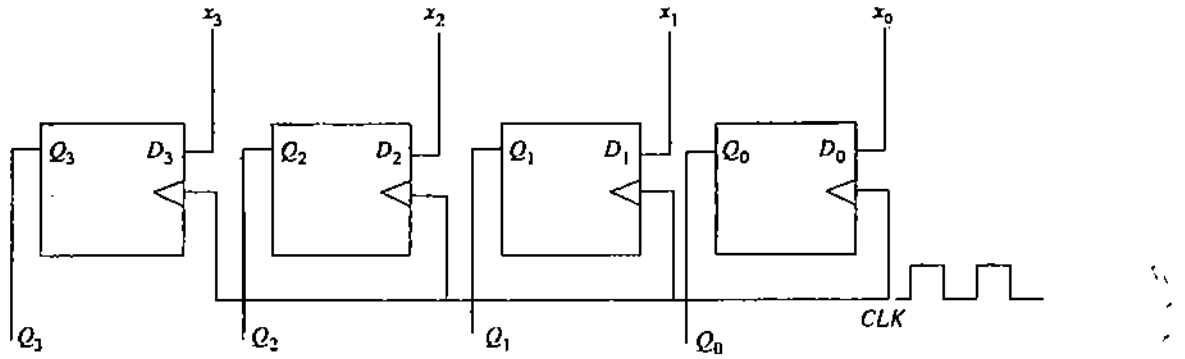
- चयक और नियंत्रित चयक रजिस्टरों की कार्य-प्रणाली की व्याख्या कर सकेंगे,
- विस्थापन रजिस्टर की कार्य-प्रणाली के बारे में बता सकेंगे,
- वाम विस्थापन और दक्षिण विस्थापन रजिस्टरों की कार्य-प्रणाली बता सकेंगे,
- नियंत्रित विस्थापन रजिस्टर की कार्य-प्रणाली की व्याख्या कर सकेंगे,
- एक अतुल्यकालिक (ऊर्मिका) गणित्र (counter) के निर्माण और कार्य-प्रणाली की व्याख्या कर सकेंगे,
- वलय और मॉड 10 (दशक) गणित्रों की कार्य-प्रणाली बता सकेंगे,
- अंकीय परिपथों में प्रयुक्त अनेक स्मृति शब्दों की व्याख्या कर सकेंगे,
- स्मृति की क्षमता बता सकेंगे और यह भी बता सकेंगे कि एक स्मृति युक्ति में कितने बिट संग्रहित हो सकतें हैं,
- व्यापक स्मृति की प्रक्रिया के बारे में बता सकेंगे,
- रैम और रॉम की व्याख्या कर सकेंगे और उनमें भेद कर सकेंगे,
- अंकीय से अनुरूप और अनुरूप से अंकीय परिवर्तकों की कार्य-प्रणाली के बारे में बता सकेंगे।

12.2 रजिस्टर (Register)

रजिस्टर स्मृति अवयवों (memory elements) का एक समूह है जो द्वि-आधारी शब्द (binary word) का संग्रह करती है और एक विशेष प्रकार से संग्रहित शब्द को उस रूप में आपरिवर्तित कर सकती है, जो कि उस अनुप्रयोग में अपेक्षित है, जिसमें इसका प्रयोग किया जाता है। और, इसमें इतनी क्षमता होती है कि यह संग्रहित (stored) द्वि-आधारी शब्द को एक या अधिक पग बाँए या दाँए विस्थापित कर सकती है। इस भाग में आप इनके बारे में अध्ययन करेंगे।

12.2.1 चयक (buffer) रजिस्टर

यह एक सरलतम प्रकार का रजिस्टर है, जो एक द्वि-आधारी शब्द संग्रह करता है। यह अनेक D-पिलप-फ्लॉपों (flip-flops) से बना होता है, जिसकी संख्या द्वि-आधारी शब्द में उपस्थित बिट (bits) की संख्या पर निर्भर करती है। अपने निर्गत शब्द $Q_3Q_2Q_1Q_0$ के साथ एक 4-बिट वाला शब्द $X_3X_2X_1X_0$ को संग्रह करने वाली एक चयक रजिस्टर को चित्र 12.1 में दिखाया गया है।



चित्र 12.1 : चयक रजिस्टर।

प्रत्येक फ्लिप-फ्लॉप धन कोर (positive edge) ट्रिगरित होता है। प्रत्येक कालद (clock) पर प्रत्येक फ्लिप-फ्लॉप का निर्गत Q वही होता है, जो कि निवेश X होता है। इस 4-बिट वाले रजिस्टर के लिए हम यह लिख सकते हैं :

$$Q_3Q_2Q_1Q_0 = X_3X_2X_1X_0$$

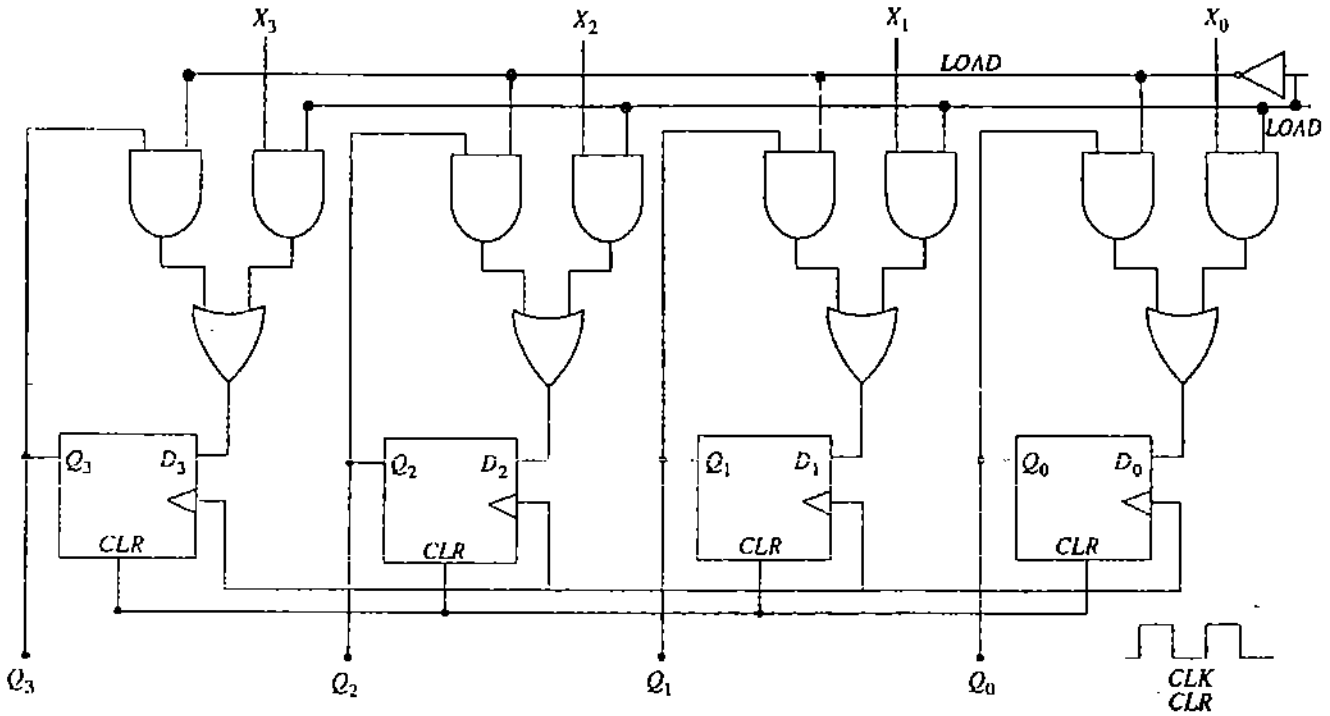
संक्षिप्त संकेतन में इस व्यंजक को इस प्रकार लिखा जाता है :

$$Q = X$$

यह एक अति आधारभूत परिपथ है। हमारे पास कुछ ऐसी विधि होनी चाहिए, जिससे कि हम उस समय तक निवेश शब्द को संभाल कर रख सकें, जब तक हम उसे संग्रह करने के लिए तैयार नहीं हो जाते। यह एक नियंत्रित चयक रजिस्टर से संभव हो जाता है।

12.2.2 नियंत्रित चयक रजिस्टर (Controlled Buffer Register)

एक नियंत्रित चयक रजिस्टर को चित्र 12.2 में दिखाया गया है। सभी फ्लिप-फ्लॉप क्लीयर (CLEAR) के साथ होते हैं, जो फ्लिप-फ्लॉप को reset कर देते हैं जब वह उच्च (HIGH) होता है।



चित्र 12.2 : नियंत्रित चयक रजिस्टर।

निम्न (LOW) की स्थिति में CLEAR अक्रिय होता है। नियंत्रण लोड टर्मिनल, जब उच्च होता है, तब यह निवेश X को फ्लिप-फ्लॉप तक पहुंचने देता है और जब निम्न होता है, तब वह फ्लिप-फ्लॉप तक पहुंचने की अनुमति निवेश X को नहीं देता। जब CLR, उच्च होता है, तब सभी फ्लिप-फ्लॉप reset हो जाते हैं और संग्रह किया गया शब्द यह होता है :

$$Q = 0000$$

जब CLR पुनः निम्न पर लौट आता है, तब इस स्थिति में रजिस्टर अपेक्षित क्रिया करने को तैयार होता है।

नियंत्रण टर्मिनल लोड परिपथ के कार्य निर्धारित करता है। जब लोड उच्च होता है, तब आंकड़ा X को फ्लिप-फ्लॉप तक पहुंचने की अनुमति होती है। फिर भी, जब लोड (LOAD) निम्न होता है, तब $\overline{\text{LOAD}}$ उच्च होता है, जिसके कारण Q निर्गत D निवेश में पहुंच जाती है। इसका अर्थ यह है कि जब तक लोड निम्न होता है, तब तक निवेश आंकड़ा X प्रत्येक CLK के PGT पर परिचालित (circulated) या बना रहता है। अर्थात् रजिस्टर में संग्रहित सभी आंकड़े तब तक अपरिवर्तित रहते हैं, जब तक लोड, (LOAD) निम्न रहता है।

जब लोड (LOAD) को उच्च (HIGH) कर दिया जाता है, तब शब्द या आंकड़ा X, D निवेशों में संचरित हो जाता है और फ्लिप-फ्लॉप परिवर्तन करने के लिए तैयार हो जाता है। जब CLK का PGT पहुंचता है, तब X निवेश भारित (loaded) हो जाता है और Q निर्गत पर उपलब्ध होता है और

$$Q_3Q_2Q_1Q_0 = X_3X_2X_1X_0$$

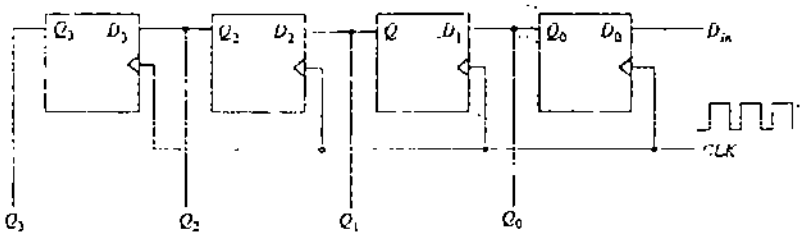
जब लोड (LOAD) निम्न (LOW) पर लौटता है, तब निवेश शब्द संग्रहित हो जाता है। अर्थात् जब तक लोड LOW बना रहता है, तब तक X निवेश में परिवर्तन होने पर भी उस पर प्रभाव नहीं पड़ता। इस प्रकार के रजिस्टर में, जैसा कि परिपथ को देखने से पता चलता है, सभी फ्लिप-फ्लॉपों को निवेश एक-साथ दिया जाता है और सभी फ्लिप-फ्लॉपों से निर्गत भी एक साथ प्राप्त होता है। इसे प्रायः युगपत् निवेश/युगपत निर्गम रजिस्टर (parallel-in/parallel out register) कहा जाता है।

12.2.3 विस्थापन रजिस्टर (Shift Register)

विस्थापन रजिस्टर संग्रहित शब्द को बायीं ओर अथवा दायीं ओर विस्थापित कर देता है। अतः विस्थापन रजिस्टर दो प्रकार का होता है – वाम विस्थापन रजिस्टर (shift left register) और दक्षिण विस्थापन रजिस्टर (shift right register)। अंकगणितीय संक्रियाओं में संग्रहित शब्द के बिट को बायीं अथवा दायीं ओर विस्थापित करना होता है।

वाम विस्थापन रजिस्टर (shift left register)

उस रजिस्टर को जो संग्रहित शब्द के बिटों को बायीं ओर विस्थापित करता है, उसे वाम विस्थापन रजिस्टर कहा जाता है। इसे चित्र 12.3 में दिखाया गया है। जैसा कि परिपथ में स्पष्ट है, आंकड़ा निवेश D_{in} प्रथम फ्लिप-फ्लाप को set up करता है और इस फ्लिप-फ्लाप का Q_0 निर्गत दूसरे फ्लिप-फ्लॉप को set up करता है। Q_1 तीसरे को और Q_2 चौथे फ्लिप-फ्लॉप को set up करता है। क्योंकि आंकड़ा अर्थात् D_{in} प्रथम फ्लिप-फ्लॉप के निवेश को दिया गया है और सभी फ्लिप-फ्लॉप से एक साथ निर्गत प्राप्त होते हैं इसलिए इस परिपथ को क्रमिक निवेश/युगपत् निर्गम (serial-in/parallel-out) परिपथ कहा जाता है।



चित्र 12.3 : वाम विस्थापन रजिस्टर।

निम्नलिखित उदाहरण लेकर वाम-विस्थापन रजिस्टर की कार्य-प्रणाली को अच्छी तरह से समझा जा सकता है।

मान लीजिए निवेश आंकड़ा D_{in}, 1 है अर्थात् प्रथम फिलप-फ्लॉप में निवेश $D_0 = 1$ है और प्रारंभिक निर्गत

$Q = 0000$ है।

अर्थात् प्रारंभ में अन्य तीनों फिलप-फ्लॉप में निवेश 0 है। अब प्रथम CLK के PGT के पहुंचते ही Q_0 निर्गत, 1 हो जाता है और संग्रहित शब्द यह हो जाता है :

$Q = 0001.$

अब, $D_1 = 1$ और $D_0 = 1$ पर जब दूसरे CLK का PGT पहुंचता है, तब पहले और दूसरे फिलप-फ्लॉप set up हो जाते हैं और रजिस्टर का निर्गत यह हो जाता है:

$Q = 0011.$

अब, $D_2 = 1, D_1 = 1$ और $D_0 = 1$ पर जब तीसरे CLK का PGT पहुचंता है, तब पहले, दूसरे और तीसरे फ्लिप-फ्लॉप set up हो जाते हैं और रजिस्टर का निर्गत यह हो जाता है:

$Q = 0111.$

इसी प्रकार, जब चौथे CLK का PGT पहुंचता है, तब निर्गत यह हो जाता है :

$Q = 1111.$

इस तरह, संग्रहित शब्द 1111 होता है और यह तब तक अपरिवर्तित रहता है, जब तक कि $D_{in} = 1$ रहता है। फिर भी, यदि $D_{in} = 0$ हो जाए तो उत्तरोत्तर CLK स्पंदो (pulses) से रजिस्टर का निर्गत यह हो जाता है :

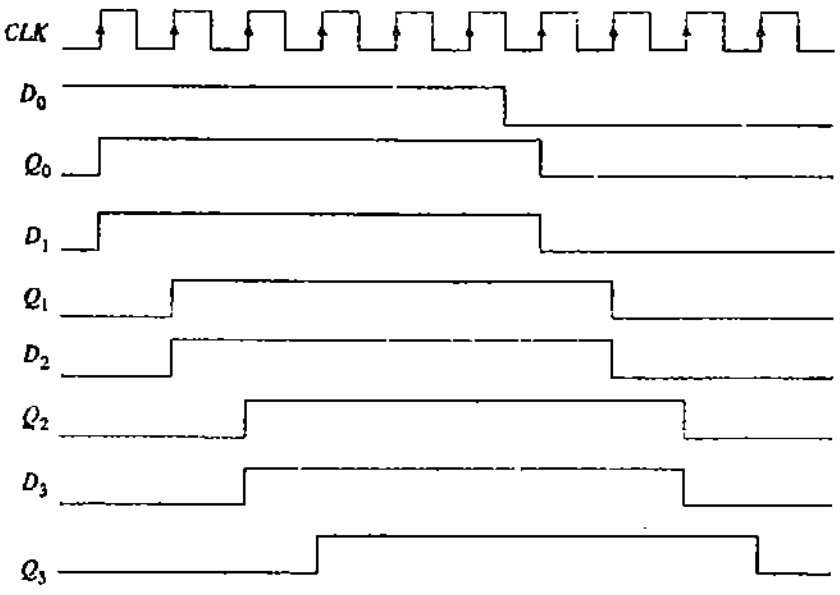
पहले CLK पर $Q = 1110$

दूसरे CLK पर $Q = 1100$

तीसरे CLK पर $Q = 1000$

चौथे CLK पर $Q = 0000.$

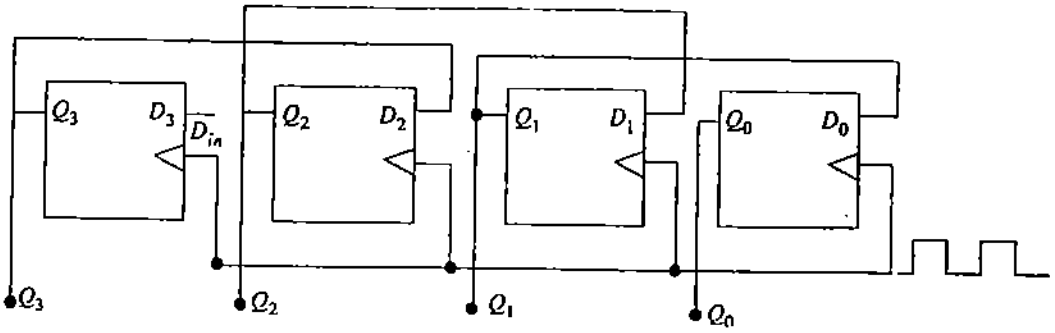
यह शब्द 0000 तब तक संग्रहित रहता है, जब तक कि $D_{in} = 0$ रहता है। वाम विस्थापन रजिस्टर की पूरी संक्रिया को चित्र 12.4 में समय-आरेख (timing diagram) के रूप में दिखाया गया है।



चित्र 12.4 : वाम विस्थापन रजिस्टर का समय-आरेख।

दक्षिण विस्थापन रजिस्टर (shift right register)

दक्षिण विस्थापन रजिस्टर का परिपथ चित्र 12.5 में दिखाया गया है। आंकड़ा निवेश D_{in} को D_3 के रूप में चौथे पिलप-फ्लॉप के निवेश को दिया जाता है। प्रत्येक पिलप-फ्लॉप का Q निर्गत पिछले पिलप-फ्लॉप के D निवेश में पुनर्भरित कर दिया जाता है, अर्थात् D_2 को Q_3 दिया जाता है, D_1 को Q_2 दिया जाता है और D_0 को Q_1 दिया जाता है। जब CLK का PGT पहुंचता है, तब संग्रहित शब्द एक पग अपने बांए ओर विस्थापित हो जाता है।



चित्र 12.5 : दक्षिण विस्थापन रजिस्टर।

दक्षिण विस्थापन रजिस्टर की प्रक्रिया को इस प्रकार समझा जा सकता है। मान लीजिए कि प्रारंभ में $D_{in} = 1$ और Q = 0000 है। पहले CLK के PGT के पहुंचने पर $D_3 = 1$ और अन्य सभी D निवेश 0 होते हैं। अतः चौथा पिलप-फ्लॉप set up हो जाता है और संग्रहित शब्द यह हो जाता है:

Q = 1000.

अब, $D_3 = 1$ और $D_2 = 1$ पर जब दूसरे CLK का PGT पहुंचता है, तब तीसरे और चौथे पिलप-फ्लॉप set up हो जाते हैं और संग्रहित शब्द यह हो जाता है :

Q = 1100.

इसी प्रकार तीसरे CLK के PGT के पहुंचने पर संग्रहित शब्द यह हो जाता है :

Q = 1110

और, चौथे CLK के PGT के पहुंचने पर संग्रहित शब्द यह हो जाता है

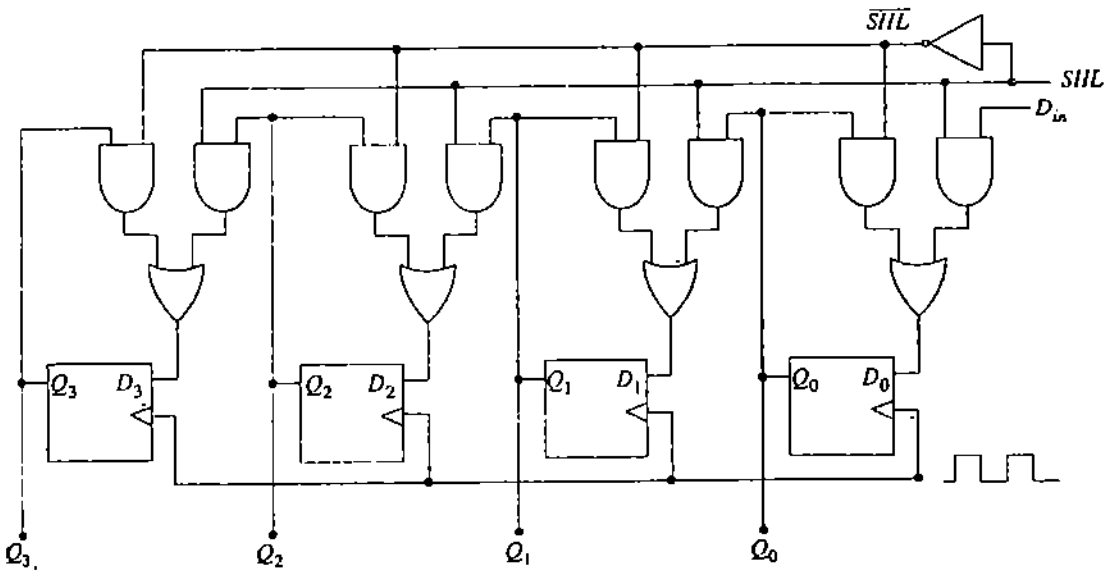
Q = 1111.

12.2.4 नियंत्रित विस्थापन रजिस्टर (Controlled Shift Register)

सामान्यतः कुछ अतिरिक्त व्यवस्था करके विस्थापन रजिस्टर की प्रक्रिया को नियंत्रित किया जाता है, जिससे कि जब CLK का PGT पहुंचता हो, तब संग्रहित शब्द में अनुप्रयोग के अनुसार परिवर्तन होना चाहिए या नहीं होना चाहिए। इस प्रकार का नियंत्रित वाम-विस्थापन रजिस्टर चित्र 12.6 में दिखाया गया है।

इसकी प्रक्रिया इस प्रकार होती है। जब नियंत्रण निवेश सिगनल SHL, 0 होता है, तब प्रतिलोमित सिगनल $\overline{SHL}$, 1 होता है। इस स्थिति में पिलप-फ्लॉप के Q निर्गत अपने-अपने D निवेशों में पुनः परिचालित हो जाते हैं। इससे यह अर्थ निकलता है कि रजिस्टर में संग्रहित आंकड़े CLK के PGT के पहुंचने पर भी संग्रहित ही रहते है। अर्थात् संग्रहित शब्द अनिश्चित काल तक के लिए संग्रहित रहता है।

आइए, अब हम नियंत्रण सिगनल को उल्टा कर दें। जब नियंत्रण निवेश सिगनल SHL, 1 होता है, तो प्रतिलोमित सिगनल $\overline{SHL}$, 0 होता है। इस स्थिति में D_{in}, D_0 निवेश पर उपलब्ध होता है और प्रथम CLK के PGT के पहुंचने पर D_0 द्वारा प्रथम पिलप-फ्लॉप set up हो जाता है। इसी तरह उत्तरोत्तर CLK के पहुंचने पर Q_0 दूसरे पिलप-फ्लॉप को set up करता है। Q_1 तीसरे को set up करता है और Q_2 चौथे पिलप-फ्लॉप को set up करता है। CLK के प्रत्येक PGT पर संग्रहित शब्द बायीं ओर एक पग विस्थापित हो जाता है।



चित्र 12.6 : नियंत्रित वाम-विस्थापन रजिस्टर।

इस प्रकार के रजिस्टर में संग्रहित किए जाने वाले शब्द का भारण (loading) क्रमिक रूप (serially) में किया जाता है अर्थात् प्रति CLK पर एक बिट को निविष्ट करके शब्द भारित किया जाता है। एक 4-बिट वाले शब्द को संग्रह करने के लिए हमें चार CLK स्पंदों की आवश्यकता होती है। उदहारण के लिए, X = 1001 क्रमिक रूप में इस प्रकार भारित की जाती है :

SHL = 1 रखिए और D_{in} = 1 लीजिए। प्रथम CLK पर

Q = 0001

अब SHL = 1 रखते हुए D_{in} = 0 लीजिए। दूसरे CLK पर

Q = 0010

तीसरे CLK पर

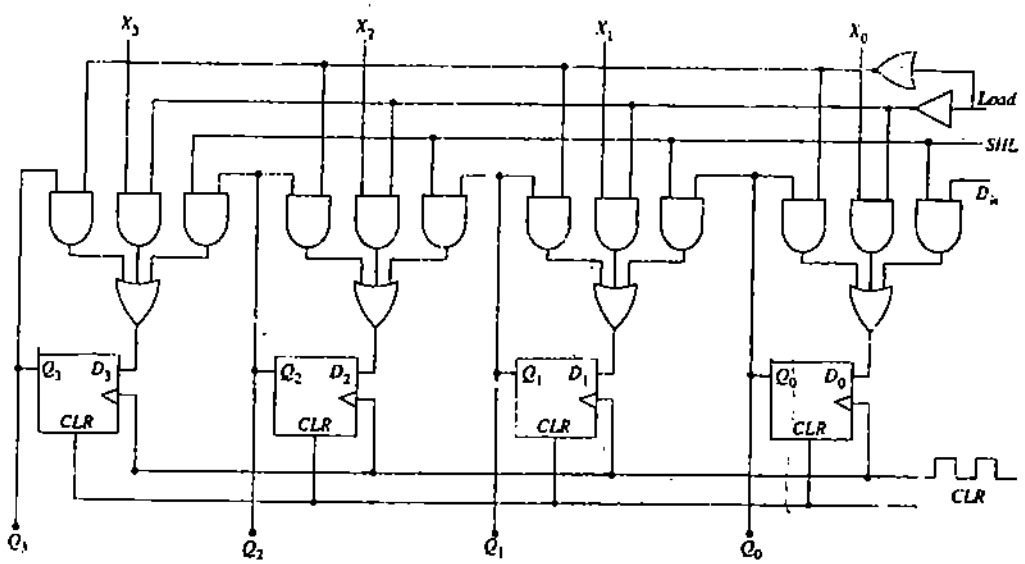
Q = 0100

अब SHL = 1 रखते हुए D_{in} = 1 लीजिए। चौथे CLK पर

Q = 1001.

इस तरह आंकड़ा क्रमिक रूप से निविष्ट हो जाता है और संग्रहित शब्द सभी Q निर्गतों से युगपत् रूप से उपलब्ध हो जाता है।

फिर भी, एक शब्द के सभी बिटों को युगपत् रूप से भारित किया जा सकता है और इसके लिए केवल एक CLK स्पंद की आवश्यकता होती है जैसा कि चयक रजिस्टर (buffer register) में किया गया है। इस प्रकार के भारण (loading) के लिए परिपथ चित्र 12.7 में दिया गया है, जिसका प्रयोग संग्रहित किए जाने वाले शब्द के क्रमिक और युगपत् भारण में किया जा सकता है।



चित्र 12.7 : युगपत् और क्रमिक भारण व्यवस्था के साथ नियंत्रित विस्थापन रजिस्टर।

यदि लोड (LOAD) और SHL, 0 हों, तो NOR गेट का निर्गत 1 होता है। इस प्रतिबंध के अधीन Q निर्गत अपने D निवेशों में पुनः परिचालित होने लगते हैं। और, पहले से संग्रहित किया गया शब्द संग्रहित बना रहता है। इस अवस्था में रजिस्टर को निष्क्रिय रजिस्टर (inactive register) कहा जाता है।

यदि लोड (LOAD), 0 हो और SHL, 1 हो, तो रजिस्टर का प्रयोग क्रमिक भारण में किया जाता है, जैसा कि चित्र 12.6 में दिखाए गए रजिस्टर के संबंध में किया गया था। यदि लोड (LOAD), 1 हो और SHL, 0 हो, तो X बिट स्वयं प्रथम CLK पर D निवेशों को युगपत् रूप से विस्थापित कर देता है। यह युगपत् भारण वाली स्थिति है।

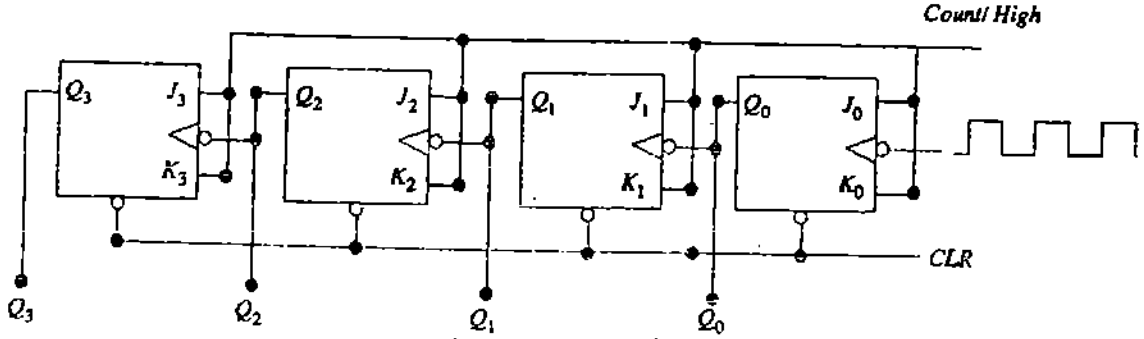
अधिक बिटों वाले शब्द को संग्रहित करने के लिए अधिक फ्लिप-फ्लॉपों की आवयकता होती है। वस्तुतः संग्रहित किए जाने वाले शब्द में बिटों की जितनी संख्या होती है, उतनी ही संख्या में फ्लिप-फ्लॉपों की आवयकता होती है।

12.3 गणित्र

गणित्र द्वि-आधारी चक्करमापी (odometer) के तुल्य होता है। यह CLK निवेश पर पहुंचने वाले CLK स्पंदों की संख्या की गणना करता है। मूलतः दो प्रकार के गणित्र होते हैं: अतुल्यकालिक (asynchronous) (ऊर्मिका) और तुल्यकालिक (synchronous)।

12.3.1 अतुल्यकालिक (ऊर्मिका) गणित्र

चित्र 12.8 में एक 4-बिट गणित्र दिखाया गया है, जिसे JK फ्लिप-फ्लॉपों को लेकर बनाया गया है। सभी JK निवेशों को 1 पर रखा गया है। प्रथम फ्लिप-फ्लॉपों के CLK निवेश को CLK



चित्र 12.8 : अतुल्यकालिक (ऊर्मिका) गणित्र।

सिगनल दिया जाता है। Q_0 निर्गत को दूसरे फ्लिप-फ्लॉप के CLK निवेश को दिया जाता है, Q_1 निर्गत तीसरे फ्लिप-फ्लॉप के CLK निवेश को दिया जाता है और यह प्रक्रिया आगे जारी रखी जाती है। CLR निवेश तब सक्रियित (activated) होता है, जब इसे 0 बनाया जाता है। सभी CLR

निवेशों को एक-साथ जोड़ दिया गया है, जिससे कि सभी फ्लिप-फ्लॉपों को एक साथ reset किया जा सके। इस प्रकार के गणित्र को, जहाँ प्रत्येक फ्लिप-फ्लॉप का निर्गत अगले फ्लिप-फ्लॉप का CLK निवेश का काम करता हो, अतुल्यकालिक गणित्र कहा जाता है। इसे इस नाम से इसलिए जाना जाता है, क्योंकि सभी फ्लिप-फ्लॉप CLK स्पंदों के साथ तुल्यकालन में अपनी अवस्था में परिवर्तन नहीं करते। केवल पहला फ्लिप-फ्लॉप ही CLK स्पंदों के साथ अनुक्रिया करता है, जबकि अन्य सभी फ्लिप-फ्लॉप पिछले फ्लिप-फ्लॉपों की अवस्था परिवर्तन की प्रतीक्षा करते हैं। अतः क्रमागत (consecutive) फ्लिप-फ्लॉपों की अनुक्रिया के बीच विलंब होता है। इस प्रकार के गणित्र को ऊर्मिका गणित्र (ripple counter) भी कहा जाता है।

आइए, अब हम यह देखें कि ऊर्मिका गणित्र की प्रक्रिया किस प्रकार होती है। इसमें प्रथम फ्लिप-फ्लॉप के CLK निवेश पर कालद स्पंद (clock pulse) लागू किए जाते हैं। क्योंकि फ्लिप-फ्लॉप को CLK के NGT से चलाया जाता है, इसलिए J = K = 1 पर जब CLK स्पंद 1 से 0 होता है, तब प्रथम फ्लिप-फ्लॉप पूरकित (toggle) होता है। जब प्रथम फ्लिप-फ्लॉप का Q_0 निर्गत 1 से 0 पर आ जाता है, तब दूसरे फ्लिप-फ्लॉप का Q_1 निर्गत पूरकित होता है। और, यही प्रक्रिया आगे बढ़ती जाती है। CLR = 0 पर सभी फ्लिप-फ्लॉप

Q = 0000.

पर reset हो जाते हैं।

Reset के बाद CLR = 1 लीजिए। अब गणित्र गणना करने के लिए तैयार है। प्रत्येक NGT के लिए Q_0 पूरकन करता है। अतः जब प्रथम CLK का NGT पहुंचता है, तब Q निर्गत यह होता है

Q = 0001.

दूसरे CLK पर Q_0, 1 से 0 पर पूरकन करता है, जो कि दूसरे फ्लिप-फ्लॉप के CLK निवेश के लिए एक NGT के रूप में काम करता है। इस फ्लिप-फ्लॉप का Q_1 निर्गत 1 पर पूरकन करता है। इसलिए

Q = 0010.

तीसरे CLK पर Q_0, 0 से 1 पर पूरकन करता है और Q_1 में कोई परिवर्तन नहीं होता है। इसलिए,

Q = 0011.

चौथे CLK पर Q_0, 1 से 0 पर पूरकन करता है, जिससे कि Q_1, 1 से 0 पर पूरकन करता है। Q_1 का 1 से 0 पर जाना तीसरे फ्लिप-फ्लॉप के CLK निवेश के लिए एक NGT के रूप में काम करने के बराबर होता है। इस कारण फ्लिप-फ्लॉप का Q_2 निर्गत 0 से 1 पर पूरकन करता है। इसलिए,

Q = 0100.

प्रत्येक CLK पर गणित्र के Q निर्गत को सार रूप में सारणी 12.1 में दिया गया है।

सारणी 12.1

CLK स्पंदों की संख्या	Q
0	0000
1	0001
2	0010
3	0011
4	0100
5	0101
6	0110
7	0111
8	1000
9	1001
10	1010
11	1011
12	1100
13	1101
14	1110
15	1111

अगला CLK सभी फिलप-फ्लॉपों को reset कर देता है और उत्तरोत्तर CLK पर Q निर्गत यह होगा :

16	0000 (पुनष्चक्र-recycles)
17	0001
18	0010
..	....
..	....

Q निर्गतों का विश्लेषण करने पर हम यह पाते हैं कि जब कभी एक फिलप-फ्लॉप 0 पर reset होता है, तब अगले फिलप-फ्लॉप का निर्गत 1 होता है अर्थात् एक फिलप-फ्लॉप का reset होना अगले उच्च फिलप-फ्लॉप में एक हासिल (carry) को पहुंचाने के बराबर है। अतः गणित्र एक द्वि-आधारी चक्करमापी के रूप में काम करता है। प्रथम फिलप-फ्लॉप का Q_0 निर्गत एक LSB के रूप में काम करता है। और अंतिम फिलप-फ्लॉप का Q_0 निर्गत MSB के रूप में काम करता है। अब आपको यह स्पष्ट हो गया होगा कि अतुल्यकालिक गणित्र को ऊर्मिका गणित्र क्यों कहा जाता है। इसे ऐसा इसलिए कहा जाता है, क्योंकि निर्गत में हासिल उसी प्रकार गतिमान होता है, जैसे कि पानी में ऊर्मिका।

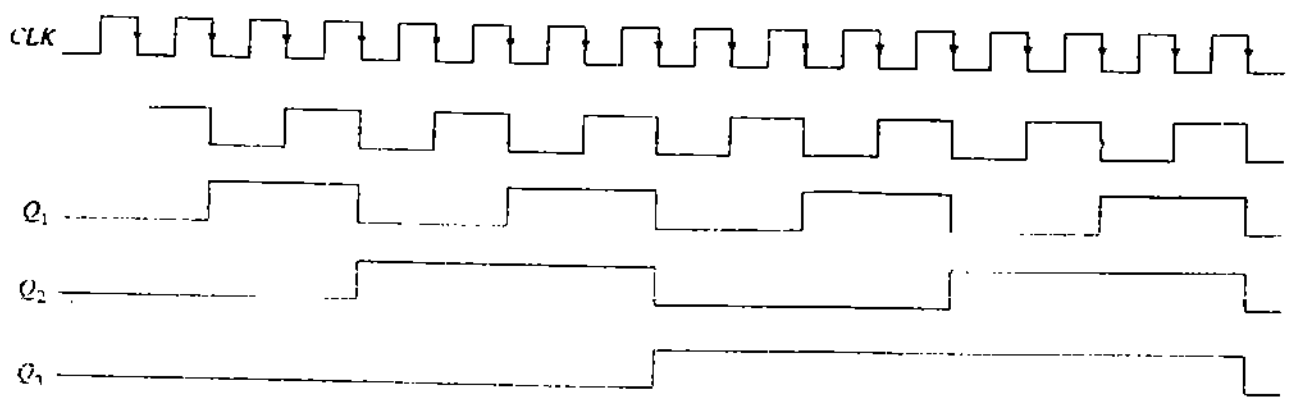
गणित्र का मॉड (Mod of a counter)

ऊपर बताए गए गणित्र में 16 अलग-अलग अवस्थाएँ या निर्गत (0000 से 1111 तक) होते हैं। इस स्थिति में यह कहा जाता है कि इस गणित्र का मॉड 16 है। गणित्र का मॉड उन अवस्थाओं की संख्या के बराबर होता है, जिनमें अपनी प्रारंभिक अवस्था पुनश्चक्रित होने से पहले गणित्र प्रत्येक पूर्ण चक्र में होकर जाता है। फिलप-फ्लॉप की संख्या में वृद्धि करके मॉड में वृद्धि की जा सकती है। यदि एक गणित्र में प्रयुक्त फिलप-फ्लॉपों की संख्या n हों, तो

माड संख्या = 2^n होगी।

आवृत्ति विभाजन (frequency division)

प्रत्येक फिलप-फ्लॉप का निर्गत और CLK चित्र 12.9 में दिखाए गए हैं। यहां स्पष्ट है कि Q_0 निर्गत की आवृत्ति CLK की आवृत्ति की आधी है। Q_0 निर्गत दूसरे फिलप-फ्लॉप के लिए एक CLK के रूप में काम करता है और Q_1 निर्गत की आवृत्ति, Q_0 की आवृत्ति की आधी या CLK की आवृत्ति की एक-चौथाई होती है।



चित्र 12.9 : निर्गतों का समय-आरेख।

आवृत्ति के विभाजन को सार रूप में इस प्रकार व्यक्त किया जा सकता है :

पहला फ्लिप-फ्लॉप 2 से विभाजित करता है

दूसरा फ्लिप-फ्लॉप 4 से विभाजित करता है

तीसरा फ्लिप-फ्लॉप 8 से विभाजित करता है

चौथा फ्लिप-फ्लॉप 10 से विभाजित करता है

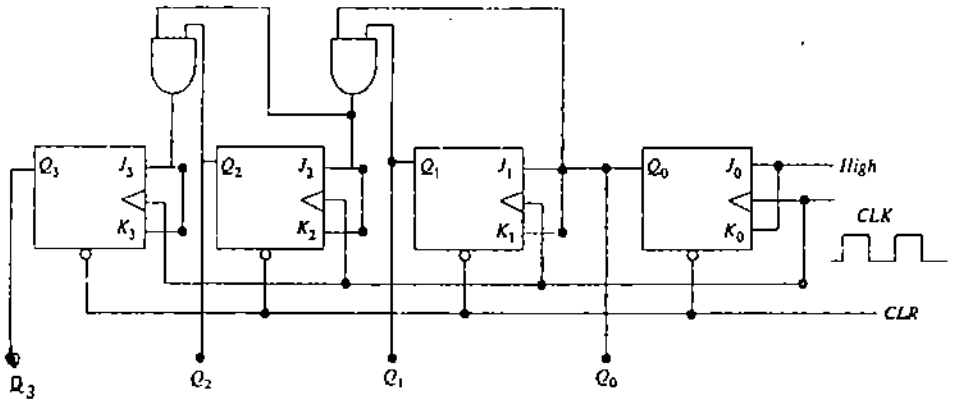
nवाँ फ्लिप-फ्लॉप 2^n से विभाजित करता है।

बोध प्रश्न 1

यदि CLK की आवृत्ति 100 KHz हो, तो ऊर्मिका गणित्र के तीसरे फ्लिप-फ्लॉप की निर्गत आवृत्ति क्या होगी ?

12.3.2 तुल्यकालिक गणित्र (Synchronous Counter)

जैसा कि पिछले भाग में बताया जा चुका है, ऊर्मिका गणित्र में समय विलंब (time delay) काफी होता है, क्योंकि एक हासिल (carry) को n फ्लिप-फ्लॉप से होकर गुजरना पड़ता है, इसलिए ऊर्मिका गणित्र काफी धीरे-धीरे काम करते है। यदि T_{pd} एक फ्लिप-फ्लॉप का समय विलंब हो, तो n फ्लिप-फ्लॉपों का समय-विलंब nT_{pd} होगा। अतः इस स्थिति में तुल्यकालिक गणित्र की आवश्यकता होती है, जिससे कि प्रत्येक CLK स्पंद पर सभी फ्लिप-फ्लॉप एक-साथ अनुक्रिया करें। तुल्यकालिक गणित्र का परिपथ, चित्र 12.10 में दिया गया है।



चित्र 12.10 : तुल्यकालिक गणित्र।

सभी फ्लिप-फ्लॉपों के CLK निवेश एक-दूसरे के साथ जुड़े होते हैं, जिससे कि उनके पास CLK सिगनल एक ही समय पर पहुंचे। इसी प्रकार, सभी फ्लिप-फ्लॉपों के CLR निवेश एक-दूसरे के साथ जुड़े होते हैं, जिससे कि CLR = 0 पर उनकी resetting एक साथ की जा सके। सभी J और K निवेशों को एक-दूसरे से जोड़ा नहीं गया है, जैसा कि ऊर्मिका गणित्र में किया गया है। पहले फ्लिप-फ्लॉप के JK निवेशों को सदा 1 पर रखा जाता है। अपने CLK निवेशों पर कालद स्पंद (clock pulse) के PGT के पहुंचने पर फ्लिप-फ्लॉप पूरकन (toggle) करने लगता है बशर्ते उनके JK निवेश 1 पर हों। इस गणित्र की प्रक्रिया को इस प्रकार समझा जा सकता है :

प्रारंभ में reset पर Q निर्गत यह होता है :

Q = 0000.

पहले CLK के PGT के पहुंचने पर Q_0, 0 से 1 तक पूरकन करने लगता है, जिससे कि दूसरे फ्लिप-फ्लॉप के JK निवेश भी 1 पर आ जाते हैं। अब यह फ्लिप-फ्लॉप भी पूरकन करने के लिए तैयार हो जाता है। परन्तु, अब तक CLK स्पंद का PGT लोपित हो चुका होता है। इसे दूसरे CLK के PGT की प्रतीक्षा करनी होती है। और, जैसा कि परिपथ से स्पष्ट है, तीसरे और चौथे फ्लिप-फ्लॉपों के JK निवेश 0 पर ही बने रहते हैं, अतः ये "कोई परिवर्तन नहीं" (no change) की अवस्था में होते हैं। अतः पहले CLK के पहुंचने पर

Q = 0001.

अब दूसरे CLK के PGT पर Q_0, 1 से 0 तक पूरकन करता है और Q_1, 0 से 1 तक पूरकन करता है। फिर भी, तीसरे फ्लिप-फ्लॉप के JK निवेश 0 पर बने रहते हैं, क्योंकि AND गेट (जिसका निर्गत इन JK निवेशों से जुड़ा होता है) के निवेश $Q_1 = 1$ और $Q_0 = 0$ होते हैं।

अतः यह "कोई परिवर्तन नहीं" (no change) की अवस्था में होता है और इस तरह Q_2, 0 पर बना रहता है। इस तरह, दूसरे CLK के PGT के पहुंचने पर

$Q = 0010.$

तीसरे CLK के PGT के पहुंचने पर दूसरे, तीसरे और चौथे पिलप-फ्लॉपों के JK निवेश 0 पर होते हैं। अतः वे "कोई परिवर्तन नहीं" (no change) की अवस्था में होते हैं। केवल पहला पिलप-फ्लॉप ही 0 से 1 तक पूरकन करने के लिए तैयार होता है। इस तरह, तीसरे CLK पर

$Q = 0011.$

अब, क्योंकि Q_1 और Q_0, 1 पर हैं, इसलिए तीसरे पिलप-फ्लॉप के JK निवेश 1 पर होते हैं। हालांकि चौथे पिलप-फ्लॉप के JK निवेश अभी भी 0 पर होते हैं। अतः चौथे CLK के पहुंचने पर प्रथम तीन पिलप-फ्लॉप पूरकन के लिए तैयार होते हैं। इस तरह, Q_0 और Q_1, 1 से 0 तक पूरकन करते हैं और Q_2, 0 से 1 तक पूरकन करता है। अतः चौथे CLK पर,

$Q = 0100.$

इसके बाद बारी-बारी से निर्गत 0101, 0110 और 0111 होते हैं। आठवें CLK के पहुंचने पर सभी पिलप-फ्लापों के JK निवेश 1 पर होते हैं। सभी पिलप-फ्लॉपों के Q निर्गत पूरकन करते हैं और हमें यह प्राप्त होता है :

$Q = 1000.$

उत्तरोत्तर CLK स्पंद उसी प्रकार Q निर्गतों में परिवर्तन करते हैं, जैसा कि ऊपर बताया गया है। प्रत्येक CLK पर निर्गतों को सार रूप में सारणी 12.2 में प्रस्तुत किया गया है।

सारणी : 12.2

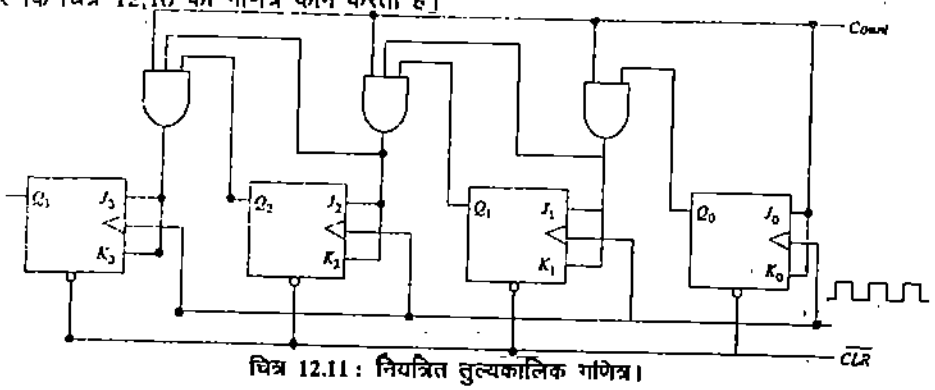
CLK स्पंदों की संख्या	Q
1	0000
2	0001
3	0010
4	0011
5	0101
6	0110
7	0111
8	1000
9	1001
10	1010
11	1011
12	1100
13	1101
14	1110
15	1111

अगले CLK के PGT के पहुचने पर गणित्र Q = 0000 पर reset हो जाता है।

पिलप-फ्लॉपों की संख्या बढ़ाकर किसी भी लंबाई वाला गणित्र बनाया जा सकता है। तुल्यकालिक गणित्र का लाभ यह होता है कि निर्गत प्राप्त करने के लिए इसे केवल एक संचरण विलंब समय (propagation delay time) की आवश्यकता होती है। इस गणित्र का Mod भी 16 ($=2^4$) होता है।

12.3.3 नियंत्रित तुल्यकालिक गणित्र (Controlled Synchronous Counter)

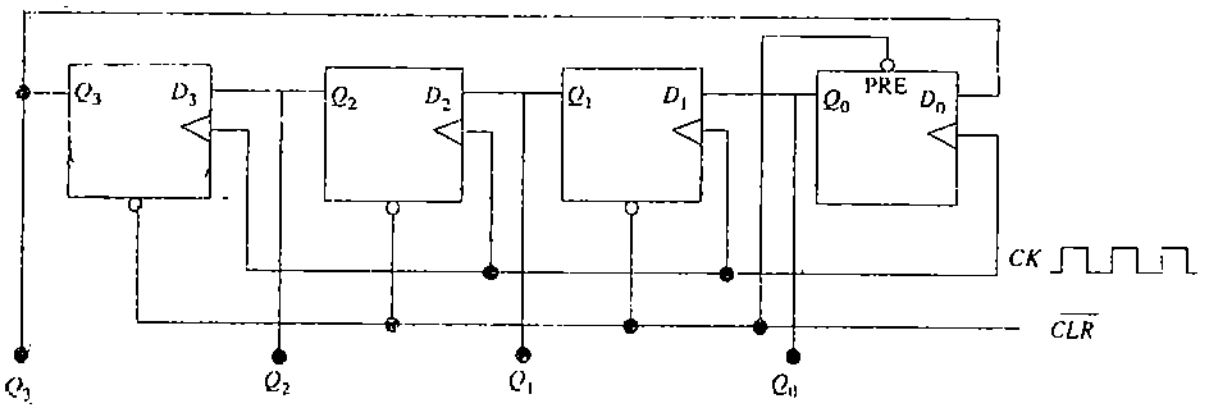
नियंत्रित तुल्यकालिक गणित्र का परिपथ चित्र 12.11 में दिखाया गया है। काउंट (count) नियंत्रण निवेश होता है। जब काउंट 0 पर होता है, सभी फिलप-फ्लॉपों के JK निवेश 0 पर होते हैं जिस कारण सभी फिलप-फ्लॉप "कोई परिवर्तन नहीं" (no change) वाली अवस्था में रहते हैं। जब काउंट 1 पर होता है, तो परिपथ तुल्यकालिक गणित्र होता है, जो ठीक उसी तरह काम करता है, जिस प्रकार कि चित्र 12.10 का गणित्र काम करता है।



चित्र 12.11 : नियंत्रित तुल्यकालिक गणित्र।

12.3.4 वलय गणित्र

वलय गणित्र द्वि-आधारी संख्या की गणना नहीं करता। इस गणित्र के Q निर्गत में केवल एक 1 बिट होता है और अन्य सभी बिट शून्य होते हैं। प्रत्येक CLK पर बिट 1 अपनी बायीं ओर एक पग विस्थापित हो जाता है। वलय गणित्र के अंकीय परिपथ को चित्र 12.12 में दिखाया गया है। यह D फिलप-फ्लॉपों से बना होता है। ध्यान दीजिए कि दूसरे, तीसरे और चौथे फिलप-फ्लॉपों के CLR निवेश पहले फिलप-फ्लॉप के PRESET निवेश से जुड़े होते हैं। इसका अर्थ यह है कि जब CLR को 0 पर लाया जाता है, तो यह Q_0 को 1 पर PRESET कर देता है और Q_1, Q_2 और Q_3 निर्गतों को 0 पर RESET कर देता है।



चित्र 12.12 : वलय गणित्र।

वलय गणित्र की कार्य-प्रणाली को इस प्रकार समझा जा सकता है। जब CLR को सक्रिय (active) बनाया जाता है, अर्थात् जब इसे 0 कर दिया जाता है, तो प्रथम फिलप-फ्लॉप set हो जाता है और अन्य सभी फिलप-फ्लॉप reset हो जाते हैं। अतः Q निर्गत यह होता है :

Q = 0001.

अब, $Q_3 = 0$ को प्रथम फिलप-फ्लॉप के D_0 निवेश में पुनर्भरित किया जाता है। अतः प्रथम CLK के PGT के पहुंचने पर Q_0, 0 पर होता है और Q_1, 1 पर होता है, जबकि Q_2 और Q_3 शून्य पर ही बने रहते हैं। इस तरह, प्रथम CLK पर,

Q = 0010.

दूसरे CLK के PGT के पहुंचने के समय D_0, D_1 और D_3, 0 पर होते हैं और D_2, 1 पर होता है। अतः Q निर्गत यह होता है:

Q = 0100.

इसी प्रकार, तीसरे CLK के PGT के पहुंचने पर Q निर्गत यह होता है :

Q = 1000.

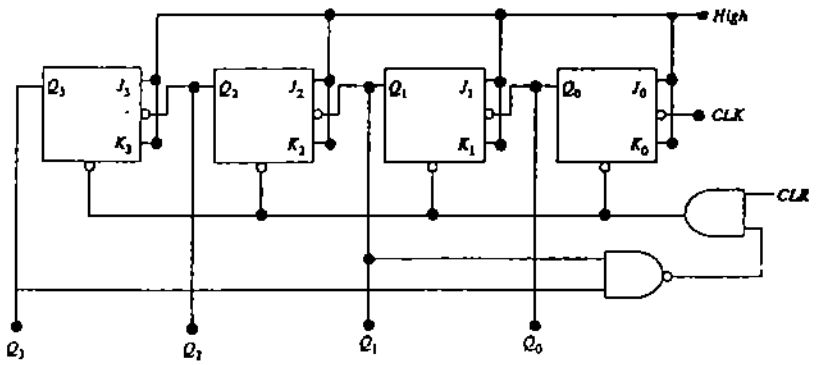
चौथे CLK का PGT पुनः चक्र प्रारंभ कर देता है, और

Q = 0001.

इस तरह, हम यह पाते हैं कि बिट 1 अपनी बायीं ओर एक पग विस्थापित हो जाता है और घूर्णन करके अपनी प्रारंभिक स्थिति पर लौट आता है। यह क्रिया आगे चलती रहती है। इसी प्रभाव के कारण,इस गणित्र को वलय गणित्र कहा जाता है। यदि चार बिटों वाले वलय के स्थान पर आप बड़ा वलय चाहते हैं, तब आप फिलप-फ्लॉपों की संख्या बढ़ाकर ऐसा कर सकते हैं।

12.3.5 मॉड 10 (दशक) गणित्र

मॉड 10 गणित्र का मॉड 10 होता है अर्थात् यह 0 से 9 तक की गिनती करता है और फिर 0 पर reset हो जाता है। यह एक अतुल्यकालिक गणित्र है और इसका अंकीय परिपथ चित्र 12.13 में दिया गया है। यह परिपथ 0000 से 0001 तक की गिनती करता है और फिर 0000 पर reset हो जाता है। जैसा कि ऊर्मिका गणित्र (riple counter) वाले भाग में बताया गया है, प्रथम नौ CLK स्पंदों के NGT के पहुंचने पर गणित्र के Q निर्गतों को सारणी 12.3 में सार रूप में प्रस्तुत किया गया है।



चित्र 12.13 : मॉड 10 (दशक) गणित्र।

सारणी 12.3

CLK स्पंदों की संख्या	Q	दशमलव तुल्य
0	0000	0
1	0001	1
2	0010	2
3	0011	3
4	0100	4
5	0101	5
6	0110	6
7	0111	7
8	1000	8
9	1001	9
10	0000	0 (पुनःस्थापित)

यह परिपथ 10 से 15 तक की अर्थात् 1010 से 1111 की अवस्थाओं को छोड़ देता है। परिपथ में उपस्थित NAND और AND गेटों के संयोजन से परिपथ को इन अवस्थाओं को छोड़ने के लिए बनाया जाता है। इसके पीछे यह विचारधारा रही है कि जब दसवें CLK पर Q = 1010 होने की आशा की जाती है, तो फिलप-फलॉप 0000 पर reset हो जाने चाहिए और यह कार्य CLR निवेश को 0 पर लाकर किया जाता है। इसे Q_1 और Q_3 को NAND गेट के निवेशों से जोड़कर प्राप्त किया जाता है जिससे कि निर्गत 0 प्राप्त होता है जिस समय इसके निवेश 1 होते हैं (यह वह स्थिति है, जबकि दसवें CLK पर Q = 1010 की आशा की जाती है)। NAND गेट के 0 निर्गत से AND गेट का निर्गत भी 0 हो जाता है। इससे CLR सक्रिय हो जाता है और फिलप-फलॉप

Q = 0000

पर reset हो जाता है।

जब CLR को निष्क्रिय (inactive) बनाया जाता है अर्थात् जब CLR = 1 होता है, तब फिर से गिनती करने के लिए गणित्र तैयार हो जाता है।

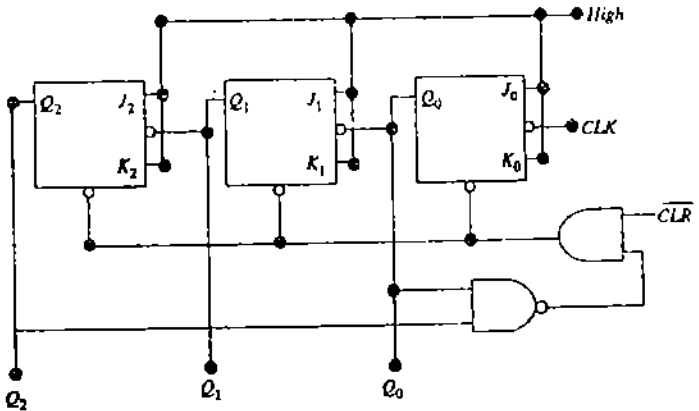
क्योंकि गणित्र को reset करने के लिए 10 CLR स्पंदों की आवश्यकता होती है, इसलिए Q_3 निर्गत की आवृत्ति CLK की आवृत्ति की एक-दसवीं होती है। इसलिए, इसे 10 से विभाजित परिपथ कहा जाता है। इसका प्रयोग BCD अनुप्रयोगों और आवृत्ति गणित्रों में किया जाता है।

उदाहरण 12.1

एक Mod 5 गणित्र की अभिकल्पना कीजिए।

आपको याद होगा कि Mod 10 गणित्र में 10वें CLK के पहुंचने पर गणित्र का प्रत्याशित निर्गत अर्थात् 1010 का प्रयोग गणित्र को reset करने के लिए किया जाता है, जिससे कि 1010 से 1111 की अवस्थाओं को छोड़ा जा सके।

इस उदाहरण में Mod 5 गणित्र की, जो कि 0 से 4 तक की गिनती कर सके, अभिकल्पना करनी है। इसका अर्थ यह है कि 5वें CLK के पहुंचने पर, गणित्र को reset हो जाना चाहिए। 4 तक की गिनती करने के लिए तीन से अधिक बिटों की आवश्यकता नहीं होती। अतः हमें तीन JK फिलप-फलॉपों की आवश्यकता होती है। 5वें CLK के पहुंचने पर प्रत्याशित निर्गत 101 होता है, जिसका प्रयोग CLR को सक्रिय बनाने के लिए करना चाहिए, जिससे कि फिलप-फलॉपों को reset किया जा सके। अपेक्षित परिपथ चित्र 12.14 में दिया गया है।



चित्र 12.14 : Mod 5 गणित्र।

बोध प्रश्न 2

उक्त गणित्र का Mod क्या होगा, जिसमें छः फिलप-फलॉप हैं ?

12.4 अर्धचालक स्मृति

अनुरूप तंत्र की तुलना में अंकीय तंत्र का लाभ यह होता है कि इसमें दोनों कम और अधिक समय तक के लिए सूचनाओं को संग्रहित करने की क्षमता होती है और इसलिए इसे सक्षम माना जाता है। अंकीय कंप्यूटर (digital computer) में निम्नतम मात्रा में स्मृति होती है, जिसकी सहायता से यह हमारी इच्छानुसार सूचनाओं या आँकड़ों का प्रकलन (manipulate) कर सकता है। इसमें उस

प्रकार की स्मृति भी होती है, जिससे कि यह इन सूचनाओं को तब तक संग्रहित रख सकती है, जब तक कि हम चाहते हैं और जब भी हमें इनकी आवश्यकता होती है, यह हमें उपलब्ध हो जाते हैं।

हम आधारभूत (basic) स्मृति अवयव के बारे में पढ़ चुके हैं, जो केवल एक बिट को संग्रहित करता है। वह अवयव है, फ्लिप-फ्लाप। हम रजिस्टर के बारे में भी पढ़ चुके हैं, जो कि शब्द को, जिसमें कितने भी बिट क्यों न हों, संग्रहित करती है। रजिस्टर अति उच्च गति (high speed) वाले स्मृति अवयव होते हैं और इनका व्यापक प्रयोग अंकीय कंप्यूटर के आंतरिक प्रक्रिया में किया जाता है। एकीकृत परिपथ प्रौद्योगिकी के आविष्कार से और वृहत एकीकरण (large scale integration) (LSI) तथा अति वृहत् एकीकरण (very large scale integration) (VLSI) में इसकी और अधिक प्रगति हो जाने से अब एक चिप पर ही अनेक रजिस्टर प्राप्त की जा सकती हैं।

इन अर्धचालक युक्तियों की लागत में भी काफी कमी आ रही है, किन्तु प्रति बिट के संग्रह हेतु इन युक्तियों की लागत इतनी अधिक होती है, कि व्यापक संग्रह युक्ति के रूप में इनका प्रयोग हितकर नहीं होता। कंप्यूटर में एक आंतरिक स्मृति होती है, जो कि निष्पादित किए जा रहे अनुदेशों (instructions) के एक प्रोग्राम (program) के रूप में केन्द्रीय संसाधन एकक (central processing unit) के साथ लगातार संचरण में होती है। यह प्रोग्राम और इस प्रोग्राम द्वारा प्रयुक्त कोई भी सूचना या आँकड़ा भी आंतरिक स्मृति में संग्रहित होते हैं।

विपुल भंडार स्मृति युक्तियाँ (mass storage memory devices) कंप्यूटर के बाहर होती हैं और इनमें वैद्युत शक्ति का उपयोग किए बिना करोड़ों बिटों को संग्रहित करने की क्षमता होती है। सामान्यतः आंतरिक स्मृति की तुलना में विपुल भंडार स्मृति अधिक मंद गति वाली होती है और उसमें प्रायः उन्हीं सूचनाओं को संग्रहित रखा जाता है, जिनकी कि वर्तमान में कंप्यूटर को आवश्यकता नहीं होती। ये सूचनाएँ कंप्यूटर को केवल तभी सप्लाई की जाती हैं, जब कंप्यूटर को इनकी आवश्यकता होती है। फ्लॉपी, चुंबकीय टेप और डिस्क आदि विपुल भंडार स्मृति युक्तियाँ हैं। आंतरिक स्मृति की तुलना में इन युक्तियों की प्रति बिट संग्रह करने की लागत काफी कम होती है।

12.4.1 क्या होती है स्मृति ?

"स्मृति" रजिस्टरों की एक सरणी (array) होती है, जहाँ प्रत्येक रजिस्टर एक शब्द संग्रहित करती है। प्रत्येक रजिस्टर की एक पता संख्या (address number) होती है, जो कि स्मृति में शब्द के स्थान को इंगित करती है। शब्द का स्थान वस्तुतः वह रजिस्टर होता है, जो पहचाने जाने वाले शब्द को संग्रहित करती है। प्रत्येक स्थान का पता अद्वितीय (unique) होता है और उसे एक द्वि-आधारी संख्या से व्यक्त किया जाता है। इसे समझने के लिए आइए, हम यह मान लें कि हमारे पास एक स्मृति है, जिसमें आठ रजिस्टर हैं। इससे यह स्पष्ट है कि इस स्मृति में आठ स्मृति स्थान हैं। स्मृति स्थानों के अद्वितीय पते सारणी 12.4 में दिए गए हैं।

सारणी 12.4

पता	स्थान
000	शब्द 0
001	शब्द 1
010	शब्द 2
011	शब्द 3
100	शब्द 4
101	शब्द 5
110	शब्द 6
111	शब्द 7

इस तरह, स्मृति के प्रत्येक शब्द को एक पता से पहचाना जाता है। पठन संक्रिया (read operation) लागू करके स्मृति स्थान में संग्रहित द्वि-आधारी शब्द को पहचान लिया जाता है और यदि आवश्यक हुआ तो एक अन्य युक्ति में इसे स्थानांतरित किया जा सकता है। उदाहरण के

लिए, यदि हमें शब्द 6 का पठन करना हो, तो हमें पता 110 पर पठन संक्रिया लागू करनी होती है। लेखन संक्रिया लागू करके किसी विशेष स्मृति स्थान पर एक नए शब्द को रखा या संग्रहित किया जा सकता है।

स्मृतियाँ ऊर्जाहासी (volatile) और अहासी (non-volatile) होती हैं। यदि सूचना संग्रहित करने के लिए स्मृति को वैद्युत शक्ति की आवश्यकता हो और वैद्युत शक्ति हटा लेने पर उसमें संग्रहित सूचना समाप्त हो जाए तो इस प्रकार की स्मृति को ऊर्जाहासी (volatile) स्मृति कहते हैं। कई प्रकार की अर्ध चालक स्मृतियाँ ऊर्जा-हासी होती हैं। अहासी स्मृति वैद्युत शक्ति को हटा लेने पर भी सूचना को संग्रहित रखे रहता है। विपुल भंडारण स्मृति युक्तियाँ (mass storage memory devices) अहासी होती है। यादृच्छिक अभिगम स्मृति (रैम) (random access memory) और केवल पठन स्मृति (रॉम) (read only memory) जैसी अन्य प्रकार की स्मृतियों का अध्ययन बाद के भागों में किया जाएगा।

12.4.2 स्मृति की क्षमता

स्मृति की क्षमता का अर्थ समझने से पहले आइए, हम स्मृति संबंधी कुछ शब्दों को जान लें। पिलप-फ्लाप जैसी युक्ति को, जो एक बिट (0 या 1) का संग्रह कर सकती है, एक स्मृति कोष्ठिका (memory cell) कहा जाता है। स्मृति में बिटों या कोष्ठिकाओं के समूह को, जो अनुदेशों (instructions) या आँकड़ों को निरूपित करता है, एक स्मृति शब्द (memory word) कहा जाता है। चार पिलप-फ्लाप वाली रजिस्टर एक ऐसी स्मृति है, जो 4-बिट वाले शब्द को संग्रहित कर सकती है। इसी प्रकार, आठ पिलप-फ्लाप वाली रजिस्टर एक ऐसी स्मृति होती है जो 8-बिट वाले शब्द को संग्रहित कर सकती है। आधुनिक कंप्यूटरों में शब्द की साइज 4 से 64 बिटों तक की होती है। 4-बिट वाले शब्द को निबल (nybble) कहा जाता है और 8-बिट वाले शब्द को बाइट कहा जाता है। शब्द के साइज के रूप में बाइट का प्रयोग अति व्यापक रूप में होता है।

स्मृति की क्षमता वह पद है, जो यह व्यक्त करने के लिए किया जाता है कि एक विशेष स्मृति युक्ति में या एक पूर्ण स्मृति तंत्र (memory system) में कितने बिट संग्रहित किए जा सकते हैं। उदाहरण के लिए आइए, हम यह मान लें कि हमारे पास एक स्मृति है, जो 2048 आठ बिट वाले शब्दों का संग्रह कर सकती है। अर्थात् यह स्मृति $2048 \times 8 = 16384$ बिटों का संग्रह कर सकती है और तब हम यह कहते हैं कि यह स्मृति 16384 बिट संग्रहित कर सकती है। इस क्षमता को व्यक्त करने की एक अन्य विधि 2048×8 है। स्मृति को इस प्रकार व्यक्त करने का अर्थ यह है कि इसमें 2048 शब्द हैं और शब्द की साइज 8 बिट है। साधारणतया किसी स्मृति में शब्दों की संख्या, 1024 की गुणक होती है। अंक $1024 = 2^{10}$ को प्रायः "1K" से निरूपित करते हैं। इस तरह, 2048×8 की स्मृति क्षमता को $2K \times 8$ से भी व्यक्त किया जाता है। बड़ी-बड़ी स्मृतियों के लिए $2^{30} = 1,048,576$ को प्रायः 1M या '1 meg' से निरूपित किया जाता है। अतः $4M \times 8$ स्मृति में $4,194,304 \times 8$ की या 33,554,432 बिटों की संग्रह करने की क्षमता होती है।

उदाहरण 12.2

एक व्यक्ति के पास दो स्मृति युक्तियाँ हैं। इनमें से एक युक्ति 8-बिट की साइज वाले 10M शब्दों को संग्रहित करती है और दूसरी युक्ति 16-बिट की साइज वाले 2M शब्दों को संग्रहित करती है। बताइए कि इनमें से कौन-सी युक्ति अधिक बिट संग्रहित करती है ?

हल

दो स्मृतियाँ $10M \times 8$ और $2M \times 16$ वाली हैं।

$10M \times 8 = 10 \times 1,048,576 \times 8 = 83,886,080$ बिट

$2M \times 16 = 2 \times 1,048,576 \times 16 = 33,554,432$ बिट

अतः $10M \times 8$ वाली स्मृति अधिक बिट संग्रहित करती है।

बोध प्रश्न 3

एक स्मृति की क्षमता $32K \times 8$ है।

क) शब्द का साइज क्या है ?

ख) स्मृति में संग्रहित बिटों की कुल संख्या क्या है ?

12.4.3 यादृच्छिक अभिगम स्मृति (रैम)

यादृच्छिक अभिगम स्मृति को पठन-लेखन स्मृति (read-write memory) भी कहा जाता है। यह रजिस्टरों का समूह होता है, जिनके अपने अद्वितीय पते हैं और उपयुक्त पता का प्रयोग करके स्मृति स्थल पर संग्रहित शब्द को पढ़ा जा सकता है और यदि आवश्यक हुआ तो इस स्थान पर नए शब्दों को लिखा जा सकता है। रैम में संग्रहित शब्द के वास्तविक भौतिक स्थान से कोई अंतर नहीं पड़ता, क्योंकि स्मृति के किसी भी पते के लिए अभिगम समय (जो कि स्मृति युक्ति की गति है, अर्थात् पठन संक्रिया का निष्पादन करने के लिए अवश्यक है) समान होता है। अर्धचालक रैम ऊर्जाहासी (volatile) होते हैं, क्योंकि जब वैद्युत शक्ति हटा दी जाती है, तो संग्रहित आँकड़ा लुप्त हो जाता है।

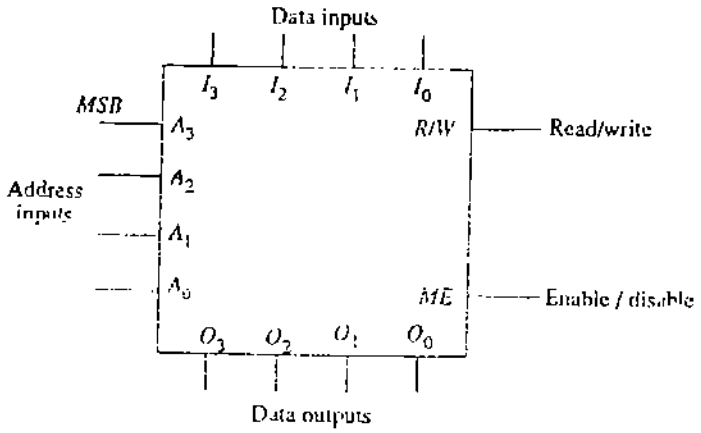
कंप्यूटर पर काम करते समय जब एक प्रोग्राम (program) की सहायता से कुछ अनुदेश दिया जाता है या परिकलन किया जाता है, तब रैम का लगातार प्रयोग संग्रहित सूचनाओं को पढ़ने और नई सूचनाओं को लिखने में किया जाता है। संभवतः आपने इस शब्द को अवश्य सुना होगा, जैसे कि एक विशेष कंप्यूटर का 1 या 4 MB (मेगा बाइट) रैम है।

12.4.4 व्यापक स्मृति संक्रिया

इस बात के होते हुए भी कि प्रत्येक प्रकार की स्मृति की आंतरिक संक्रिया (internal operation) अलग-अलग होती है, यह पाया गया है कि सभी के लिए व्यापक स्मृति संक्रिया (general memory operation) समान होती है। प्रत्येक स्मृति तंत्र में आँकड़ा निवेश, आँकड़ा निर्गत, पता निवेश, पठन या लेखन संक्रिया का चयन करने और स्मृति संक्रिया को समर्थकारी (enabling) या असमर्थकारी (disabling) करने के टर्मिनल होते हैं।

व्यापक स्मृति संक्रिया में पहले स्मृति-स्थान के पता का चयन किया जाता है, जहाँ पर कि पठन या लेखन संक्रिया का निष्पादन करना होता है। फिर यह निर्णय लेना होता है कि आप पठन संक्रिया निष्पादित करना चाहते हैं या लेखन संक्रिया। यदि आप लिखना चाहते है, तो आप लेखन-संक्रिया का निष्पादन कीजिए और स्मृति को आँकड़ा सप्लाई कीजिए। यदि आप पढ़ना चाहते हैं, तो पठन संक्रिया निष्पादित कीजिए और स्मृति से आ रहें आँकड़ों को होल्ड (hold) कीजिए। यदि आप चाहते हैं कि स्मृति पता और पठन/लेखन संक्रिया के साथ अनुक्रिया करें, तो स्मृति को समर्थकारी बनाइए और यदि आप यह नहीं चाहते कि स्मृति अनुक्रिया करे, तो ऐसी स्थिति में स्मृति को असमर्थकारी बना दीजिए।

ऊपर बताई गई संक्रिया को समझने के लिए एक 16 × 4 स्मृति लीजिए जिसे चित्र 12.15 में दिखाया गया है। क्योंकि शब्द-साइज 4-बिट है, इसलिए इसकी चार आँकड़ा निवेश लाइन और चार निर्गत आँकड़ा लाइन होगी। इसकी चार पता लाइन भी होगी, क्योंकि दी हुई स्मृति युक्ति के 16 स्मृति स्थान हैं, जिन्हें 4-बिट पता से व्यक्त किया जा सकता है। इसका एक पठन/लेखन कमान्ड (command) टर्मिनल होता है। यदि इस टर्मिनल को 1 पर रखा जाए तो यह पठन



चित्र 12.15 16 × 4 स्मृति।

संक्रिया करता है और यदि 0 पर रखा जाए तो यह लेखन संक्रिया करता है। इसका एक समर्थकारी/असमर्थकारी टर्मिनल होता है। नीचे दिखाए गए चित्र में यदि इस टर्मिनल को 1 पर रखा जाता है, तो वह स्मृति को समर्थकारी और 0 पर रखने पर असमर्थकारी बनाता है। 4-बिट वाले शब्दों के स्मृति कोष्ठिकाएं (cells) का वास्तविक क्रम उनके पतों के साथ चित्र 12.16 में दिखाया गया है।

स्मृति कोष्ठिकाएं				पते
0	0	1	1	0000
1	0	0	1	0001
0	0	0	0	0010
0	1	1	1	0011
1	0	1	0	0100
1	0	0	0	0101
1	1	1	0	0110
0	0	0	1	0111
1	0	1	1	1000
0	0	0	0	1001
1	1	0	0	1010
0	1	0	1	1011
1	0	0	1	1100
1	1	1	1	1101
0	0	0	1	1110
1	0	1	0	1111

चित्र 12.16 : सोलह 4-बिट वाली शब्दों में स्मृति कोष्ठिकाओं का वास्तविक क्रम।

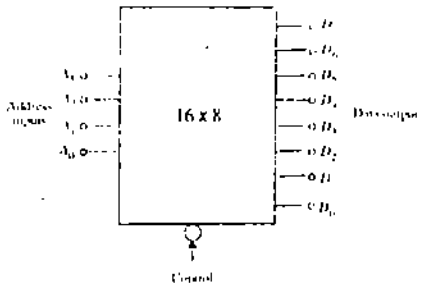
इसे और अच्छी तरह से समझने के लिए, मान लीजिए कि आप चौदहवें स्थान पर संग्रहित शब्द 1111 को 0101 में परिवर्तित करना चाहते हैं। ऐसा करने के लिए, पता 1101 का चयन कीजिए, पठन/लेखन टर्मिनल को 1 पर रखिए, जिससे कि लेखन संक्रिया का चयन किया जा सके और तत्पश्चात् आँकड़ा निवेश में अपेक्षित शब्द 0101 धरिए। इस प्रकार से पुराने शब्द के स्थान पर नए शब्द को संग्रहित किया जाता है।

12.4.5 केवल पठन स्मृति (रॉम)

केवल पठन स्मृति (रॉम) (read only memory) वे अर्धचालक स्मृतियाँ हैं, जिनकी अभिकल्पना उन प्रयोगों के लिए की गई हैं, जहाँ केवल पठन संक्रिया निष्पादित करनी होती है। ये स्मृतियाँ आँकड़ों को स्थायी रूप से होल्ड (hold) किए रहती है। सामान्यतः रॉम पर किसी नए आँकड़े को लिखा नहीं जा सकता, परन्तु उसे पढ़ा जा सकता है। रॉम में स्थायी रूप से संग्रहित किए जाने वाले आँकड़ों का चयन किया जाता है और IC निर्माण के दौरान निर्माता इसे अंतर्निर्मित (inbuilt) कर देता है। फिर भी, कुछ ऐसे प्रकार के रॉम होते हैं, जिनमें आँकड़ों को केवल एक बार वैद्युत रूप से निविष्ट किया जा सकता है। आँकड़ों को निविष्ट करने की प्रक्रिया (process) को रॉम की प्रोग्रामिंग (programming) या बर्निंग (burning) कहा जाता है। इस प्रकार के रॉम को प्रॉम PROM (प्रोग्रामाबॅल (programmable) रॉम) कहा जाता है। कुछ अन्य रॉम में संग्रहित आँकड़े को मिटाया (erase) जा सकता है और रॉम को पुनः प्रोग्रामिंग (re-programming) किया जा सकता है। इस प्रकार के रॉम को एप्रॉम (EPROM) (इरेजेबल (erasable) प्रॉम) कहा जाता है। सभी रॉम अस्थायी होते हैं, अर्थात् वैद्युत शक्ति को हटा लेने पर भी वे आँकड़ों को संग्रहित किए रहते हैं।

16×8 स्मृति का एक ब्लॉक आरेख चित्र 12.17 में दिखाया गया है। इसमें चार पता साइन, आँकड़ा निर्गत के लिए आठ टर्मिनल और एक टर्मिनल, जिसे चिप वरण (CS) (chip select) कहते हैं, जो कि स्मृति को समर्थकारी अथवा असमर्थकारी बनाता है, होते हैं। मान लीजिए 1010 वाले

पते के स्थान पर आँकड़ा पढ़ना हो, तो इसके लिए हम पता निवेश पर $A_3A_2A_1A_0 = 1010$ लागू कर "चिप वरण" का चयन करते हैं, जिससे कि स्मृति को समर्थकारी बनाया जा सके। आँकड़ा निर्गत टर्मिनल उस स्थान पर वास्तव में संग्रहित शब्द को दर्शाते हैं।

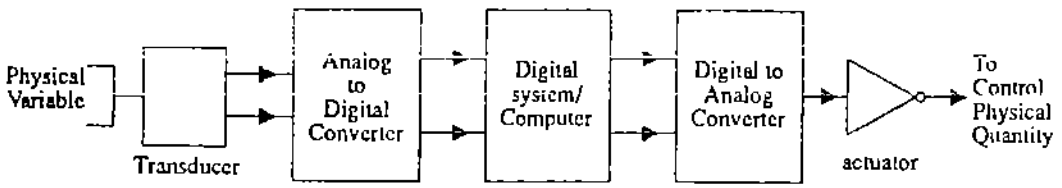


चित्र 12.17 : एक 16×8 रॉम का ब्लॉक आरेख।

12.5 अनुरूप/अंकीय और अंकीय/अनुरूप परिवर्तक

जैसा कि इस इकाई की प्रस्तावना में बताया गया है कि अंकीय तंत्र या कंप्यूटर (computer) अपने सभी कार्यों और आंतरिक संक्रियाओं का निष्पादन अंकीय परिपथों की सहायता से करता है, जिसके लिए अंकीय निवेशों का होना आवश्यक है। एक अंकीय राशि का मान या तो 0 होगा या 1 होगा जबकि अनुरूप राशि (analog quantity) का मान एक सतत् परिसर के भीतर, कोई भी मान हो सकता है और इसका यथातथ मान (exact value) सार्थक (significant) होता है। अधिकांश भौतिक चर राशि अनुरूप राशि होती हैं, जैसे – तापमान, दाब, प्रकाश तीव्रता, श्रव्य सिगनल, स्थिति, चालक आदि। अतः यह आवश्यक हो जाता है कि अंकीय तंत्र की सहायता से विश्लेषित की जाने वाली अनुरूप राशि सर्वप्रथम अंकीय रूप में व्यक्त की जाए। अनुरूप/अंकीय (A/D या ADC) परिवर्तक एक अंकीय परिपथ है, जो एक अनुरूप राशि को अंकीय रूप में रूपांतरित कर देता है, जिसमें अनेक बिट होते हैं, जो अनुरूप निवेश मान को निरूपित करते हैं। इस परिपथ का उपयोग अंकीय तंत्र अथवा कंप्यूटर तथा निवेश चरण के अनुरूप तंत्र के बीच एक अंतरापृष्ट (interface) के रूप में किया जाता है। अंकीय तंत्र का निर्गत अंकीय होता है और इसे अनुरूप राशि के रूप में पुनः रूपांतरित करना आवश्यक हो जाता है। अंकीय/अनुरूप (D/A या DAC) परिवर्तक इस कार्य को निष्पादित कर देता है और इसका निर्गत अनुरूप राशि के संगत अनुरूप वोल्टता या धारा के समानुपाती होता है। इसका उपयोग अंकीय तंत्र या कंप्यूटर और निर्गत चरण के अनुरूप तंत्र के बीच एक अंतरापृष्ठ के रूप में किया जाता है।

चित्र रूप में इसे चित्र 12.18 में दिखाया गया है। आइए, हम यह मान लें कि एक भौतिक तंत्र में एक कंप्यूटर का प्रयोग करके तापमान जैसी एक राशि को नियंत्रित करना है। पहले इस भौतिक राशि को एक ट्रान्सड्यूसर (transducer) की सहायता से संगत वोल्टता या धारा में रूपांतरित किया जाता है। ट्रान्सड्यूसर वह युक्ति है, जो भौतिक चर राशि को वैद्युत सिगनल में बदल देता है। थर्मिस्टर, बोलोमीटर, फोटोसेल, थर्मोकपल सामान्य रूप से उपलब्ध होने वाले कुछ ट्रान्सड्यूसर हैं। इस दृष्टांत में प्रयुक्त प्रवर्तक (actuator) एक युक्ति है जो कि कंप्यूटर नियंत्रित तंत्र में तापमान जैसी भौतिक राशि को नियंत्रित करती है। इस भाग में हम अंकीय से अनुरूप और अनुरूप से अंकीय परिवर्तकों की अभिकल्पना (design) और कार्य-प्रणाली के बारे में अध्ययन करेंगे।

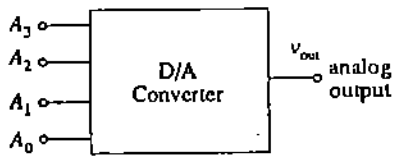


चित्र 12.18 : अंतरापृष्ठों के रूप में प्रयुक्त ADC और DAC।

12.5.1 अंकीय से अनुरूप परियर्तक

पहले हम अंकीय से अनुरूप परिवर्तक (DAC) पर इसलिए विचार कर रहे हैं, क्योंकि अनुरूप से अंकीय परिवर्तक में DAC के प्रयोग की आवश्यकता पड़ती है। DAC का परिपथ BCD या द्वि-आधारी निवेश को लेता है और उसे वोल्टता या धारा में रूपांतरित करता है जो कि निवेश अर्थात् अंकीय मान के समानुपाती होती है। अंकीय निवेश को प्रायः अंकीय तंत्र की एक निर्गत रजिस्टर से, जिसमें सैद्धांतिक रूप से कितने ही बिट हो सकते हैं, प्राप्त किया जाता है। प्रायः प्रयुक्त की जाने वाली रजिस्टर 8-बिट वाली रजिस्टर होते हैं। एक दृष्टांत के रूप में आइए, हम यह मान लें कि एक अंकीय तंत्र का अंकीय निर्गत चार बिट वाला है। अतः हमें एक ऐसे DAC की आवश्यकता होती है जो कि 4-बिट वाले अंकीय निर्गत को एक आनुपातिक अनुरूप मान में रूपांतरित कर सके।

इस प्रकार के एक DAC का खंड आरेख चित्र 12.19 में दिखाया गया है। इसमें चार द्वि-आधारी निवेश लाइन होती हैं, जो $A_3A_2A_1A_0$ को निरूपित करती हैं और एक निर्गत लाइन होती है, जो संगत आनुपातिक अनुरूप राशि को निरूपित करती है। प्रत्येक 4-बिट निवेश की एक अद्वितीय आनुपातिक निर्गत वोल्टता होती है। यहाँ द्वि-आधारी निवेश की $2^4 = 16$ अवस्थाएं हो सकती हैं। आइए, यहाँ हम यह मान लें कि प्रत्येक निवेश एक दशमलव संख्या को निर्दिष्ट करता है। आइए, हम 1V निर्गत को दशमलव संख्या 1 से, 2V को संख्या 2 से, आदि-आदि, प्रकट करें।



चित्र 12.19 : DAC का खंड आरेख।

अंकीय निवेश और अनुरूप निर्गत के रूप में संगत आनुपातिक वोल्टता को सार रूप में सारणी में 12.5 में प्रस्तुत किया गया है। इस उदाहरण में, अनुरूप निर्गत वोल्टता वोल्ट में द्वि-आधारी संख्या के बराबर है। निर्गत वोल्टता द्वि-आधारी की दूनी या कोई और गुणज हो सकती है। अतः हम यह लिख सकते हैं कि :

अनुरूप निर्गत $= k \times$ अंकीय निवेश (12.1)

सारणी 12.5

A_3	A_2	A_1	A_0	V_{out}
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	10
1	0	1	1	11
1	1	0	0	12
1	1	0	1	13
1	1	1	0	14
1	1	1	1	15

जहाँ k आनुपातिकता गुणक (proportionality factor) है और एक दिए हुए DAC के लिए अचर है। दिए हुए उदाहरण में k का मान 1V है, इसलिए V_{out} का मान 1V है, जो अंकीय निवेश है। $0110_2 = 6_{10}$ के लिए हमें यह प्राप्त होता है :

$$V_{out} = 1V \times 6 = 6V.$$

अनुरूप निर्गत (Analog output)

तकनीकी दृष्टि से DAC का निर्गत एक अनुरूप राशि नहीं है। इसके केवल विशिष्ट मान हो सकते हैं। ऊपर के उदाहरण में, 1 के अन्तर पर केवल 0 से 15 तक मान हो सकते हैं अर्थात् 1, 2, 3, ... 15. अतः सही अर्थ में यह एक अंकीय राशि है। निवेश बिटों की संख्या बढ़ाकर संभव निर्गत मानों की संख्या बढ़ाई जा सकती है और उत्तरोत्तर मानों के बीच अंतर को कम किया जा सकता है। इस तरह, निर्गत को बहुत कुछ अनुरूप बनाया जा सकता है। इस समय तो हम केवल यही कह सकते हैं कि का निर्गत छद्म अनुरूप (pseudo analog) है।

निवेश भार (Input weights)

आइए, हम सारणी 12.5 में दिए गए निवेशों और निर्गतों का विश्लेषण करें और केवल उन अंकीय निवेशों पर विचार करें, जहाँ बिटों में से केवल एक बिट 1 है और अन्य तीन बिट 0 हैं। इस प्रकार के निवेशों और इनके संगत निर्गतों को सारणी 12.6 में पुनः लिखा गया है।

सारणी 12.6

A_3	A_2	A_1	A_0	V_{out}
0	0	0	1	1
0	0	1	0	2
0	1	0	0	4
1	0	0	0	8

सारणी 12.6 में सम्मिलित की गई प्रविष्टियों से यह स्पष्ट है कि 1 के योगदानों को द्वि-आधारी संख्या में उनकी स्थिति के अनुसार मापित किया गया है। बिट A_3 का भार 8 है, A_2 का भार 4 है, A_1 का भार 2 है और A_0 का भार 1 है। इस तरह, LSB का भार लघुतम परिवर्तन है। जाँच करने के लिए,

$$1001 = 8 + 0 + 0 + 1 = 9.$$

उदाहरण 12.3

00001 के लिए एक 5-बिट DAC 0.5V उत्पन्न करता है। 11010 के लिए V_{out} ज्ञात कीजिए।

हल

इस उदाहरण में लघुतम परिवर्तन 0.5V है। इसलिए

$$\begin{aligned} 11010 &= 16 \times 0.5 + 8 \times 0.5 + 0 + 2 \times 0.5 + 0 \\ &= 8 + 4 + 1 \\ &= 13V. \end{aligned}$$

उदाहरण 12.4

एक 5-बिट DAC, 10100 के निवेश के लिए 10 mV का निर्गत उत्पन्न करता है। 11101 के अंकीय निवेश के लिए V_{out} क्या होगा ?

$10100_2 = 20_{10}$

V_{out} = $k \times$ अंकीय निवेश

$10\ mV = k \times 20_{10}$

$k = 0.5\ mV.$

अब 11101 का V_{out} इस प्रकार प्राप्त किया जाता है :

$11101_2 = 29_{10}$

$V_{out} = 0.5\ mV \times 29$

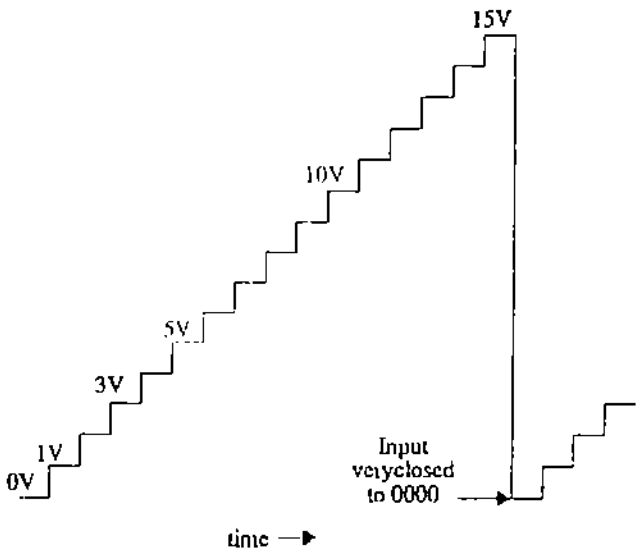
$= 14.5\ mV.$

बोध प्रश्न 4

4-बिट DAC में लघुतम परिवर्तन 0.25V है। एक DAC निवेश 1110 के लिए V_{out} क्या होगा ?

वियोजन (सोपान आमाप) resolution (step size)

वियोजन (resolution) वह लघुतम परिवर्तन है, जो कि अंकीय निवेश में हुए परिवर्तन के कारण अनुरूप निर्गत में हो सकता है। सारणी 12.5 के उदाहरण में लघुतम परिवर्तन 1V है। अतः इस उदाहरण में वियोजन 1V है। वियोजन को सोपान आमाप (step size) भी कहा जाता है। ऊपर दिए गए उदाहरण में वोल्टता में वृद्धि 1V के सोपान में होती है और 15 चरणों में यह 0 से 15 तक चला जाता है। चित्र 12.20 में इसे चित्र रूप में दिखाया गया है।



चित्र 12.20 : सारणी 12.5 में दिए गए उदाहरण के V_{out} का चित्र रूप में निरूपण।

यहाँ यह स्पष्ट है कि 0 से 15V तक 16 स्तर हैं, परन्तु केवल 15 जंप (jump) हैं। अर्थात् 0 से 16 के बीच सोपानों की संख्या 15 है। सामान्यतः सोपानों की संख्या का परिकलन इस प्रकार किया जा सकता है :

सोपानों की संख्या $2^n - 1$.

वास्तव में, वियोजन या सोपान आमाप समीकरण (12.1) का अचर k है। प्रतिशत वियोजन की परिभाषा इस प्रकार दी जाती है :

$$\% \text{ वियोजन} = \frac{\text{सोपान आमाप}}{\text{पूर्ण पैमाना (FS)}} \times 100\% \qquad (12.2)$$

उदाहरण 12.5

उदाहरण 12.4 के DAC का वियोजन (सोपान आमाप) क्या है ? इस DAC से प्राप्त सोपान सिगनल की व्याख्या कीजिए।

हल

इस परिवर्तक के LSB का भार 0.5 mV है। यह वियोजन (सोपान आमाप) का मान हुआ। DAC निवेशों से एक 5-बिट वाले गणित्र को जोड़कर एक सोपान तरंग रूप (staircase wave form) प्राप्त किया जा सकता है। 0 mV से पूर्ण पैमाना निर्गत (निवेश 11111 का $V_{out} = 0.5 \times 16 + 0.5 \times 8 + 0.5 \times 4 + 0.5 \times 2 + 0.5 = 8 + 4 + 2 + 1 + 0.5 = 15.5$ mV) तक सोपान में 15.5 mV के $2^5 = 32$ स्तर होंगे और प्रत्येक 0.5 mV के 31 सोपान होंगे।

बोध प्रश्न 5

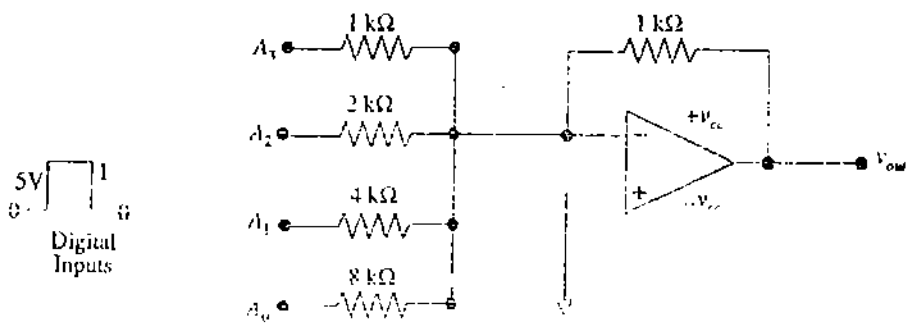
उदाहरण 12.5 के DAC का प्रतिशत वियोजन क्या है ?

DAC परिपथ

अंकीय से अनुरूप रूपांतरण के लिए अनेक विधियां और परिपथ हैं, परन्तु यहाँ उन्हें जानने की आवश्यकता नहीं है। योग प्रवर्धक (summing amplifier) के रूप में एक ऑप-ऐम्प का प्रयोग करके एक आधारभूत DAC परिपथ प्राप्त किया जाता है। एक 4-बिट DAC परिपथ को चित्र 12.21 में दिखाया गया है। निवेश प्रतिरोधक द्वि-आधारी भारित है अर्थात् ये 1:2:4:8 के अनुपात में हैं। इस परिपथ की निर्गत वोल्टता यह होती है :

$$V_{out} = -(V_{A3} + \frac{1}{2} \cdot V_{A2} + \frac{1}{4} \cdot V_{A1} + \frac{1}{8} V_{A0})$$

ऋण चिह्न यह बताता है कि यह एक प्रतिलोमी प्रवर्धक है। ध्यान दीजिए कि अंकीय निवेश बिट या तो 0 या 1 हो सकते हैं। अतः V_{A3}, V_{A2}, V_{A1} और V_{A0} के मान या तो 0 या 5V होंगे।



चित्र 12.21 : एक 4-बिट DAC।

इसलिए 0001 या LSB का V_{out} 5V का एक-आठवाँ हिस्सा अर्थात् 0.625 V होगा। और, यह इस परिवर्तक का सोपान आमाप है। सारणी 12.7 में V_{out} के सोलह स्तर दिखाए गए हैं।

सारणी 12.7 : एक 4-बिट DAC के लिए V_{out} के आदर्श मान

A_3	A_2	A_1	A_0	V_{out}
0	0	0	0	0
0	0	0	1	– 0.625 LSB
0	0	1	0	– 1.250
0	0	1	1	– 1.875
0	1	0	0	– 2.500
0	1	0	1	– 3.125
0	1	1	0	– 3.750
0	1	1	1	– 4.375
1	0	0	0	– 5.000
1	0	0	1	– 5.625
1	0	1	0	– 6.250
1	0	1	1	– 6.875
1	1	0	0	– 7.500
1	1	0	1	– 8.125
1	1	1	0	– 8.750
1	1	1	1	– 9.375 MSB पूर्ण पैमाना

ये मान आदर्श मान होते हैं। हालांकि, वास्तविक मान आदर्श मान के समान नहीं भी हो सकते हैं। वोल्टता में उतार-चढ़ाव होने या अपरिशुद्ध प्रतिरोधकों के कारण कुछ त्रुटि हो सकती है। DAC में हो रही त्रुटि को एक शब्द से व्यक्त किया जाता है जिसे पूर्ण पैमाना त्रुटि (full scale error) कहा जाता है। पूर्ण पैमाना त्रुटि DAC के निर्गत का अपने प्रत्याशित आदर्श मान से अधिकतम विचलन (deviation) है, जो कि पूर्ण पैमाना (full scale) (FS) के प्रतिशत के रूप में व्यक्त किया जाता है। आइए, हम यह मान लें कि ऊपर दिए गए उदाहरण में, DAC की + 0.01% FS त्रुटि है। इसका अर्थ यह है कि त्रुटि 9.375 V का 0.01% है अर्थात् त्रुटि + 0.9375 mV है।

बोध प्रश्न 6

चित्र 12.21 के प्रत्येक निवेश बिट के भार क्या हैं ?

उदाहरण 12.6

यदि चित्र 12.21 के DAC परिपथ में R_F घटकर आधा हो जाए अर्थात् 500 Ω हो जाए, तो 1001 के लिए V_{out} क्या होगा ?

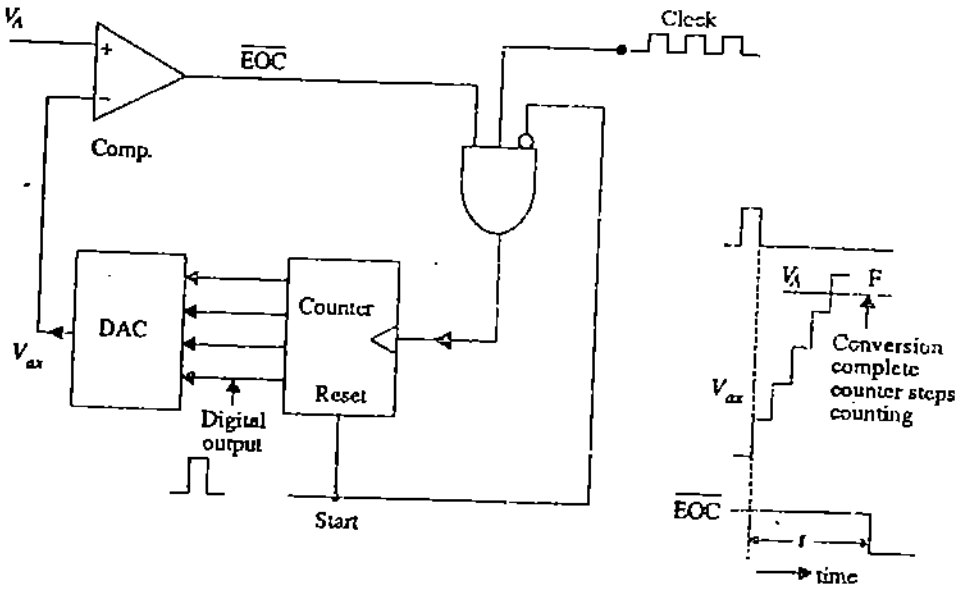
हल

MSB, 0.5 के लाभ के साथ जाता है। अतः इसका भार घटकर पिछली स्थिति के भार का आधा हो जाता है। अर्थात् अब यह 2.5V रह जाता है। इस तरह, प्रत्येक निवेश भार पिछली स्थिति के भार का आधा हो जाता है अर्थात् 1.25, 0.025 और 0.312V हो जाता है। 1001 का V_{out} यह होगा :

$$2.5 + 0 + 0 + 0.312 = 2.812V.$$

12.5.2 अनुरूप से अंकीय परिवर्तक

गणित्र प्रकार (अथवा अंकीय ramp) अनुरूप से अंकीय परिवर्तक (ADC) के परिपथ को चित्र 12.22 में दिखाया गया है। इसमें कम्पेरेटर के रूप में एक ऑप एम्प, एक DAC, एक गणित्र और एक 3-निवेश AND गेट है। इस प्रकार के ADC की कार्य-प्रणाली इस प्रकार है।



चित्र 12.22 : गणित्र प्रकार का ADC।

START स्पंद को लागू कीजिए अर्थात् START निवेश को 1 के बराबर कीजिए। इससे गणित्र RESET हो जाएगा और निर्गत पर 0 प्राप्त होगा। START निवेश पर 1 होने से AND गेट संदमित (inhibit) होता है, जो कि CLK को AND गेट से जाने की अनुमति नहीं देता। गणित्र का निर्गत DAC का निवेश होता है। गणित्र के RESET होने से DAC का निर्गत $V_{ax} = 0$ होता है। V_A अनुरूप निवेश है, जिसे अंकीय रूप में रूपांतरित करना है। क्योंकि $V_{ax} < V_A$ इसलिए ऑप ऐम्प कम्पेरेटर का निर्गत EOC HIGH अर्थात् 1 पर होता है। जब START स्पंद (pulse) 0 पर लौट आता है, तब AND गेट CLK को अपने से होकर गुज़रने की अनुमति दे देता है और CLK गणित्र पर पहुँच जाता है, जो गिनती करना प्रारंभ कर देता है। जैसे-जैसे गणित्र आगे बढ़ता जाता है, वैसे-वैसे DAC निर्गत V_{ax} चरणशः आगे बढ़ने लगता है, जैसा कि चित्र में दिखाया गया है। जब V_{ax} उस चरण पर पहुँच जाता है, जो V_A से अधिक है, तब EOC LOW हो जाता है अर्थात 0 पर हो जाता है और AND गेट को असमर्थकारी कर देता है। अतः CLK, AND गेट से होकर नहीं गुज़र सकता और गणित्र का आगे बढ़ना रुक जाता है। अनुरूप निवेश का उसके अंकीय तुल्य में रूपांतरण पूरा हो जाता है। गणित्र मे संग्रहित आँकड़े V_A के अंकीय रूप होते हैं। गणित्र तब तक निर्गत को hold किए रहता है, जब तक कि एक नया रूपांतरण करने के लिए (pulse) स्पंद की सप्लाई नहीं कर दी जाती।

12.6 सारांश

- रजिस्टर D फ्लिप-फ्लॉपों का एक संयोजन होती है और यह उतनी संख्या में बिट को संग्रहित करती है, जितनी कि फ्लिप-फ्लॉपों की संख्या है। रजिस्टर अति व्यापक रूप से प्रयुक्त होने वाली एक स्मृति युक्ति है। नियंत्रित रजिस्टर तब तक रजिस्टर के आँकड़ों को संग्रहित रख सकती है, जब कि हम चाहें। यह आँकड़ों को बायीं ओर (**वाम विस्थापन रजिस्टर**) **ओर दायीं ओर (दक्षिण विस्थापन रजिस्टर)** विस्थापित कर सकती है। दो प्रकार से किसी रजिस्टर में आँकड़े दिए जा सकते हैं अथवा निर्गत को रजिस्टर से प्राप्त किया जा सकता है। ये दो प्रकार हैं – क्रमिक रूप और युगपत् रूप। कभी-कभी रजिस्टरों को क्रमिक-निवेश क्रमिक-निर्गम, क्रमिक-निवेश युगपत्-निर्गम, युगपत्-निवेश युगपत्-निर्गत में वर्गीकृत किया जाता है।

- गणित्र JK फ्लिप-फ्लॉपों से बनी एक रजिस्टर की तरह होता है और यह गणित्र के CLK निवेश पर पहुँचने वाली क्लॉक स्पंदों की संख्या की गिनती करता है। अतुल्यकालिक गणित्र

या ऊर्मिका गणित्र का CLK निवेश प्रथम फ्लिप-फ्लॉपों को दिया जाता है। अन्य फ्लिप-फ्लॉपों का CLK सिगनल पिछले फ्लिप-फ्लॉपों का निर्गत होता है। अतः उच्च संचरण विलंब के कारण यह अति धीमी गति का होता है। तुल्यकालिक गणित्र में सभी फ्लिप-फ्लॉपों को CLK निवेश की सप्लाई एक साथ की जाती है। तुल्यकालिक गणित्र तीव्र गति का होता है और इसमें केवल एक संचरण विलंब होता है।

- गणित्र का मापांक निर्गम की अवस्थाओं की संख्या होती है और यह 2^n के बराबर होती है, जहाँ n प्रयुक्त फ्लिप-फ्लॉपों की संख्या है। चार फ्लिप-फ्लॉपों वाला 4-बिट गणित्र का मापांक 16 होता है। किसी विशेष मापांक के लिए गणित्र की अभिकल्पना की जा सकती है। Mod 10 या दशक गणित्र के निर्गम की दस अवस्थाएँ हैं, अर्थात् यह 0 से 9 (या 0000 से 1001) तक की गिनती करता है।

- स्मृति अनेक रजिस्टरों से बनी एक युक्ति होती है। प्रत्येक रजिस्टर के आँकड़ों को पढ़ा जा सकता है या इसमें नए आँकड़ों को संग्रहित किया जा सकता है। प्रत्येक कंप्यूटर या अंकीय तंत्र की आंतरिक स्मृति होती है, जिसका प्रयोग आँकड़ों आदि का संग्रह करते समय होता है और यह सदा ही केन्द्रीय संसाधन एकक से संपर्क बनाए रखता है। यादृच्छिक अभिगम स्मृति (रैम) का प्रयोग आंतरिक स्मृति के रूप में किया जाता है। यह ऊर्जाहासी होता है, अर्थात् इसे वैद्युत शक्ति की आवश्यकता बनी रहती है। यदि वैद्युत शक्ति हटा ली जाए, तो इसमें संग्रहित सभी सूचनाएँ लुप्त हो जाती हैं। इसमें प्रति बिट को संग्रह करने की लागत काफी अधिक होती है। केवल पठन स्मृति (रॉम) का प्रयोग विपुल संग्रह युक्ति के रूप में किया जाता है। अधिकांश रॉम अहासी होते हैं अर्थात् वैद्युत शक्ति के हटा लेने पर भी इसमें संग्रहित सूचनाएँ लुप्त नहीं होती। इस स्मृति के आँकड़ों को केवल पढ़ा जा सकता है। फिर भी, अनेक प्रकार के रॉम उपलब्ध होते हैं। प्रॉम को केवल एक बार प्रोग्राम किया जा सकता है। एप्रॉम एक Erasable प्रॉम होता है।

- कंप्यूटर में निवेश और निर्गत अंकीय होते हैं। परन्तु पूरा जगत अनुरूप है। अतः कंप्यूटर द्वारा संसाधित प्रत्येक अनुरूप सिगनल को अनुरूप से अंकीय परिवर्तक की सहायता से अंकीय सिगनल में रूपांतरित किया जाता है। इस कार्य के लिए प्रायः गणित्र प्रकार के ADC का प्रयोग किया जाता है। एक अंकीय से अनुरूप परिवर्तक (ADC) का प्रयोग करके कंप्यूटर के अंकीय निर्गत को एक तुल्य अनुरूप धारा या वोलटता में रूपांतरित किया जाता है। ADC का आधारभूत परिपथ एक प्रतिलोमी ऑप ऐम्प प्रवर्धक होता है, जहाँ निवेश प्रतिरोधक द्वि-आधारी भारित होते हैं। बिटों की संख्या बढ़ाकर DAC के वियोजन को बढ़ाया जा सकता है।

12.7 अंत में कुछ प्रश्न

1) एक Mod 12 गणित्र की अभिकल्पना कीजिए।

2) एक कंप्यूटर X की स्मृति 1M × 8 है और कंप्यूटर Y की स्मृति 500 K × 16 है। इन दो कंप्यूटरों की स्मृतियों के शब्द-साइज क्या हैं ? इन दो कंप्यूटरों में से कौन-सा कंप्यूटर अधिक संख्या में बिट संग्रहित कर सकता है ?

3) एक 4-बिट वाला DAC, 1110 के लिए 7V का निर्गत उत्पन्न करता है। इसकी निर्गत वोल्टता में लघुतम परिवर्तन क्या होगा ? 1001 की निर्गत वोल्टता ज्ञात कीजिए।

4) उस 8-बिट वाले DAC से निर्गत वोल्टता का वृहत्तम मान क्या होगा, जो 00110010 के अंकीय निवेश पर 1V उत्पन्न करता है ?

5) यदि चित्र 12.21 के DAC परिपथ में R का मान घटकर आधा हो गया हो, तो (क) वियोजन क्या होगा और (ख) 1101 की निर्गत वोल्टता क्या होगी ?

12.8 हल और उत्तर

बोध प्रश्न

1. तीसरा फिलप-फ्लॉप CLK आवृत्ति को 8 से विभाजित करता है। अतः निर्गत आवृत्ति 12.5 Hz होगी।

2. गणित्र का Mod 2^n है, जहाँ n प्रयुक्त किए गए फिलप-फ्लॉपों की संख्या है। अतः छः फिलप-फ्लॉपों वाले गणित्र का Mod $2^6 = 64$ होगा।

3. क) शब्द का साइज 8-बिट है।

   ख) बिटों की कुल संख्या, जो स्मृति संग्रहित करती है, यह है :

   $32 \times 1024 \times 8 = 262,144$ बिट।

4. $8 \times 0.25 + 4 \times 0.25 + 2 \times 0.25 + 0 = 2 + 1 + 0.5 = 3.5$ V.

5. % विभेदन $= \dfrac{0.5 \text{ mV}}{15.5 \text{ mV}} \times 100\% = 3.23\%$

6. MSB का लाभ 1 के बराबर है इसलिए इसका भार 5V है। अतः

   MSB — 5V

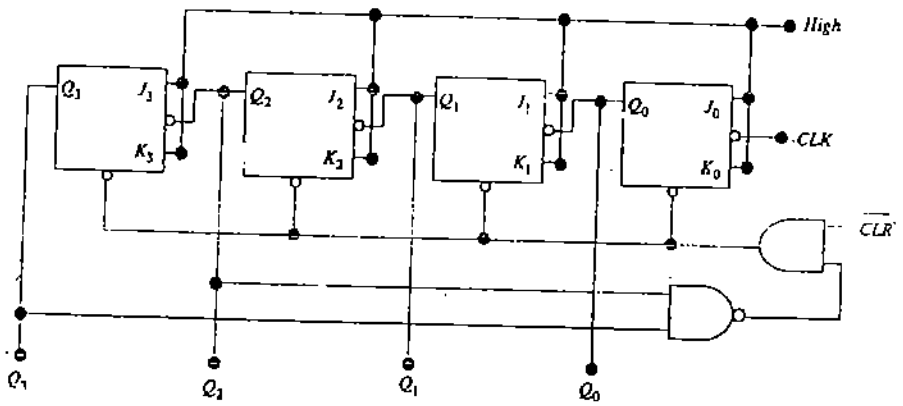
   दूसरा MSB — 2.5V

   तीसरा MSB — 1.25 V

   चौथा MSB अर्थात् LSB — 0.625 V.

अंत में कुछ प्रश्न

1. एक Mod 12 गणित्र 0000 से 1011 तक की गिनती करता है। 1100 के आने पर गणित्र को RESET हो जाना चाहिए। अतः परिपथ ऐसा बनाना चाहिए जिससे कि जब 1100 आता हो, तब वह सभी फिलप-फ्लॉपों को CLEAR कर दे। Mod 12 गणित्र का परिपथ चित्र 12.23 में दिखाया गया है।



चित्र 12.23 : Mod 12 गणित्र।

2. कंप्यूटर X की शब्द साइज 8-बिट हैं और कंप्यूटर Y की 16 बिट है।

   कंप्यूटर X के लिए

   $1M \times 8 = 1 \times 1,048,576 \times 8 = 8,383,608$ बिट

   कंप्यूटर Y के लिए

   $500 \times 1024 \times 16 = 8,192,000$ बिट

   अतः कंप्यूटर X अधिक बिट संग्रहित कर सकता है।

3. उदाहरण 12.4 देखिए। निर्गत वोल्टता में लघुतम परिवर्तन 0.5V का है। 1001 की निर्गत वोल्टता 4.5V है।

4. $00110010_2 = 50_{10}$

$1V = K \times 50$

इसलिए, $K = 20\,mV$

$11111111_2 = 255_{10}$ के लिए निर्गत वृहत्तम होगा।

$V_{out\,(max)} = 20\,mV \times 255$

$= 5.10\,V.$

5. उदाहरण 12.6 देखिए। वियोजन 0.312V है और 1101 की निर्गत वोल्टता 4.062V है।

12.9 शब्दावली

अंकीय परिपथ	–	digital circuit
अंतरापृष्ठ	–	interface
अतुल्यकालिक	–	asynchronous
अनुदेश	–	instruction
अनुरूप	–	analogue
अभिगम	–	access
असमर्थकरण	–	disable
अह्रासी	–	non-volatile
ऊर्जा-ह्रास	–	volatile
ऊर्मिका	–	ripple
केवल पठन स्मृति (रॉम)	–	read only memory (ROM)
क्लॉक	–	clock
गणित्र	–	counter
चयक	–	buffer
निबल	–	nybble
पता	–	address
यादृच्छिक अभिगम स्मृति (रॉम)	–	random access memory (RAM)
वलय	–	ring
विस्थापन	–	shift
शब्द	–	word
संक्रिया	–	operation
संसाधन	–	processing
तुल्यकालिक	–	synchronous

समर्थकरण	–	enable
स्मृति	–	memory
हासिल	–	carry
अतुल्यकालिक	–	asynchronous
क्रमगत	–	consecutive
पूरकित	–	toggle

इकाई 13 इलेक्ट्रॉनिक उपकरण

इकाई की रूपरेखा

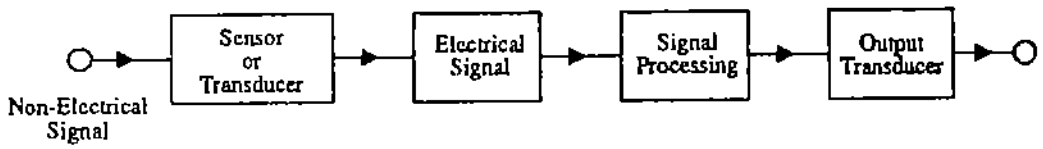
13.1 प्रस्तावना
उद्देश्य

13.2 कैथोड किरण दोलनदर्शी
कैथोड किरण ट्यूब (CRT)
मूल दोलनदर्शी
प्रयोगशाला दोलनदर्शी
वोल्टता, धारा और समय का मापन
अंकीय और भंडारण दोलनदर्शी

13.3 सिग्नल जनित्र
13.4 इलेक्ट्रॉनिक वोल्टमापी
13.5 शक्तिमापी
13.6 चुंबकीय क्षेत्रमापी
13.7 सारांश
13.8 अंत में कुछ प्रश्न
13.9 हल और उत्तर
13.10 शब्दावली

13.1 प्रस्तावना

जैसा कि आप जानते हैं कि किसी तंत्र के व्यावहारिक अनुप्रयोग में हमें एक प्रतिरूपी स्थिति का सामना करना पड़ता है, जैसा कि चित्र 13.1 में दिखाया गया है।



चित्र 13.1 : व्यावहारिक अनुप्रयोग में एक स्थिति।

सिग्नल संसाधन परिपथों (signal processing circuits) में हम यह मानकर चलते हैं कि हमें अपेक्षित वैद्युत सिग्नल उपलब्ध हैं और हमें निवेश संवेदक (input sensor) की चिन्ता करने की आवश्यकता नहीं है। परिपथ का निष्पादन एक ऐसे उपकरण पर प्रदर्शित होता है, जिसे हम देख सकते हैं। सिग्नल जनित्रों (signal generators) से अलग-अलग आकार और अलग-अलग अवधि के सिग्नल उपलब्ध हो जाते हैं और इन सिग्नलों को एक दोलनदर्शी (oscilloscope) से प्रदर्शित किया जाता है।

हम जानते हैं कि सभी परिपथ ट्रान्जिस्टर, FET, MOSFET आदि जैसे कुछ सक्रिय घटकों और प्रतिरोधक, प्रेरक और संधारित्र जैसे निष्क्रिय घटकों से बने होते हैं। निष्क्रिय घटकों के मानों को मापने के लिए हम मल्टीमीटर (multimeter), सेतु (L और C के लिए) आदि का प्रयोग करते हैं। इस इकाई में हम इलेक्ट्रॉनिक वोल्टमापी का अध्ययन करेंगे जो कि मल्टी-मीटर की तुलना में अधिक संवेदनशील और इस तरह अधिक परिशुद्ध यंत्र है: एक नानक प्रतिरोध का प्रयोग करके इलेक्ट्रॉनिक वोल्टमापी का प्रयोग अति निम्न धारा को मापने में भी किया जा सकता है। क्योंकि इन परिपथों द्वारा ली गई (consumed) शक्ति का काफी महत्व होता है, इसलिए यहाँ हम शक्तिमापी (power meter) का भी अध्ययन करेंगे। शक्तिमापी के निर्माण का अध्ययन करते समय हम यह देखेंगे कि मापी (meter) की सुई की गति के लिए आवश्यक बल-आघूर्ण (torque) चुंबकीय क्षेत्र और धारा की पारस्परिक क्रिया की सहायता से जनित होता है। अतः यहाँ हम चुंबकीय क्षेत्र के मापन की कला पर भी चर्चा करेंगे।

उद्देश्य

इस इकाई को पढ़ लेने के बाद आप :

- दोलनदर्शी का आधारभूत निर्माण, कार्य-प्रणाली और कुछ अनुप्रयोगों के बारे में समझ सकेंगे,
- विभिन्न आकार के सिग्नलों के जनन को समझ सकेंगे,
- इलेक्ट्रॉनिक वोल्टमापी से वोल्टता का ठीक-ठीक मापन कर सकेंगे,
- शक्ति का मापन कर सकेंगे, और
- चुम्बकीय क्षेत्र का मापन कर सकेंगे।

13.2 कैथोड किरण दोलनदर्शी

कैथोड किरण दोलनदर्शी, जिसे सामान्यतः दोलनदर्शी या केवल "दर्शी" कहा जाता है, संभवतः अति उपयोगी वैद्युत मापन यंत्र है। दोलनदर्शी से प्रेक्षित किए जाने वाले कुछ वैद्युत प्राचल है – ac या dc वोल्टता, परोक्ष रूप से ac या dc धारा, समय-कला संबंध, आवृत्ति और तरंग भूल्यांकनों का एक व्यापक परिसर जैसे उत्थान काल (rise time), पतन काल (fall time), निनाद (ringing) और अतिक्रमण (overshoot)। दोलनदर्शी में निम्नलिखित मुख्य उपतंत्र (sub system) होते हैं :

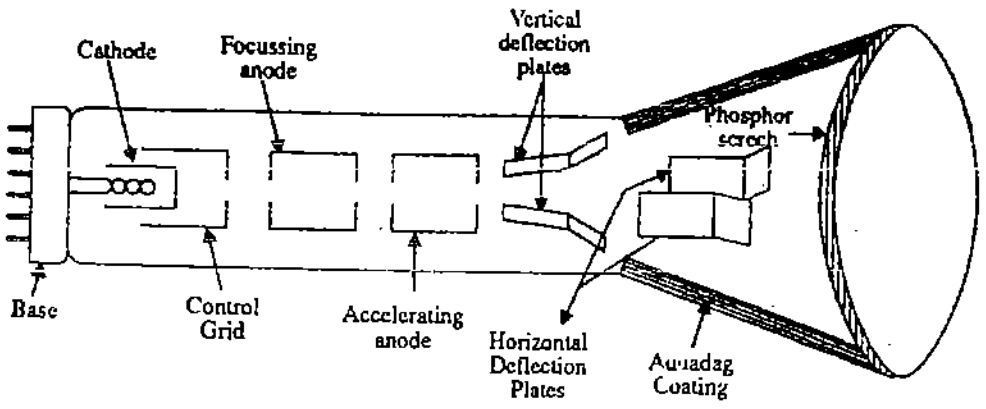
- कैथोड किरण ट्यूब या CRT
- उर्ध्वाधर एम्प्लीफॉयर
- क्षैतिज एम्प्लीफॉयर
- प्रसर्प जनित्र (sweep generator)
- ट्रिगर परिपथ
- संबंधित शक्ति सप्लाई

दोलनदर्शी का अत्यंत महत्वपूर्ण भाग कैथोड किरण ट्यूब है। शेष उपतंत्र सिग्नल–अनुकूलन (signal conditioning) के लिए आवश्यक होते हैं, जिससे कि निवेश सिग्नल (input signal) का दृश्य निरूपण (visual representation) कैथोड किरण ट्यूब के फलक (face) पर प्रदर्शित हो सके।

13.2.1 कैथोड किरण ट्यूब (CRT)

दोलनदर्शी में प्रयुक्त किए जाने वाला कैथोड किरण ट्यूब टेलीविजन के पिक्चर-ट्यूब से काफी मिलता-जुलता है। कैथोड किरण ट्यूब का एक अनुप्रस्थ-निरूपण चित्र 13.2 में दिखाया गया है। कैथोड किरण ट्यूब के मुख्य घटक ये हैं:

- निर्वातितकांच आवरक (envelope)
- इलेक्ट्रॉन गन असेम्बली
- विक्षेपी प्लेट असेम्बली
- फास्फर लेपित स्क्रीन



चित्र 13.2 : कैथोड किरण ट्यूब के मुख्य घटक।

पांच आवरक को अत्यधिक निर्वातित कर दिया जाता है, जिससे कि इलेक्ट्रॉन किरण पुंज ट्यूब में सरलता से गतिमान (transverse) हो सके। प्रयोगशालाओं में प्रयुक्त होने वाले अधिकांश गुणता दोलनदर्शियों में एक ऐसे कैथोड किरण ट्यूब का प्रयोग किया जाता है, जिसका कि लगभग 5 इंच के व्यास वाला एक गोल स्क्रीन होता है। उच्च वोल्टता संबंधन को छोड़कर अन्य सभी वैद्युत संबंधन CRT के आधार के जरिए किए जाते है।

इलेक्ट्रॉन गन असेम्बली में एक परोक्ष रूप से तप्त कैथोड और आवश्यक हीटर, एक नियंत्रण ग्रिड, फोकसन एनोड और त्वरक एनोड होते हैं। इलेक्ट्रॉन गन असेम्बली का उद्देश्य इलेक्ट्रॉनों का स्रोत उपलब्ध कराना है, जो कि एक किरण-पुंज के रूप में अभिसरित और फोकसित होते हों और जो प्रतिदीप्त (Fluorescent) स्क्रीन की ओर त्वरित होते हों। किरण-पुंज को बनाने वाले इलेक्ट्रॉन तप्त कैथोड से हो रहे तापायनिक उत्सर्जन (thermiomic emision) द्वारा प्राप्त होते हैं। कैथोड एक बेलनाकार टोपी से घिरा होता है, जो कि ऋण विभव पर होता है। क्योंकि नियंत्रण ग्रिड ऋण विभव पर होता है, इसलिए बेलन की दीवारों से इलेक्ट्रॉन प्रतिकर्षित होते हैं और वे फोकसन तप्त त्वरक एनोडों के विद्युत-क्षेत्र में चले जाते हैं।

त्वरक क्षेत्र का परिमाण यह होता है :

$$E = \frac{V_a}{d}$$

जहाँ V_a = त्वरक एनोड वोल्टता और d = कैथोड और दूसरे एनोड के बीच मापी गई मीटरों में दूरी है। जब इलेक्ट्रॉन विद्युत-क्षेत्र, जिसे एक-समान तीव्रता वाला माना गया है, में पहुंचता है, तो इलेक्ट्रॉनों पर एक बल लगता है, जो इन्हें ट्यूब के अक्ष के अनुदिश त्वरित कर देता है। बल का परिमाण यह होता है :

$$F = EQ = ma \Rightarrow a = \frac{EQ}{m}$$

जहाँ E = विद्युत क्षेत्र की तीव्रता और Q = इलेक्ट्रॉनिक आवेश = 1.6×10^{-19} C, m = इलेक्ट्रॉन-संहति, a = विद्युत क्षेत्र से उत्पन्न त्वरण है। ऊपर के समीकरण में विद्युत-क्षेत्र के व्यंजक का प्रयोग करने पर हमें यह प्राप्त होता है :

$$a = \frac{V_a Q}{dm}$$

त्वरण के दौरान इलेक्ट्रॉन के वेग में जैसे-जैसे वृद्धि होती है, वैसे-वैसे उसकी गतिज ऊर्जा में भी वृद्धि होने लगती है। यदि अर्जित वेग v हो, तो

$$\frac{1}{2} mv^2 = V_a Q \Rightarrow v = \sqrt{\frac{2V_a Q}{m}}$$

ऊपर दिए गए समीकरण से प्राप्त चाल पर इलेक्ट्रॉन गन असेम्बली को छोड़ देने के बाद इलेक्ट्रॉन विक्षेपी प्लेट से नियंत्रित प्रदेश से होकर गुजरते हैं। प्लेटों का एक युग्म किरण-पुंज की ऊर्ध्वाधर गति को नियंत्रित करता है जबकि दूसरा युग्म इलेक्ट्रॉन वेग के अनुदैर्ध्य घटक (longitudinal component) को नियंत्रित करता है। विक्षेपी प्लेट (deflection plate) दो ज्यामितीय प्राचलों अर्थात् प्लेट की लंबाई (L) और प्लेटों के बीच की दूरी (d) से निर्धारित होते हैं। प्लेटों की विक्षेपण क्रिया प्लेटों के बीच के निम्नलिखित विद्युत-क्षेत्र की तीव्रता E_d पर निर्भर करती है

$$E_d = \frac{V_d}{d}$$

जहाँ V_d = विक्षेप वोल्टता का परिमाण है। यह क्षेत्र इलेक्ट्रॉनों पर $E_d Q$ के मान के बराबर बल, F_d लगता है, जिससे कि इलेक्ट्रॉनों की किरण पुंज अपनी सरल रेखा प्रक्षेप-पथ से विक्षेपित हो जाती है। अर्थात्

$$F_d = E_d Q = \frac{V_d}{d} Q = ma_y$$

$$\Rightarrow a_y = \frac{V_d Q}{md} = y\text{-अक्ष के अनुदिश त्वरण।}$$

यहाँ यह दिखाया जा सकता है कि इलेक्ट्रॉन द्वारा तय की गई पार्श्व (lateral) दूरी यह होती है :

$$h = \frac{V_d Q t^2}{2\,dm}$$

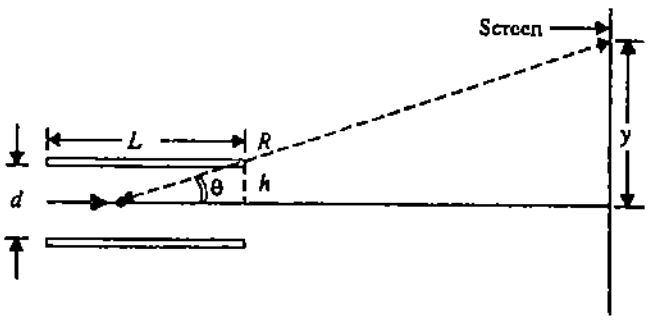
जहाँ t = प्लेटों से होकर जाने में इलेक्ट्रॉनों द्वारा लिया गया समय है:

$$t = \frac{L}{v}$$

यहाँ v, इलेक्ट्रॉन गन असेम्बली से बाहर निकलते समय इलेक्ट्रॉनों का वेग है।

इन समीकरणों को संयोजित करने पर हमें यह प्राप्त होता है:

$$h = \frac{L^2 V_d}{4 V_a d}$$



चित्र 13.3 : CRT में इलेक्ट्रॉन किरण-पुंज का विक्षेपण।

चित्र 13.3 से

$$\theta = \frac{h}{L/2} = \frac{2h}{L} = \frac{y}{R}$$

$$\Rightarrow y = \frac{2hR}{L}$$

$$= \frac{RLV_d}{2V_a d}$$

$$= \frac{V_d}{y} = \frac{2V_a d}{RL}$$

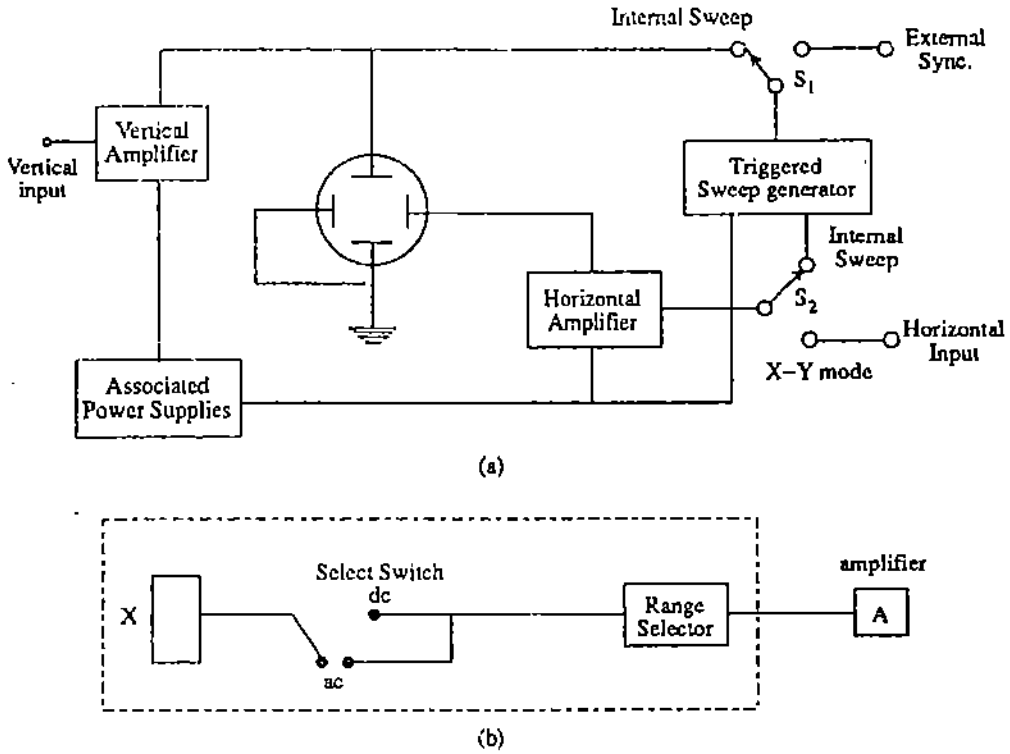
शब्द $\frac{V_d}{y}$ को "विक्षेप सुग्राहिता" (deflection sensitivity) कहा जाता है और इसे "प्रति एकक विक्षेपण के लिए आवश्यक वोल्टता" से परिभाषित किया जाता है।

जब इलेक्ट्रॉन किरण-पुंज CRT के फास्फर लेपित फलक (face) पर पड़ता है, तो "प्रतिदीप्ति" के कारण प्रकाश की एक बिन्दु बन जाती है, क्योंकि फास्फर एक प्रतिदीप्त पदार्थ है। उच्च वेग इलेक्ट्रॉन जो CRT के फास्फर लेपित फलक पर पड़ते हैं, या तो संघट्ट (collision) के कारण प्रतिकर्षित हो जाते हैं या स्क्रीन का वैद्युत संतुलन बनाए रखने के लिए इलेक्ट्रॉनों का द्वितीयक उत्सर्जन (secondary emission) करते हैं। इन इलेक्ट्रॉनों को भूमि तक वापस आने के लिए पथ उपलब्ध कराने के लिए CRT के आंतरिक पृष्ठ को ग्रेफाइट से लेपित कर दिया जाता है जिसे ऐक्वाडॉग कहा जाता है।

13.2.2 मूल दोलनदर्शी

CRT और इलेक्ट्रॉन किरण-पुंज के त्वरण, विक्षेपण और फोकसन से संबंधित नियंत्रणों से हमें स्क्रीन पर एक प्रकाशयुक्त बिन्दु प्राप्त होता है। एक मापन यंत्र के रूप में इसको व्यावहारिक उपयोग में लाने के लिए हमें CRT से अतिरिक्त इलेक्ट्रॉनिक परिपथिकी (circuitry) अवश्य जोड़ देनी चाहिए जिससे कि इलेक्ट्रॉन किरण पुंज के अति तीव्र विक्षेपण और नियंत्रण का एक साधन उपलब्ध हो सके। इलेक्ट्रॉनिक परिपथ का उद्देश्य किरण-पुंज को ऐसा बना देना है, कि वह CRT स्क्रीन पर दोलनदर्शी के निवेश टर्मिनलों (input terminals) पर लागू किए गए सिग्नल का

पुनरुत्पादन अनुरेखित कर सके। मूल दोलनदर्शी का एक ब्लॉक आरेख (block diagram) चित्र 13.4 (क) में दिखाया गया है।



चित्र 13.4 : (क) मूल कैथोड किरण दोलनदर्शी का ब्लॉक आरेख (ख) ऊर्ध्वाधर प्लेट के प्रवर्धक में निवेश।

CRT स्क्रीन पर प्रदर्शित किए जाने वाले सिग्नल को ऊर्ध्वाधर निवेश टर्मिनल पर लागू किया जाता है। तत्पश्चात यह सिग्नल ऊर्ध्वाधर एम्प्लीफॉयर को जाता है। सिग्नल प्रवर्धित हो जाता है और यह ऊर्ध्वाधर विक्षेपी प्लेट पर लागू होता है, जिसके कारण किरण-पुंज उर्ध्वाधर तल में विक्षेपित हो जाता है।

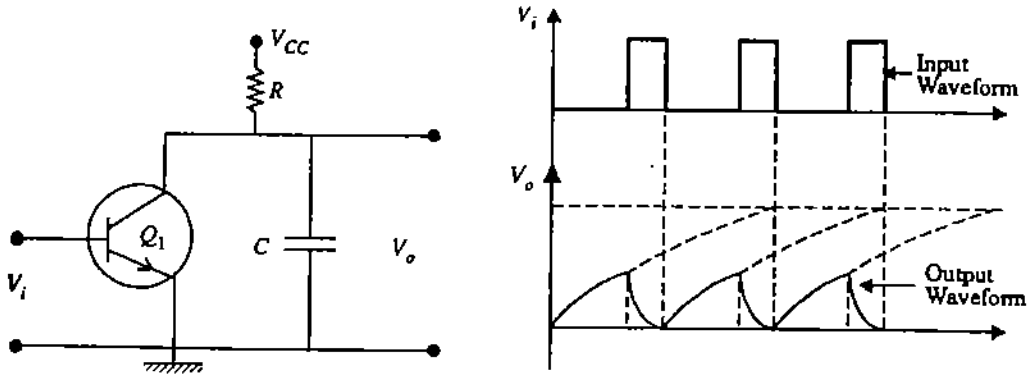
ऊर्ध्वाधर प्लेट के प्रवर्धक में निवेश

x-निवेश से अंकित टर्मिनल पर वाह्य सिग्नल लागू किया जाता है जैसा कि चित्र 13.4 (ख) में दिखाया गया है। जिस सिग्नल का मापन कर रहे हैं उसके अनुसार ac या dc स्थिति पर वरण स्विच (select switch) को रखा जाता है। y-प्लेट के निवेश एम्प्लीफायर को सामान्यतः एम्प्लीफायर A के मानक निवेश परिसर के लिए अंशांकित (calibrated) किया जाता है। उच्च वोल्टता के मापन के लिए एक परिसर वरित्र (range selector) होता है, जो A पर अपेक्षित निवेश में सिग्नल का मूलतः क्षीणीकृत (attenuates) करता है। (फिल्टरों और क्षीणकारियों का अध्ययन पहले की कर चुके हैं)।

क्षैतिज प्लेट के प्रवर्धक में निवेश

जैसा कि चित्र 13.4 (क) में देखा जा सकता है, उर्ध्वाधर प्रवर्धक के निर्गत को स्विच S की Internal Sync वाली स्थिति से जोड़ दिया जाता है। स्विच को Internal Sync पर set कर, जैसा कि सामान्यतः दोलनदर्शी के साथ काम करते समय किया जाता है, उर्ध्वाधर प्रवर्धक का निर्गत प्रसर्प जनित्र (sweep generator) पर लागू किया जाता है। निवेश वोल्टता तरंग रूप (चाहे किसी भी आकार का हो), एक विशेष मान पर स्विच को ट्रिगरित कर देता है, जिससे कि स्पंद उत्पन्न होने लगते हैं। ये स्पंद आरादंती जनित्र (sawtooth generator) परिपथ में जाते हैं, जिससे कि ramp सिग्नल उपलब्ध हो जाता है। यह सिग्नल प्रसर्प जनित्र को ट्रिगरित कर देता है जैसा कि चित्र 13.5 में दिखाया गया है। प्रसर्प जनित्र का उद्देश्य क्षैतिज विक्षेपी प्लेट पर एक ऐसी वोल्टता तरंग रूप विकसित करना है, जिसमें समय के साथ रैखिकतः वृद्धि होती हो। इस प्रकार के तरंग रूप को "रैम्प चरण" (ramp stage) या "आरादंती तरंग रूप" (sawtooth wave form) कहा जाता है। इस वोल्टता तरंग रूप के कारण प्रति इकाई समय में इलेक्ट्रॉन किरण पुंज क्षैतिजतः समान दूरी तक विक्षेपित हो जाता है। आरादंती जनन के लिए स्पंद वाह्य स्रोत से भी प्राप्त हो सकता है,

बशर्ते उसका निवेश समकालिक हो (x-प्लेट पर आरादंती सिग्नल ठीक उसी समय उत्पन्न होता है, जिस समय y-प्लेट पर तरंग रूप बनना प्रारंभ होता है।) सामान्यतः हम दोलनदर्शी का प्रयोग आंतरिक समकालन विधा (synchronisation mode) में करते हैं। क्षैतिज प्रवर्धक का काम सिग्नल के क्षैतिज विक्षेपी प्लेट पर लागू होने से पहले सिग्नल को निवेश पर प्रवर्धित करना होता है।



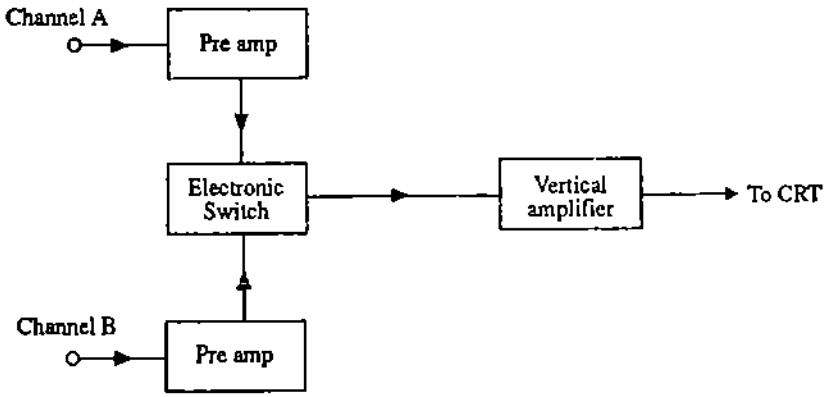
चित्र 13.5 : सरल आरादंती जनित्र और संबंधित तरंग रूप।

स्विच S_2 का काम या तो x-प्लेट में आरादंती तरंग जनित करना है या दोलनदर्शी के x-प्लेट में सीधे सिग्नल प्रस्तुत करना है। दो दोलित्रों से प्राप्त तरंग (sine wave) को दोलनदर्शी के x-और y-प्लेटों में लागू करके लिसाजू की आकृतियाँ (Lissajous figures) प्राप्त की जा सकती है, जिससे आवृत्ति का मापन किया जा सकता है। क्षैतिज प्रवर्धक का निवेश सिग्नल उस स्थिति पर निर्भर करता है, जिस स्थिति पर स्विच S_2 set किया जाता है

13.2.3 प्रयोगशाला दोलनदर्शी

(i) द्वैत-अनुरेखक दोलनदर्शी (dual trace oscilloscope)

एकल इलेक्ट्रॉन किरण-पुंज का वैद्युततः स्विचन (electrically switching) करके द्वैत अनुरेखक प्राप्त किया जाता है। चित्र 13.6 में दो उर्ध्वाधर निवेश चैनलों का और उस इलेक्ट्रॉनिक स्विच का ब्लॉक आरेख दिखाया गया है, जो बारी-बारी से दो निवेश चैनलों को उर्ध्वाधर प्रवर्धक से जोड़ता रहता है। सामान्यतः द्वैत अनुरेखक दोलनदर्शी कम से कम चार विधाओं में काम कर सकता है।



चित्र 13.6 : द्वैत अनुरेखक दोलनदर्शी के निवेश चैनलों का ब्लॉक आरेख।

इन विधाओं को A, B, एकांतर (alternate) और अंतरायित (chopped) के नाम से जाना जाता है। जब विधा A अथवा B होती है, तो उस चैनल पर केवल नियेश ही प्रदर्शित होता है। एकांतर विधा में एकांतर अनुरेखों पर निवेश प्रदर्शित होते हैं। क्योंकि स्विचन दर को प्रसर्प जनित्र के साथ समकालन कर दिया जाता है, इसलिए स्विचन उसी दर से होता है, जिस दर से प्रसर्प जनित्र का निर्गम होता है। अपेक्षाकृत उच्च-आवृत्ति सिग्नलों का प्रदर्शन करने के लिए प्रायः दोलनदर्शी की एकांतर विधा को उत्तम माना जाता है। "अंतरायित विधा" (chopped mode) में इलेक्ट्रॉनिक स्विचन की दर प्रसर्प दर से पूर्णतः स्वतंत्र होती है। अतः प्रत्येक प्रदर्श (display) का कुछ भाग उस समय लुप्त हो जाता है, जिस समय अन्य सिग्नलों का प्रदर्शन किया जा रहा होता है। अंतरायित विधा का प्रयोग सामान्यतः निम्न प्रसर्प दरों पर किया जाता है, जबकि एकांतर विधा में प्रदर्शन में अत्यधिक स्फुरण (flicker) होता है।

(ii) भंडारण दोलनदर्शी (storage oscilloscope)

दोलनदर्शी के ऐसे अनेक अनुप्रयोग हैं, जहाँ CRT फास्फर की सीमित पश्चदीप्ति (persistence) के कारण केवल एक बार घटित होने वाली घटनाओं का सही काल (real time) प्रेक्षण लेना लगभग असंभव हो जाता है। यद्यपि ऐसी घटनाओं का अभिलेखन फोटोग्राफीय रूप से किया जा सकता है, परन्तु ऐसा करने में खर्चा काफी बैठ सकता है और साथ ही समय भी काफी लग सकता है। भंडारण दोलनदर्शी की सहायता से कितने ही समय तक CRT प्रदर्श को बनाए रखा जा सकता है। भंडारण CRT में दो इलेक्ट्रॉन गनों का प्रयोग किया जाता है, जिनमें प्रायः प्रयुक्त इलेक्ट्रॉन गन को लेखन गन (writing gun) कहा जाता है और दूसरा पूर गन (flood gun) कहलाता है, जो पूरे CRT स्क्रीन पर निम्न ऊर्जा इलेक्ट्रॉनों से एक-समान रूप से बमबारी करता है। इन निम्न ऊर्जा इलेक्ट्रॉनों से टकराए गए फास्फर कण में अत्यधिक निम्न-स्तर का आवेश आ जाता है, जबकि अ-ऊर्जायित कण (unenergised particles) परिवर्तन रहित अवस्था में बने रहते हैं। जब एक अनुरेख को अभिलेखित करना होता है, तब लेखन गन को चला दिया जाता है जिससे कि उच्च ऊर्जा इलेक्ट्रॉन स्क्रीन पर पड़ते हैं और उस पर एक प्रतिबिंब बन जाता है। फास्फर स्क्रीन का भूसंपर्कन करके, जो कि आधिक्य आवेश को हटा देता है, स्क्रीन को मिटा दिया जाता है।

13.2.4 वोल्टता, धारा और समय का मापन

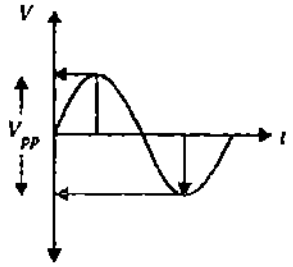
दोलनदर्शियों के अनुप्रयोगों में मूल वोल्टता, समय, आवृत्ति मापन तथा तरंग रूप प्रेक्षण से लेकर विज्ञान, इंजीनियरिंग और टेक्नोलॉजी के सभी क्षेत्रों में अति विशिष्ट अनुप्रयोग तक आते हैं।

वोल्टता मापन

दोलनदर्शी से किए जाने वाला अति प्रत्यक्ष वोल्टता मापन शिखर-शिखर मान (peak-to peak value) होता है। यदि आवश्यक हो, तो वोल्टता के rms मान को शिखर-शिखर मापों से सरलता से परिकलित किया जा सकता है। CRT प्रदर्श से वोल्टता मान प्राप्त करने के लिए दो चीजें ज्ञात करना आवश्यक है : वोल्ट/भाग में व्यक्त उर्ध्वाधर क्षीणकारी (attenuator) किस स्थिति पर है तथा किरण पुंज का शिखर-शिखर (peak to peak) कितना विक्षेपण है। तब वोल्टता का शिखर-शिखर मान इस प्रकार परिकलित किया जाता है (देखिए चित्र 13.7)।

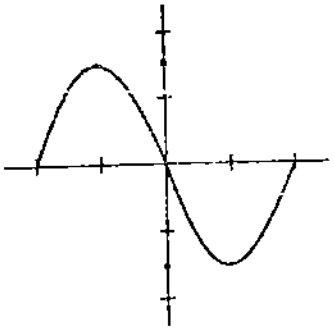
$$V_{p\text{-}p} = \left(\frac{\text{वोल्ट}}{\text{भाग}}\right) \times \text{भागों की संख्या}$$

इसे उदाहरण 13.1 को लेकर अच्छी तरह से समझा जा सकता है।



चित्र 13.7 : वोल्टता मापन।

उदाहरण 13.1 : मान लीजिए चित्र 13.8 में दिखाया गया तरंग रूप एक दोलदर्शी के स्क्रीन पर दिखाई पड़ता है। यदि उर्ध्वाधर क्षीणकारी को 0.5 वोल्ट/भाग पर set कर दिया जाए, तो सिग्नल के शिखर-शिखर आयाम का परिकलन कीजिए।



चित्र 13.8

हल

$$V_{p-p} = \frac{\text{वोल्ट}}{\text{भाग}} \times \text{भागों की संख्या}$$

$$= \frac{0.5}{\text{भाग}} \times 3 \text{ भाग}$$

$$= 1.5V.$$

आवर्त-काल और आवृत्ति के माप

दोलनदर्शी से आवर्ती सिग्नलों के आवर्त-काल और आवृत्ति को सरलता से मापा जा सकता है। इसमें तरंग रूप का प्रदर्शन कुछ इस प्रकार होना चाहिए, जिससे कि स्क्रीन पर एक पूरा चक्र प्रदर्शित हो जाए। यदि प्रदर्शित किया गया एकल चक्र स्क्रीन को अधिक से अधिक क्षैतिज दूरी तक भर दे, तो ऐसा करने पर परिशुद्धता में सामान्यतः सुधार आ जाता है। आवर्त काल का परिकलन इस प्रकार किया जाता है :

$$T = \left(\frac{\text{समय}}{\text{भाग}}\right) \left(\frac{\text{भागों की संख्या}}{\text{चक्र}}\right)$$

अब आवृत्ति को आवर्त-काल के व्युत्क्रम के रूप में परिकलित कर लिया जाता है:

$$f = \frac{1}{T}$$

13.2.5 अंकीय और भंडारण दोलनदर्शी

पिछले भाग में बताया गया भंडारण दोलनदर्शी काफी मंहगा पड़ता है, अतः इसके स्थान पर अब अंकीय दोलनदर्शी (digital oscilloscope) का प्रयोग किया जा रहा है। इन दोलनदर्शियों में स्क्रीन पर के सिग्नल को प्रतिचयित (sampled) कर दिया जाता है। स्क्रीन के एक कोने में आयाम और प्रति/से.मी. समय-बेस संख्याओं में प्रदर्शित हो जाता है। अंकरूपित सिग्नल को कंप्यूटर स्मृति जैसी स्मृति (memory) में संग्रहित किया जा सकता है और आवश्यकतानुसार प्रदर्शन के लिए इसका प्रयोग (D/A परिवर्तक) किया जा सकता है। इस तरह ये भी भंडारण दोलनदर्शी के रूप में काम करते हैं।

बोध प्रश्न 1

एक व्यापक उपयोगी CRT का चित्र रूप निरूपित कीजिए और इनके घटक के नाम बताइए।

बोध प्रश्न 2

द्वैत अनुरेखक/भंडारण दोलनदर्शी की मूल प्रचालन विधि बताइए।

बोध प्रश्न 3

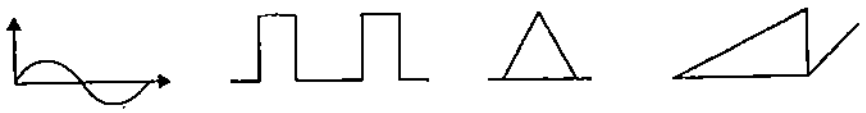
यदि समय/भाग नियंत्रण को 2μs भाग पर रखा जाए और प्रदर्शित सिग्नल CRT स्क्रीन के क्षैतिज पर 4 भाग घेरता हो, तो सिग्नल की आवृत्ति ज्ञात कीजिए।

बोध प्रश्न 4

अंकीय दोलनदर्शी के नियम की व्याख्या कीजिए।

13.3 सिग्नल जनित्र

परीक्षण व्यवस्था में सिग्नल स्रोत एक महत्वपूर्ण घटक होता है। सिग्नल स्रोतों से प्रायः निम्न शक्ति पर इलेक्ट्रॉनिक परिपथों के परीक्षण के लिए विभिन्न प्रकार के तरंग रूप उपलब्ध होते हैं। फलन जनित्र (function generator) एक ऐसा यंत्र है, जो कि व्यापक आवृत्ति परिसर में विभिन्न प्रकार के तरंग रूप उपलब्ध कराता है। अति सामान्य निर्गत तरंग रूप ज्या, स्पंद, त्रिभुजाकार, रैंप हैं। सामान्यतः आवृत्ति परिसर एक हर्ट्ज के कुछ अंश से लेकर कम से कम सैकड़ों किलोहर्ट्ज तक होता है। चित्र 13.9 में विभिन्न तरंग-आकार दिए गए हैं।



चित्र 13.9 : विभिन्न प्रकार के तरंग रूप (क) ज्यावक्रीय (ख) आयताकार (ग) त्रिभुजाकार (घ) रैम्प।

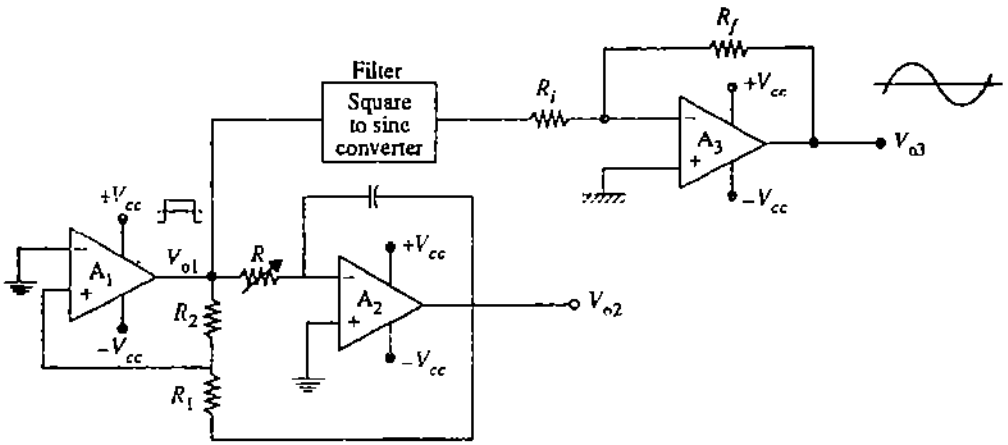
उत्थान काल (rise time) T_r की परिभाषा : सिग्नल के अधिकतम मान के 10% से लेकर अधिकतम मान के 90% तक उत्थान करने के लिए सिग्नल द्वारा लिए गये समय को उत्थान काल कहा जाता है।

पतन काल (fall time) T_f : सिग्नल के अधिकतम मान के 90% से अधिकतम मान के 10% तक आने में सिग्नल द्वारा लिए गए समय को पतन काल कहा जाता है।

ऐसे अनेक परिपथ हैं, जिनसे ऊपर बताए गए आकार के तरंग रूप उपलब्ध हो जाते हैं। उदाहरण के लिए, आप यह जानते हैं कि LC दोलित्र से ज्या तरंग उपलब्ध हो सकता है जबकि बहु-कंपित्र (multi vibrator) से स्पंद उपलब्ध हो सकते हैं। फिर भी, किसी भी विशेष तरंग रूप से प्रारंभ करके उचित परिपथिकी की सहायता से अन्य तरंग रूप जनित कर सकते हैं। फलन जनित्र में, एक सरल यंत्र से ही विभिन्न प्रकार के तरंग रूप उपलब्ध हो सकते हैं। प्रयुक्त किए जाने वाले अति सामान्य परिपथ का विवरण नीचे दिया जा रहा है।

फलन जनित्र

दिखाए गए परिपथ में प्राथमिक तरंग रूप एक वर्ग तरंग है। ऐसा इसलिए होता है, क्योंकि कुछ वर्ग तरंग जनित्र के परिपथों से ज्या तरंग जनक परिपथों की अपेक्षा अधिक उत्तम आयाम और आवृत्ति-स्थायित्व अभिलक्षणिक प्राप्त हो जाते हैं।



चित्र 13.10 : मूल फलन जनित्र का परिपथ।

परिपथ की कार्य-प्रणाली

प्रथम चरण A_1, जो एक वोल्टता कम्पेरेटर है, एक वर्ग तरंग निर्गत V_{01} जनित करता है। क्योंकि A_1 का निर्गत संतृप्ति तक आ जाता है, इसलिए वर्ग तरंग या तो $+V_{CC}$ पर या $-V_{CC}$ पर होता है, जैसा कि चित्र 13.11 में दिखाया गया है। दूसरा चरण A_2 एक समाकलक है, जो कि V_{02} पर एक त्रिभुजाकार निर्गत जनित करता है। इस पर चर्चा बाद में की जाएगी।

वर्ग तरंग को वर्ग-ज्या तरंग परिवर्तक पर भी लागू किया जाता है, जो कि वर्ग तरंग में निहित गुणावृत्तियों (harmonics) को नहीं जाने देता बल्कि केवल मूल (fundamental) ज्या तरंग को ही जाने देता है। बाद में आप यह पढ़ेंगे कि वर्ग तरंगें अनेक ज्या तरंगों के संयोजन से उत्पन्न होते हैं और अवकलन तथा समाकलन करके हम स्पंदों को त्रिभुजाकार तरंगों में और त्रिभुजाकार तरंगों को स्पंदों में रूपांतरित कर सकते हैं।

कम्पेरेटर के निर्गत से, जो कि या तो $+V_{CC}$ है या $-V_{CC}$ है. प्रारंभ करके परिपथ की प्रक्रिया का विश्लेषण किया जा सकता है। मान लीजिए $-V_{CC}$ पर V_{01} है। वोल्टता तब तक $-V_{CC}$ पर बनी रहेगी जब तक कि A_1 के प्रतिलोमी निवेश की वोल्टता अप्रतिलोमी निवेश की वोल्टता से, जो कि इस स्थिति में शून्य है, अधिक नहीं हो जाती। अप्रतिलोमी निवेश वोल्टता V_x कुछ तो वोल्टता V_{01} के कारण और कुछ वोल्टता V_{02} के कारण होती है और यह निम्नलिखित होती है :

$$V_x = -V_{CC}\left(\frac{R_1}{R_1+R_2}\right) + V_{02}\left(\frac{R_2}{R_1+R_2}\right)$$

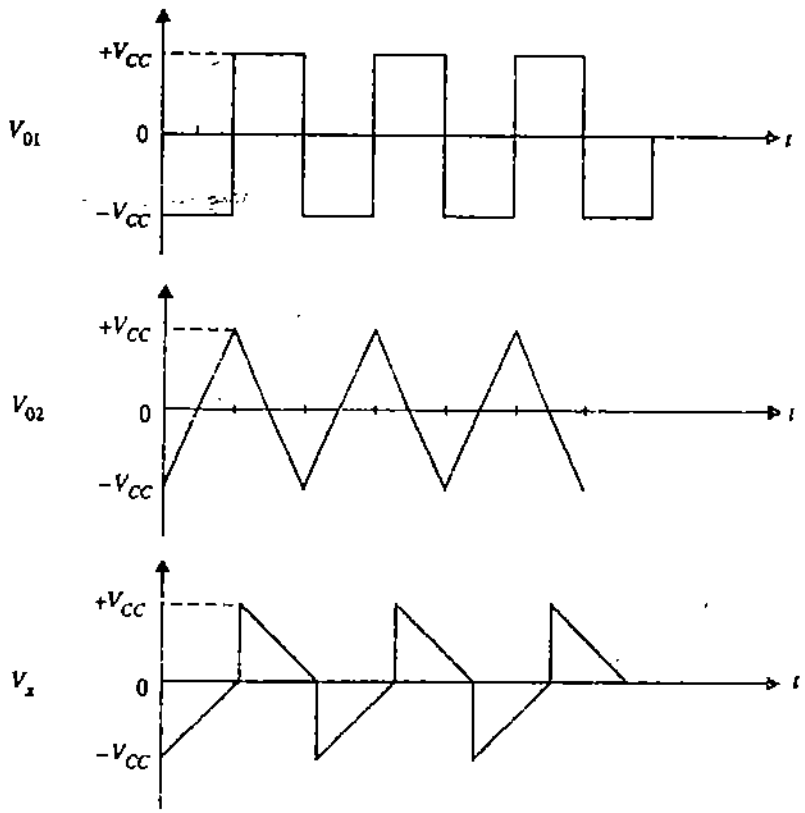
क्योंकि $V_x = 0$ पर निर्गत V_{01} की अवस्था में परिवर्तन हो जाता है, इसलिए

$$0 = -V_{CC}\left(\frac{R_1}{R_1+R_2}\right) + V_{02}\left(\frac{R_2}{R_1+R_2}\right)$$

$$\Rightarrow V_{CC}R_1 = V_{02}R_2$$

$$\Rightarrow V_{02} = V_{CC}\left(\frac{R_1}{R_2}\right)$$

ऊपर के व्यंजक से त्रिभुजाकार निर्गत V_{02} का अधिकतम आयाम निर्धारित हो जाता है। जब निर्गत V_{02} शिखर मान पर पहुंच जाता है, तब कम्पेरेटर निर्गम की अवस्थाओं में परिवर्तन हो जाता है और त्रिभुजाकार तरंग में रैखिकतः कमी आना प्रारंभ हो जाता है। $R_1 = R_2$ के लिए चित्र 13.11 में V_{01}, V_{02} और V_x पर तरंग रूप दिखाए गए हैं।



चित्र 13.11 : मूलन जनित्र के निर्गत तरंग रूप।

परिपथ की आवृत्ति समाकलक के RC कालांक (time constant) से नियंत्रित होती है। आवृत्ति का व्यंजक प्राप्त करने के लिए हम पहले संधारित्र धारा से संबंधित निम्नलिखित व्यंजक लेते हैं :

$$q = i_c t$$

$$\Rightarrow d_q = i_c dt \Rightarrow i_c = \frac{dq}{dt}$$

और

$$q = CV_{02}$$

$$\therefore i_c = \frac{d}{dt}(CV_{02}) = C\frac{dV_{02}}{dt}.$$

क्योंकि संक्रियात्मक प्रवर्धक (operational amplifer) का निवेश प्रतिरोध अति उच्च है, इसलिए प्रतिरोधक R से होकर जाने वाली धारा संधारित्र की चार्जकारी धारा (charging current) के लगभग बराबर होती है। अतः हम यह लिख सकते हैं

$$i_R \simeq i_c = C\frac{dV_{02}}{dt}$$

और, क्योंकि संक्रियात्मक प्रवर्धक की वोल्टता-लब्धि अति उच्च है, इसलिए प्रवर्धक के निर्गत पर वोल्टता लगभग शून्य होगी। अतः

$$i_R = \frac{V_{01} - 0}{R} = C\frac{dV_{02}}{dt}$$

$$= dV_{02} = \frac{1}{RC}V_{01}\,dt.$$

दोनों पक्षों का समाकलन करने पर हमें यह प्राप्त होता है :

$$\int dV_{02} = \frac{1}{RC}\int V_{01}\,dt = \frac{V_{01}}{RC} \times t$$

$$\Rightarrow V_{02} = \frac{V_{01} \times t}{RC}$$

हम जानते हैं कि

$$V_{02} = V_{CC}\left(\frac{R_1}{R_2}\right)$$

$$\therefore V_{CC}\left(\frac{R_1}{R_2}\right) = \frac{V_{01} \times t}{RC}$$

$$\Rightarrow t = RC\left(\frac{R_1}{R_2}\right) \text{ क्योंकि } V_{01} = V_{CC}$$

ऊपर के समीकरण को यह मानकर निगमित (deduce) किया गया है कि इस स्थिति में कोई प्रारंभिक आवेश नहीं है और इसलिए संधारित्र पर कोई प्रारंभिक वोल्टता नहीं है। अतः ऊपर दिया गया समय t वह समय है, जिसमें संधारित्र की वोल्टता जो कि 0V है, उसमें तब तक परिवर्तन नहीं होता, जब तक कि स्विचन नहीं हो जाता। यह समय एक-चौथाई साइकिल के बराबर होता है। क्योंकि $t = T/4$,

$$\therefore \frac{T}{4} = RC\left(\frac{R_1}{R_2}\right) \Rightarrow T = 4RC\left(\frac{R_1}{R_2}\right)$$

$$\therefore f = \frac{1}{T} = \frac{1}{4RC}\left(\frac{R_2}{R_1}\right)$$

स्पंद जनित्र (pulse generator)

स्पंद जनित्र वे यंत्र होते हैं, जो वर्ग तरंग के समरूप परन्तु अलग-अलग उपयोगिता अनुपात (duty cycle) वाला आयताकार तरंग रूप उत्पन्न करते है। उपयोगिता अनुपात की परिभाषा स्पंद-चौड़ाई (pulse width) और स्पंद अवधि (pulse period) के अनुपात से दी जाती है और इसे प्रतिशत में व्यक्त किया जाता है।

$$\text{उपयोगिता अनुपात} = \frac{\text{स्पंद चौड़ाई}}{\text{स्पंद अवधि}} \times 100$$

वर्ग तरंग की उपयोगिता अनुपात 50% होती है, जबकि स्पंद की उपयोगिता अनुपात सामान्यतः लगभग 5 से 95% तक होती है।

स्थायी बहुकंपित्र (stable multivibrator) का निर्गत एक वर्ग तरंग होता है। R और C के मानों में परिवर्तन करके वर्ग तरंग के उपयोगिता अनुपात में परिवर्तन लाया जा सकता है।

बोध प्रश्न 5

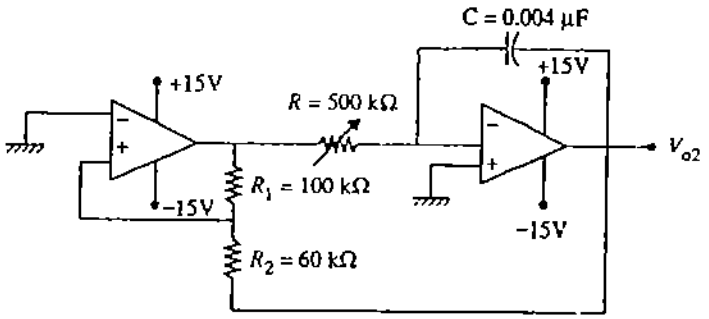
फलन जनित्र का वर्णन कीजिए।

बोध प्रश्न 6

वर्ग तरंग और स्पंद में क्या अंतर है ?

बोध प्रश्न 7

चित्र 13.12 में दिखाए गए परिपथ में त्रिभुजाकार निर्गत की आवृत्ति और शिखर आयाम अभिकलित कीजिए।



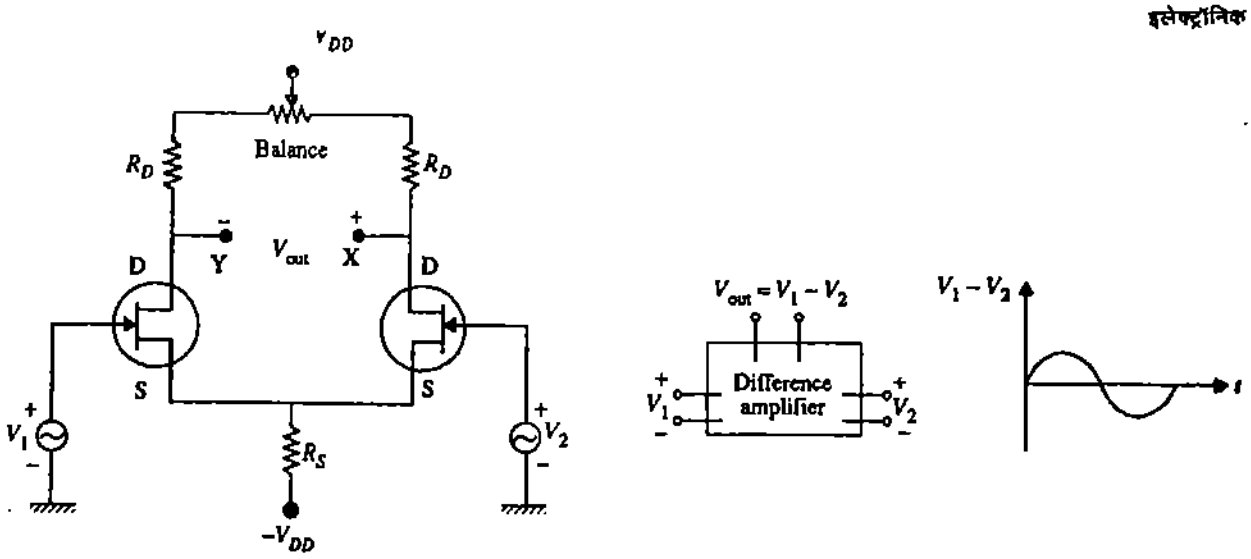
चित्र 13.12

13.4 इलेक्ट्रॉनिक वोल्टमापी

आप कक्षा 12 के भौतिकी पाठ्यक्रम में यह पढ़ चुके हैं कि वोल्ट-ओम मिली एमीटर (VOM) एक सुदृढ़ और परिशुद्ध यंत्र है, परन्तु इस यंत्र की कुछ हानियाँ भी हैं। इसके साथ मुख्य समस्या इस बात की है कि इसमें सुग्राहिता (sensibility) और उच्च निवेश प्रतिरोध दोनों का अभाव होता है। 0 से 0.5V के परिसर में 20,000 Ω/V की सुग्राहिता के लिए निवेश प्रतिबाधा (impedence) केवल $0.5 \times 20{,}000 = 10$ kΩ होती है। इसके विपरीत इलेक्ट्रॉनिक वोल्टमापी (EVM) का निवेश प्रतिरोध 10 से 100 MΩ तक हो सकता है और VOM की तरह प्रत्येक परिसर पर भिन्न-भिन्न होने के बजाय सभी परिसरों पर निवेश प्रतिरोध अचर बना रहता है। VOM की अपेक्षा EVM में परीक्षण के दौरान परिपथ पर कम लोड उपलब्ध होता है। मूल EVM में निर्वात ट्यूब का प्रयोग किया जाता था। अतः उसे निर्वात ट्यूब वोल्टमीटर (VTVM) कहा जाता था। ट्रान्जिस्टर और अन्य अर्ध-चालक युक्तियों के आ जाने से अब इन यंत्रों में निर्वात ट्यूबों का प्रयोग नहीं किया जाता। अब हम नीचे भेद प्रवर्धक (differential amplifier) प्रकार के EVM पर विस्तार से चर्चा करेंगे।

भेद प्रवर्धक प्रकार का EVM

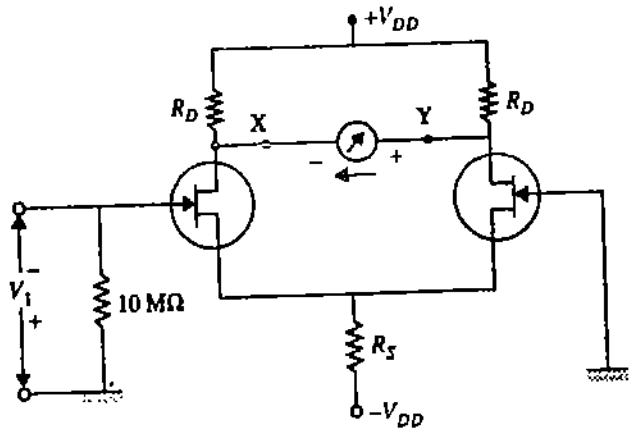
क्षेत्र प्रभाव ट्रॉन्जिस्टो (FET) का प्रयोग dc वोल्टमापी के निवेश प्रतिरोध में वृद्धि करने के लिए किया जाता है। चित्र 13.13 में क्षेत्र प्रभाव ट्रॉन्जिस्टर का प्रयोग करके भेद प्रवर्धक को दिखाया गया है।



चित्र 13.13 : संतुलन समायोजन वाले भेद प्रवर्धक।

द्विध्रुवी ट्रॉन्जिस्टर (BJT) वाले भेद प्रवर्धक का परिपथ भी इसी प्रकार का होता है। यहाँ दिखाए गए परिपथ में दो FET हैं, जिन्हें परिपथ के तापीय स्थायित्व को सुनिश्चित करने के लिए धारा-लब्धि के लिए सुमेलित होना चाहिए। अतः एक FET की स्रोत धारा में वृद्धि होने पर दूसरे FET की स्रोत धारा में संगत कमी आने से ऑफसेट हो जाता है। ये दो FET सेतु परिपथ की निम्न भुजाएँ बनाती हैं। एक साथ मिलकर निकास प्रतिरोधक R_D उपरि भुजाएँ बनाते हैं। मीटर-गति को FET के निकास टर्मिनलों से जोड़ दिया जाता है, जो कि सेतु के दो सम्मुख कोनों को निरूपित करता है।

जब समान FET का प्रयोग किया जाता है, तब परिपथ संतुलित हो जाता है, जिससे कि शून्य निवेश पर एमीटर में कोई धारा नहीं होती। जब वाम FET के गेट पर एक धनात्मक dc वोल्टता लगाया जाता है, तब एमीटर में धारा प्रवाहित होने लगती है, जैसा कि चित्र 13.14 में दिखाया गया है। धारा का परिमाण निविष्ट वोल्टता के परिमाण पर निर्भर करता है। परिपथ की उचित रूप से अभिकल्पना कर लेने पर एमीटर की धारा निवेश पर स्थित dc वोल्टता के अनुलोमानुपाती (directly proportional) होगी। इस तरह निवेश वोल्टता को सूचित करने के लिए एमीटर को अंशांकित किया जा सकता है।

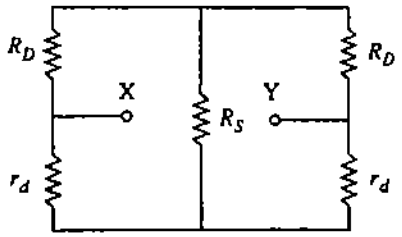


चित्र 13.14 : भेद प्रवर्धक प्रकार का EVM।

थेवेनिन-प्रमेय को लागू करके हम एमीटर धारा और dc निवेश वोल्टता के बीच के संबंध को ज्ञात कर सकते हैं जहाँ एमीटर को लोड माना गया है। V_{Th} निर्धारित करने के लिए हम एमीटर हटा देते हैं और निर्गत वोल्टता एकल FET की वोल्टता-लब्धि और V_1 तथा V_2 के अंतर का गुणनफल होती है। क्योंकि V_2 शून्य है, अतः एक खुले परिपथ की अवस्था में निर्गत वोल्टता यह होती है :

$$V_{out} = g_m \left(\frac{r_d R_D}{r_d + R_D} \right) V_1 = g_m (r_d \| R_D) V_1.$$

जहाँ r_d ए.सी. निकास प्रतिरोध (drain resistance) है और g_m अंतराचालकता (transductance) है। टर्मिनलों XY का थेवेनिन प्रतिरोध ज्ञात करने के लिए पहले हम V_1 और V_{DD} को शून्य के बराबर करते हैं। इस अवस्था में दोनों FET का प्रतिरोध r_d होता है, जैसा कि चित्र 13.15 में दिखाया गया है। यदि R_s को अति वृहत् माना जाए तो,

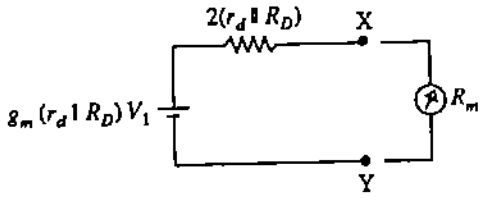


चित्र 13.15 : EVM का R_{Th} ज्ञात करने के लिए सभी वोल्टताओं को शून्य के बराबर करना।

$$R_{Th} = 2r_d \| 2R_D = 2\,(r_d \| R_D)$$

$$= 2\left(\frac{r_d R_D}{r_d + R_D}\right)$$

थेवेनिन तुल्य परिपथ में अमीटर को एक लोड के रूप में जोड़ा गया है, जैसा कि चित्र 13.16 में दिखाया गया है।



चित्र 13.16 : EVM का तुल्य परिपथ।

चित्र 13.16 के अनुसार एमीटर में प्रवाहित धारा यह होती है:

$$i = \frac{V_{out}}{R_{Th} + R_m} = \frac{g_m (r_d \| R_D)}{2\,(r_d \| R_D) + R_m} V_1$$

जहाँ R_m = मीटर प्रतिरोध है।

यदि $R_D << r_d$ हो, तो सरल होकर ऊपर का समीकरण यह हो जाता है :

$$i = \frac{g_m R_D}{2R_D + R_m} V_1$$

यह समीकरण एमीटर धारा और निवेश dc वोल्टता के बीच संबंध स्थापित करता है।

बोध प्रश्न 8

FET EVM और VOM में क्या अंतर है ?

बोध प्रश्न 9

भेद प्रवर्धक प्रकार के EVM का परिपथ बनाइए।

बोध प्रश्न 10

यदि भेद प्रवर्धक प्रकार का FET EVM दिया हुआ हो, तो निम्नलिखित अवस्थाओं में एमीटर धारा ज्ञात कीजिए :

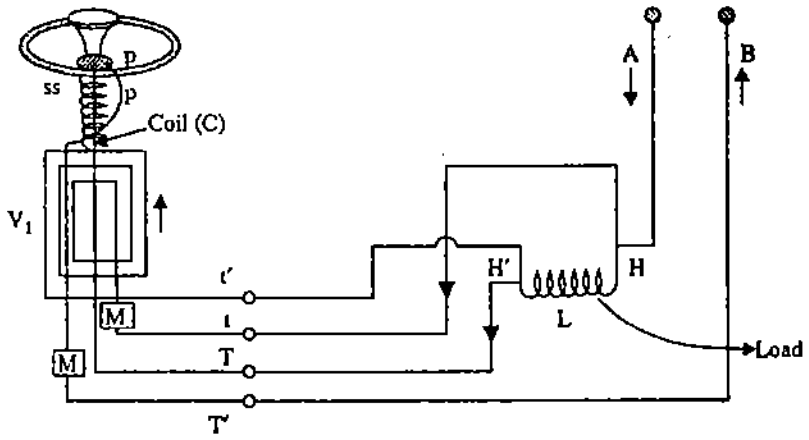
$V_1 = 1V$ $R_D = 10\ k\Omega$

$r_d = 100\ k\Omega$ $R_m = 50\ M\Omega$

$g_m = 0.005$ सीमन

13.5 शक्ति मापी

वाटमीटर एक ऐसा यंत्र है, जो एक परिपथ में शक्ति को या विद्युत की खपत दर को वाट में मापता है। इस संबंध में प्रायः प्रयुक्त होने वाला शक्तिमापी सीमन-शक्ति मापी है, जैसा कि चित्र 13.17 में दिखाया गया है।



चित्र 13.17 : सीमन-वाटमीटर।

सीमन वाटमीटर सीमन के विद्युत शक्ति मापी (electrodynamometer) से सिद्धांत रूप में काफी मिलता-जुलता है। इसमें दो कुंडली होती हैं जो एक-दूसरे पर लंबवत् होती है। एक कुंडली C गतिमान होती है और दूसरी V नियत होती है। गतिमान कुंडली C निम्न प्रतिरोध वाली होती है और मुख्य परिपथ में होती है। उच्च प्रतिरोध वाली नियत कुंडली V को परिपथ के उस भाग से शंट के रूप में जोड़ दिया जाता है, जिसकी शक्ति खपत ज्ञात करनी होती है। चित्र 13.17 में यह भाग बिजली का एक बल्ब (L) है। परिपथ को बंद करने पर मुख्य धारा i गतिमान कुंडली से होकर जाती है और लैम्प टर्मिनल की वोल्टता E के समानुपाती एक लघु धारा V से होकर जाती है। बर्तन आघूर्ण (turning moment) इन दो राशियों के गुणनफल अर्थात् Ei के या L में प्रयुक्त वाट के समानुपाती होता है। मरोड़-शीर्ष (torsion head) को घुमाकर तथा सूचक को एक कोण, मान लीजिए θ से घुमाकर जब गतिमान कुंडली को सामान्य स्थिति में पुनः लाया जाता है, तब बर्तन आघूर्ण विगोटी (torsional) आघूर्ण से संतुलित हो जाता है। क्योंकि विगोटी आघूर्ण, θ के समानुपाती होता है, इसलिए

$$Ei \propto \theta$$

या L में खर्च किया गया वाट = $K\theta$

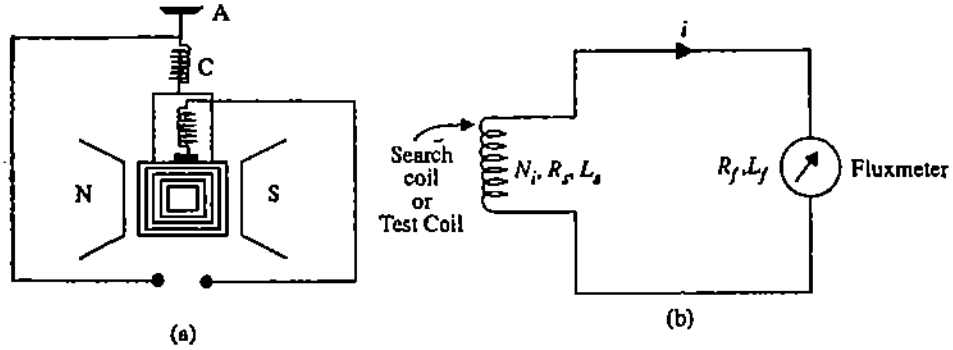
जहाँ आनुपातिकता स्थिरांक K यंत्र का एक स्थिरांक है और इसे प्रयोग द्वारा ज्ञात कर लेना चाहिए।

13.6 चुंबकीय क्षेत्रमापी

ऐसी अनेक तकनीक हैं, जिनसे चुंबकीय क्षेत्र को मापा जाता है। ये तकनीक या तो चुंबकीय क्षेत्र को लागू करने पर पदार्थ के प्रतिरोध (चुंबकत्वी प्रतिरोध) में या चुंबकीय क्षेत्र (हॉल प्रभाव) में अर्धचालक पर विकसित वोल्टता में हो रहे परिवर्तन पर आधारित होते हैं। इन सिद्धांतों पर आधारित यंत्रों का अध्ययन उच्च स्तर पर किया जाएगा। इस भाग में हम उस विधि पर चर्चा करेंगे, जो कि विद्युत-चुंबकीय प्रेरण या कुंडली पर विकसित वोल्टता पर आधारित होती है, जबकि कुंडली

के अभिवाह में परिवर्तन होता है। चुंबकीय क्षेत्र में कुंडली को घुमाकर अभिवाह में परिवर्तन लाया जा सकता है। इस विधि को प्रायः अन्वेषी कुंडली (search coil) द्वारा चुंबकीय क्षेत्र का निर्धारण कहा जाता है।

अभिवाहमापी (flux meter) जो कि चुंबकीय क्षेत्र की प्रबलता मापने का एक महत्वपूर्ण यंत्र है, उसी सिद्धांत पर काम करता है, जिस सिद्धांत पर प्रक्षेपधारामापी (ballistic galvanometer) काम करता है। अभिवाहमापी में एक गतिमान कुंडली होती है, जो ऐंठन रहित रेशम की एक तंतु से लटकी होती है। इस तंतु का ऊपरी छोर एक नियत सपाट कमानी से जुड़ा होता है, जैसा कि चित्र 13.18-(ख) में दिखाया गया है।



चित्र 13.18 : (क) अभिवाहमापी का निर्माण (ख) परिपथ में अभिवाहमापी।

इस कुंडली को तनु रजित कुंडली के दो सर्पिलों C, C से होते हुए टर्मिनल X – X से जोड़ दिया जाता है और स्थायी चुंबक NS के चुंबकीय क्षेत्र में लटका दिया जाता है। अभिवाह के प्रत्यक्ष मापन के लिए एक अन्वेषी कुंडली लगा दी जाती है, जिसे टर्मिनल X, X से जोड़ा जा सकता है, जैसा कि चित्र 13.18 (ख) में दिखाया गया है।

अभिवाहमापी के चुंबकीय अभिवाह के परिवर्तन के व्यंजक को इस प्रकार व्युत्पन्न किया जा सकता है :

मान लीजिए,

R_f = अभिवाहमापी का प्रतिरोध

L_f = अभिवाहमापी का स्व-प्रेरकत्व

R_s = अन्वेषी कुंडली का प्रतिरोध

N_1 = अन्वेषी कुंडली में वर्तनों की संख्या

L_s = अन्वेषी कुंडली का स्व-प्रेरकत्व।

अन्वेषी कुंडली में प्रेरित विद्युत वाहक बल $-N_1\frac{d\phi}{dt}$ है, जहाँ $\frac{d\phi}{dt}$ अन्वेषी कुंडली में अभिवाह का परिवर्तन-दर है और अभिवाहमापी की कुंडली में विद्युत वाहक बल $G\frac{d\theta}{dt}$ है, जहाँ $\frac{d\theta}{dt}$ अभिवाहमापी कुंडली का कोणीय वेग है और $G = NAB$ एक स्थिरांक है, जो अभिवाहमापी के निर्माण पर निर्भर करता है। इसके अतिरिक्त स्व-प्रेरकत्व के कारण परिपथ में उत्पन्न विद्युत वाहक बल $(L_f + L_s)\frac{di}{dt}$ या $L\frac{di}{dt}$ है, जहाँ L परिपथ का कुल प्रेरकत्व है। प्रतिरोध में विभव-पात $(R_f + R_s)\, i$ या Ri है, जहाँ R परिपथ का कुल प्रतिरोध है। किरशॉफ-नियम को लागू करने पर हमें यह प्राप्त होता है :

$$-N_1\frac{d\phi}{dt} + G\frac{d\theta}{dt} + L\frac{di}{dt} + Ri = 0$$

$$\Rightarrow N_1\frac{d\phi}{dt} = G\frac{d\theta}{dt} + L\frac{di}{dt} + Ri$$

व्यावहारिक अनुप्रयोगों में, प्रतिरोध में विभव-पात ($= Ri$) लघु होता है। अतः अन्य पदों की तुलना में इसकी उपेक्षा की जा सकती है। ऐसा करने पर हमें यह प्राप्त होता है

$$N_1 \frac{d\phi}{dt} = G\frac{d\theta}{dt} + L\frac{di}{dt}$$

समय t पर जिस दौरान अभिवाह परिवर्तन होता है, समाकलन करने पर हमें यह प्राप्त होता है :

$$N_1 \int_0^t \frac{d\phi}{dt} = G\int_0^t \frac{d\theta}{dt}dt + L\int_0^t \frac{di}{dt}dt$$

$$\Rightarrow N_1 \int_{\phi_1}^{\phi_2} d\phi = G\int_{\theta_1}^{\theta_2} d\theta + L\int_{i_1}^{i_2} di$$

$$\Rightarrow N_1 (\phi_2 - \phi_1) = G(\theta_2 - \theta_1) + L(i_2 - i_1)$$

अब, यदि हम यह मान लें कि जिस अवधि $(0-t)$ में अभिवाह में परिवर्तन हो रहा होता है, उसी अवधि के दौरान समाकलन किया जा रहा हो, तो प्रारंभिक और अंतिम दोनों धाराएँ शून्य होंगी, जिससे हमें यह प्राप्त होगा :

$$N_1 (\phi_2 - \phi_1) = G(\theta_2 - \theta_1)$$

$$N_1 \Delta\phi = G\Delta\theta \Rightarrow \Delta\theta = \left(\frac{N_1}{G}\right)\Delta\phi$$

$$\Rightarrow \Delta\theta \propto \Delta\phi$$

यहाँ यह पता चलता है कि अभिवाहमापी में विक्षेपण अन्वेषी कुंडली में हुए परिवर्तन का अनुसरण करता है।

13.7 सारांश

- कैथोड किरण दोलनदर्शी का प्रयोग ac और dc वोल्टता, ac और dc धारा, समय-कला संबंध, आवृत्ति जैसे वैद्युत प्राचलों को मापने और विभिन्न तरंगरूपों का प्रेक्षण करने में किया जाता है।
- प्रयोगशाला दोलनदर्शी को दो वर्गों में वर्गीकृत किया जा सकता है (i) द्वैत अनुरेखक दोलनदर्शी (ii) भंडारण दोलनदर्शी।
- सिगनल जनित्र से आवृत्ति के एक व्यापक परिसर में विभिन्न प्रकार के तरंग रूप प्राप्त होते हैं। अति सामान्य निर्गत तरंग रूप हैं: ज्या, वर्गाकार, त्रिभुजाकार और रैम्प।
- इलेक्ट्रॉनिक वोल्टमापी उच्च निवेश प्रतिरोध से अभिलक्षित होता है।
- शक्तिमापी का प्रयोग परिपथ में शक्ति या विद्युत की खपत दर मापने के लिए किया जाता है।
- चुंबकीय क्षेत्र मापी एक यंत्र है, जिसका प्रयोग चुंबकीय क्षेत्र की प्रबलता मापने के लिए किया जाता है।

13.8 अंत में कुछ प्रश्न

बोध प्रश्न

1) ब्लॉक आरेख देते हुए एक व्यापक उपयोगी CRO की कार्य-प्रणाली की व्याख्या कीजिए।
2) द्वैत अनुरेखक CRO में निहित मूल नियम की व्याख्या कीजिए।
3) भंडारण CRO किस प्रकार काम करता है ? व्याख्या कीजिए।
4) फलन जनित्र की कार्य-प्रणाली की व्याख्या विस्तार में कीजिए।

5) भेद प्रवर्धक प्रकार के वोल्टमापी की कार्य-प्रणाली की व्याख्या विस्तार में कीजिए।

6) सीमन शक्तिमापी किसी तरह काम करता है ? व्याख्या कीजिए।

7) विस्तार से बताइए कि किस प्रकार अभिवाहमापी की सहायता से चुंबकीय क्षेत्र को मापा जा सकता है।

13.9 हल और उत्तर

बोध प्रश्न

1. पाठ देखिए।

2. पाठ देखिए।

3. $T = \frac{2\mu \text{ sec}}{\text{div}} \times \frac{4 \text{ div}}{\text{cyc}} = \frac{8\mu \text{ sec}}{\text{cyc}}$

   $\therefore f = \frac{1}{T} = \frac{1}{8\mu \text{ sec/cyc}} = 125 \text{ KHz.}$

4. पाठ देखिए।

5. पाठ देखिए।

6. पाठ देखिए।

7. हम जानते हैं कि

$$F = \frac{1}{4RC} \frac{R_2}{R_1}$$

$$= \frac{1}{4 \times 500 \times 10^3 \times .004 \times 10^{-6}} \times \frac{100 \times 10^3}{60 \times 10^3}$$

$$= 208 \text{ Hz}$$

और

$$V_{02} = V_{CC} \left(\frac{R_1}{R_2}\right)$$

$$= 15 \left(\frac{60 \times 10^3}{100 \times 10^3}\right) = 9\text{V.}$$

8. पाठ देखिए।

9. पाठ देखिए।

10. $i = \frac{g_m (r_d \| R_D)}{2 (r_d \| R_D) + R_m}$

    रागी मानों को प्रतिस्थापित करने पर हमें यह प्राप्त होता है :

    $i = 2.5 \text{ mA.}$

अंत में कुछ प्रश्न

1. पाठ देखिए।

2. पाठ देखिए।

3. पाठ देखिए।

13.10 शब्दावली

अभिवाहमापी	–	flux meter
आरादंती	–	saw toolh
उत्थान काल	–	rise time
दोलनदर्शी	–	oscilloscope
पतन काल	–	fall time
प्रसर्प जनित्र	–	sweep generator
बहुकंपित्र	–	multivibrator
विक्षेपण	–	deviation
शक्तिमापी	–	power meter
शिखर-शिखर मान	–	peack-to-peack value
प्रसर्प	–	sweep